

平成22年 4月20日現在

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063002

研究課題名（和文） 金属ナノドット不揮発性メモリのナノインテグレーション

研究課題名（英文） Nano-integration of Metal Nanodot Nonvolatile Memory

研究代表者

田中 徹 (TANAKA TETSU)

東北大学・大学院医工学研究科・教授

研究者番号：40417382

研究成果の概要（和文）：

Self-Assembled Nanodot Deposition 法を用いて、超微細(~1.5nm)・高密度($1.3 \times 10^{13}/\text{cm}^2$)の世界トップレベルの金属ナノドットの形成に成功した。制御ゲート用 High-k 絶縁膜と金属ナノドットフローティングゲートを有する不揮発性メモリの作製にも成功し、大きな仕事関数を有するコバルトナノドットによって、長い電荷保持時間・優れた耐久性・大きなメモリウィンドウを得た。また、ポテンシャル変調ゲートスタックを有する多層金属ナノドットメモリの基本動作検証に成功した。

研究成果の概要（英文）：

In this research, SAND method was developed to form metal nanodot (MND) layer. The tungsten nanodots with high density of $1.3 \times 10^{13}/\text{cm}^2$ and small size of ~1.5nm was successfully formed. The memory transistors with MND floating gate and high-k blocking dielectric were also fabricated. The cobalt nanodots memory shows a long retention time, excellent endurance, and large memory window. A novel memory with potential-engineered dual MND layers was successfully fabricated and operated properly.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	16,600,000	0	16,600,000
2007年度	12,400,000	0	12,400,000
2008年度	7,300,000	0	7,300,000
2009年度	4,800,000	0	4,800,000
年度			
総計	41,100,000	0	41,100,000

研究分野：半導体工学

科研費の分科・細目：電気電子工学・電子デバイス・機器

キーワード：半導体超微細化 量子ドット 電子デバイス・集積回路 半導体物性 ナノ材料

1. 研究開始当初の背景

フラッシュメモリチップの市場は驚異的な勢いで拡大しており、その拡大に応じて、メモリの大容量化・高性能化が益々求められている。これらの要求はメモリ素子の微細化

によって達成されてきたが、近年、ポリシリコンフローティングゲートを有する従来型のフラッシュメモリの微細化は困難になりつつある。その理由は、電荷保持信頼性の低下、消費電力の増加、ショートチャネル効果

やドレインターンオン効果等が深刻化するからである。このような状況を鑑み、新しい大容量高性能不揮発性メモリの開発が強く求められていた。

2. 研究の目的

本研究では、High-k 絶縁膜を用いた金属ナノドット不揮発性メモリを提案した。チャネルからトンネル注入される電荷を蓄積する金属ナノドットは、ポリシリコンやシリコンナノドットに比べて大きな仕事関数を有するために、電荷保持特性が格段に優れている。そのうえ High-k 絶縁膜によって金属ナノドットと制御ゲートとの結合効率が大きいことから、大容量高性能不揮発性メモリの実現が期待される。

3. 研究の方法

(1) 高密度金属ナノドットの作製 :

Self-Assembled Nanodot Deposition (SAND)法を用いて、絶縁膜の母材の中に分散した金属ナノドットを作製する。これは絶縁膜ターゲットの上に金属チップを乗せ、同時スパッタリングすることにより金属ナノドット膜を製膜する方法である。SAND 法では、金属チップの種類によって様々な仕事関数を有する金属ナノドットの作製が可能である。さらに、チップの数や熱処理条件により、金属ナノドットのサイズ・密度・膜質などの制御も可能で、また、絶縁膜ターゲットの種類により母材の変更もできる。

(2) メモリデバイスの試作と最適化 :

金属ナノドットフローティングゲートと High-k 絶縁膜を有する MOS キャパシタを作製し、メモリ特性評価と作製条件へのフィードバックを行いながら、不揮発性メモリのゲートスタック構造を最適化していく。さらに、ゲートラストプロセスを用いて、不揮発性メモリトランジスタを試作し、メモリ特性を評価・最適化する。

4. 研究成果

(1) 金属ナノドットの作製と制御 :

本研究で SAND 法により作製した金属ナノドットの種類と仕事関数を表 1 にまとめた。

表 1 金属の仕事関数

Metal	W	Co	Pt	FePt
WF (eV)	4.5	5.0	5.6	5-5.2

本研究では、タングステンナノドット (W-ND) とコバルトナノドット (Co-ND) を中心にして研究を展開した。まず、XPS 分析を用いて金属ナノドットの組成と母材との関係を調べた。図 1 は異なる母材に埋め込んだ W-ND の XPS 分析結果である。シリコン酸化膜に埋め込んだ W-ND では W のピークが現れず、スパッタリング中に周りのシリコン酸化膜によって酸化されることが分かった。これに対して、シリコン窒化膜に埋め込んだ W-ND

では W の金属成分が残っていた。酸化されやすい W に対して、シリコン酸化膜に埋め込んだ Co-ND では相当量の金属成分が残っていることが分かる (図 2)。金属ナノドットの酸化とそれによるメモリ特性の劣化を防止するため、金属や母材の種類の選択が重要である。

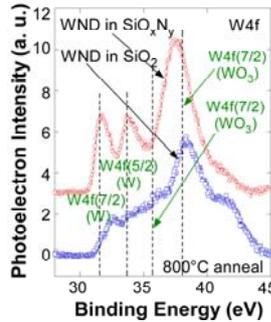


図 1 W4f の XPS スペクトル

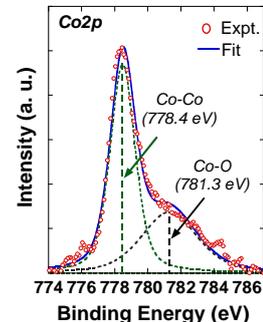


図 2 Co2p の XPS スペクトル

また、金属ナノドットの熱安定性についての実験を行い、以下のことを明らかにした。W-ND は 800 度熱処理までは安定して存在し、900 度熱処理によって凝集が生じる。Co-ND の場合は、600 度熱処理では変化が無く、800 度熱処理によって凝集が生じる。つまり、高い融点を有するタングステンのほうが高い熱安定性を持っているのである。ドットのサイズと密度の制御も行った。これらは金属チップの数と熱処理温度により調整でき、金属の種類によりドット設計図を作成することができる。一例としてシリコン窒化膜に埋め込んだ W-ND の密度と絶縁ターゲットに対する金属チップの被覆率との関係を図 3 に示した。金属チップの母材ターゲット被覆率が 16.5% のときに、サイズ 1~1.5nm、最大密度 $1.3 \times 10^{13}/\text{cm}^2$ の MND 層が得られる。図 4 は対応する TEM 写真である。

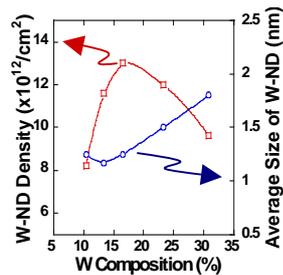


図 3 W-ND 密度とサイズの被覆率依存性

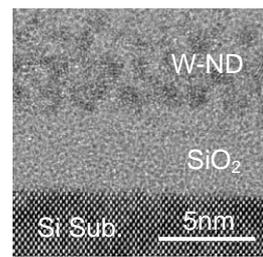


図 4 被覆率 16.5% 時の断面 TEM 写真

また、Co-ND においては、800 度熱処理で金属ナノドットが凝集する特性を利用し、ドットのサイズと密度をドット層の厚さにより制御できる。つまり、ドット層の厚さと同じサイズの金属ナノドットを形成することが可能である。実験結果を図 5 に示す。ドット層の厚さが 2nm の場合に、800 度熱処理後の金属ナノドットのサイズは 2nm であり、ドットの密度は $5 \times 10^{12}/\text{cm}^2$ である。

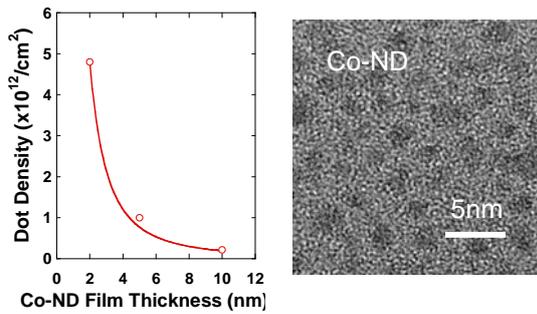


図5 Co-ND 密度のドット層厚さ依存性(左)及びドット層厚さ 2nm の Co-ND の平面 TEM 写真(右)

上記の研究結果を元にして、異なる仕事関数の金属ナノドットを積層することでゲートスタック内に変調ポテンシャルを有する金属ナノドット膜を形成することに成功した。W-ND と Co-ND を 2 層積層することで、仕事関数の小さな W-ND に電荷がトンネル注入されやすくなり、仕事関数の大きな Co-ND に W-ND から電荷が移動することで保持特性が向上する。以上、本研究では、SAND 法を用いて種々の仕事関数を有する金属ナノドットを、組成・密度・サイズを制御して形成する技術を確認できた。形成した金属ナノドットの密度は世界トップレベルである。

(2) 金属ナノドットメモリの試作と評価：

金属ナノドットフローティングゲート MOS キャパシタを作製し、メモリ特性を評価した。その結果、SiO₂を母材とする W-ND に比べて、SiN を母材とする W-ND は電荷保持特性が格段に改善することが分かった。これは SiO₂母材では、W-ND が酸化されることにより、捕獲される電子のエネルギー状態が変化して電荷保持時間が短いためと考えられる。また、SiN 母材の高密度 W-ND (1.3x10¹³/cm², サイズは 1.5nm) をフローティングゲート、HfO₂ 絶縁膜を制御ゲートとして、MOS キャパシタを作製した。大きなメモリウィンドウが得られたが、電荷保持時間が不十分であった。極小ドットの量子効果で、エネルギー準位が上昇していることも原因として考えられる。

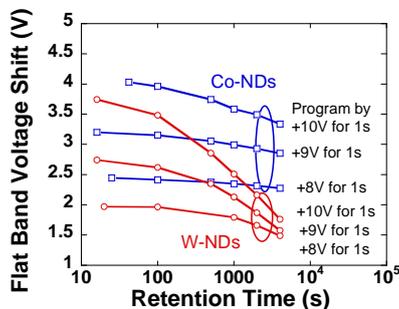


図6 Co-ND と W-ND の MOS キャパシタ電荷保持特性

Co の仕事関数 5.0eV に対して、W の仕事関数は 4.5eV である。この 0.5eV の差がメモリ特性、特に電荷保持特性にどのような影響を及ぼすのかについて MOS キャパシタを作製し

て調べた。図6に示すように、W-ND に比べて、Co-ND メモリの電荷保持時間が大幅に向上している。WKB 計算によって Co-ND に保持されている電子のトンネル確率は W-ND の場合よりも 3 桁程度低いことが分かっており、これが電荷保持信頼性向上の主な原因と考えられる。

メモリ特性を詳細に分析するため、高密度 Co-ND と HfO₂ 絶縁膜を有する不揮発性メモリトランジスタを作製して評価した。Co-ND の熱処理温度は 800 度、密度は 5x10¹²/cm²、サイズは 2nm である。制御ゲートは 40nm の HfO₂ である。図7にメモリトランジスタの断面構造とプロセスフローを示す。

- Wafer cleaning (p-Si)
- LOCOS isolation
- S/D implantation
- S/D activation at 1000°C, 5min
- Thermal oxidation at 850°C (5nm SiO₂)
- Co-NDs film deposition (~2nm) by SAND
- PDA at 800°C in vacuum, 1h
- HfO₂ (40nm), 600°C annealing, 30min
- Gate material deposition (Ta)
- Gate patterning
- Passivation film deposition
- Contact pad patterning

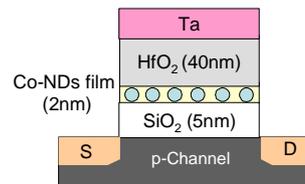


図7 Co-ND MISFET のプロセスフローと断面模式図

メモリ特性を評価した結果、+10V/-10V の電圧掃引によって 6.5V のメモリウィンドウが得られた。+10V/-10V のパルスで 10ms の書き込みと消去を行った場合、しきい値電圧の変化は+4.5V と-4.2V であった。10⁶ サイクル後 (パルス : +10V/-10V, 10ms, +8V/-8V, 10ms) のしきい値電圧の変化は非常に小さく、優れた書き込み/消去耐性が得られた。また、±10V と ±8V で書き込みと消去を行った場合でも、十分なメモリウィンドウ (2V) が得られた。さらに、金属ナノドットゲートスタック内に仕事関数の異なる単層金属ナノドットを多層に重ねて、内部に変調ポテンシャルを形成し、高速書き込み/消去と長時間電荷保持を両立する多層金属ナノドット不揮発性メモリトランジスタの試作も行った。W-ND と Co-ND のスタック構造を採用し、中間層は厚さ 3nm の SiO₂ である。低い仕事関数の W-ND は bottom-layer, 高い仕事関数の Co-ND は top-layer である。W-ND の 2 層構造と比較して電荷保持特性が向上している結果を得ている。高品質の中間絶縁膜の形成を含む作製プロセスとデバイス構造の最適化を進めていく。以上、本研究では、金属ナノドット不揮発性メモリの作製プロセスの確立、メモリ特性の取得と基本動作検証に成功した。今後は超微細化時の動作検証へと繋げていく。

5. 主な発表論文等

[雑誌論文] (計 16 件)

1. Y. Pei, C. Yin, T. Kojima, J. Bea, H. Kino, T. Fukushima, T. Tanaka, M. Koyanagi, “MOSFET Nonvolatile Memory with High-Density Cobalt Nanodots Floating Gate and HfO₂ High-k Blocking Dielectric”, IEEE Transactions on Nanotechnology, 査読有り, 2010, in press.
2. Y. Pei, T. Kojima, T. Hiraki, T. Fukushima, T. Tanaka, M. Koyanagi, “Investigation of Effects of Post-Deposition Annealing on Cobalt Nanodots Embedded in Silica for Nonvolatile Memory Application”, Japanese Journal of Applied Physics, 査読あり, 2010年, in print.
3. Y. Pei, C. Yin, M. Nishijima, T. Kojima, H. Nohira, T. Fukushima, T. Tanaka, M. Koyanagi, “Electrical Characterization of MOS Memory Devices with Self-Assembled Tungsten Nano-Dots Dispersed in Silicon Nitride”, ECS Trans. 18, Issue1, 査読無、2009, pp. 33-37.
4. Y. Pei, C. Yin, T. Kojima, M. Nishijima, T. Fukushima, T. Tanaka, M. Koyanagi, “Memory Characteristics of Metal-Oxide-Semiconductor Capacitor with High Density Cobalt Nanodots Floating Gate and HfO₂ Blocking Dielectric”, Applied Physics Letter, 95, 査読あり, 2009, pp. 033118.
5. Y. Pei, C. Yin, J. C. Bea, H. Kino, T. Fukushima, T. Tanaka, M. Koyanagi, “MOSFET Nonvolatile Memory with High Density Tungsten Nanodots Floating Gate Formed by Self-Assembled Nanodot Deposition”, Semiconductor Science and Technology, 24, 査読あり, 2009, pp. 045022.
6. Y. Pei, C. Yin, M. Nishijima, T. Kojima, T. Fukushima, T. Tanaka, M. Koyanagi, “Formation of high density tungsten nanodots embedded in silicon nitride for nonvolatile memory application”, Applied Physics Letter, 94, 査読あり, 2009, pp. 063108.
7. J. Bea, Y. Song, K. Lee, G. Lee, T. Tanaka, M. Koyanagi, “Cell characteristics of a multiple alloy nano-dots memory structure”, Semiconductor Science and Technology, 24, 査読あり, 2009, pp. 085013.
8. Y. Song, J. Bea, K. Lee, G. Lee, T. Tanaka, M. Koyanagi, “A Reliable Nonvolatile Memory Using Alloy Nanodot Layer with Extremely High Density”, Japanese Journal of Applied Physics, 48, 査読あり, 2009, pp. 106505.
9. W.-C. Jeong, K. Kiyoyama, K.-W. Lee, A. Noriki, M. Murugesan, T. Fukushima, T. Tanaka, M. Koyanagi, “Characteristics of copper spiral inductors utilizing FePt nano-dots film”, Japanese Journal of Applied Physics, Vol. 48, No. 4, 査読あり, 2009, pp. C157-1~C157-4.
10. Y. Pei, T. Fukushima, T. Tanaka, M. Koyanagi, “Electrical Characterization of Metal-Oxide-Semiconductor Memory Devices with High-Density Self-Assembled Tungsten Nanodots”, Japanese Journal of Applied Physics, 47, 査読あり, 2008, pp. 2680-2683.
11. Y. Pei, M. Nishijima, T. Fukushima, T. Tanaka, M. Koyanagi, “Memory characteristics of self-assembled tungsten nanodots dispersed in silicon nitride”, Applied Physics Letter, 93, 査読あり, 2008, pp. 113115-113117.
12. M. Murugesan, J. C. Bea, C.-K. Yin, H. Nohira, E. Ikenaga, T. Hattori, M. Nishijima, T. Fukushima, T. Tanaka, M. Miyao, and M. Koyanagi, “Investigation of the effect of in situ annealing of FePt nanodots under high vacuum on the chemical states of Fe and Pt by x-ray photoelectron spectroscopy”, Journal of Applied Physics, 104, 査読あり, 2008, pp. 074316.
13. C. Yin, M. Murugesan, J. Bea, M. Oogane, T. Fukushima, T. Tanaka, M. Miyao, S. Samukawa, M. Koyanagi, “New Magnetic Nanodot Memory with FePt Nanodots”, Japanese Journal of Applied Physics, 46, 査読あり, 2007, pp. 2167-2171.
14. K. Oh, T. Sakaguchi, T. Fukushima, M. Koyanagi, “Effect of Ion Implantation Damage on Elevated Source/Drain Formation for Ultrathin Body Silicon on Insulator Metal Oxide Semiconductor Field-Effect Transistor”, Japanese Journal of Applied Physics Vol. 45, 査読あり, 2006, pp. 2965-2969.
15. H. Choi, M. Park, T. Fukushima, M. Koyanagi, “Nickel Germanide Formation on Condensed Ge Layer for Ge-on-Insulator Device Application”, Japanese Journal of Applied Physics, 45, 査読あり, 2006, pp. 2984-2986.

16. M. Park, J. Bea, T. Fukushima, M. Koyanagi, "Analysis of GOI-MOSFET with High-k Gate Dielectric and Metal Gate Fabricated by Ge Condensation Technique", Surface and Interface Analysis 38, Issue 12-13, 査読あり, 2006, pp.1720-1724.

[学会発表] (計 24 件)

1. Yanli Pei, Tatsuro Hiraki, Toshiya Kojima, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Formation of Cobalt Nanodots Embedded in Silicon Oxide for Nonvolatile Memory Application", China Semiconductor Technology International Conference 2010 (CSTIC2010), March 19, 2010, p. 55 Shanghai, China.
2. 開達郎, 裴艶麗, 小島俊哉, 裴志哲, 木野久志, 福島誉史, 小柳光正, 田中徹, "A study of Charge Retention Characteristics of Metal Nanodots Memory", 第 57 回応用物理学関係連合講演会 2010 年春季, 2010 年 3 月 17 日, 神奈川県平塚市東海大学.
3. Yanli Pei, Chengkuan Yin, Toshiya Kojima, Ji-Cheol Bea, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, Mitsumasa Koyanagi, "High-Performance MOSFET Nonvolatile Memory with High-Density Cobalt Nanodots Floating Gate and HfO₂ High-k Blocking Dielectric", 10th Non-Volatile Memory Technology Symposium (NVMTS 2009), October 27, 2009, Portland, OR, USA.
4. 開達郎, 裴艶麗, 小島俊哉, 裴志哲, 木野久志, 福島誉史, 田中徹, 小柳光正, "メタルナノドットメモリの電荷保持特性に関する研究", 第 70 回応用物理学関係連合講演会 2009 年秋季, 富山大学 10a-ZB-11 pp. 812, 2009/9/10 口頭. (筆頭講演者は大学院修士 1 年生で、2009 年秋季応用物理学学会講演奨励賞を受賞)
5. M. Murugesan, W.-C. Jeong, K. Kiyoyama, K.-W. Lee, J.-C. Bea, C.-K. Yin, T. Fukushima, T. Tanaka, and M. Koyanagi, "Synthesis and characterization of magnetic nano-dots for on-chip inductors", 第 56 回応用物理学学会学術講演会 2009 年春季, 筑波大学, 2a-P17-10 pp. 819, 2009/4/2 ポスター.
6. JiChel Bea, M. Murugesan, C.-K. Yin, H. Kino, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "New Magnetic Nano-Dots Nonvolatile Memory with Resonant Magnetic Tunneling Effect", 第 56 回応用物理学学会学術講演会 2009 年春季, 筑波大学 1p-TB-5 pp. 785, 2009/4/1 口頭.
7. C. K. Yin, Y. L. Pei, T. Kojima, T. Fukushima, M. Koyanagi and, T. Tanaka, "A Co-Nanodots Nonvolatile Memory with High-k Blocking Oxide for Implantable Biomedical Devices", 9th International Symposium on Nano-Biomedical Engineering, pp. 132-133, March 28, 2009, Sendai, Japan.
8. Y. Pei, C. Yin, M. Nishijima, T. Kojima, H. Nohira, T. Fukushima, T. Tanaka, and M. Koyanagi, "Electrical Characterization of MOS Memory Devices with Self-assembled Tungsten Nano-dots Dispersed in Silicon Nitride", ISTC/CSTIC 2009, March 19, 2009, Shanghai, China.
9. W.-C. Jeong, K. Kiyoyama, M. Murugesan, T. Fukushima, T. Tanaka, and M. Koyanagi, "Characteristics of Magnetic Film Inductors with FePt Nano-Dots", The 2008 International Conference on Solid State Devices and Materials, September 26, 2008, pp. 1106-1107, Tsukuba.
10. Yanli Pei, Masahiko Nishijima, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Memory Characterization of MOS Memory Device with High Density Self-Assembled Tungsten Nanodots Floating Gate and HfO₂ Blocking Dielectric", The 2008 International Conference on Solid State Devices and Materials, September 25, 2008, pp. 242-243, Tsukuba.
11. 裴艶麗, 西嶋雅彦, 福島誉史, 田中徹, 小柳光正, "High-k絶縁膜を有するタンゲステンナノドットフローティングゲート MOS キャパシタのメモリ特性", 第 69 回応用物理学関係連合講演会 2008 年秋季, 9/3 (2008), p. 763, 中部大学.
12. M. Koyanagi, T. Tanaka, "New Non-Volatile Memory with Magnetic Nano-Dots Floating Gate," The 3rd International Symposium on Tera-bit-level Non-volatile Memories, pp. 31-34, August 29, 2008, Korea.
13. Yanli Pei, Masahiko Nishijima, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Characterization of Metal Nanodots Nonvolatile Memory", シリコン材料・デバイス研究会, 2008 年 6 月 10 日, 東京.
14. 裴志哲, Murugesan Mariappan, Cheng Kuan

- Yin, 福島誉史, 田中徹, 寒川誠二, 河野省三, 佐道泰造, 宮尾正信, 名取研二, 小柳光正, “FM/I/Nano-Dot FM構造でのスピン電子の磁気トンネル効果”, 第 55 回応用物理学関係連合講演会 2008 春季, 3/30, 2008, 日本大学.
15. 裴艶麗, 福島誉史, 田中徹, 小柳光正, “シリコン窒化膜中に埋め込んだタングステンナノドットフローティングゲート MOS キャパシタのメモリ特性,” 第 55 回応用物理学関係連合講演会 2008 年春季, 3/27, 2008, 日本大学.
 16. Y. Pei, T. Fukushima, T. Tanaka, M. Koyanagi, “Term Retention Characteristics of MOS Memory Devices with Self-Assembled Tungsten Nano-Dot Dispersed in Silicon Nitride,” MRS 2008 Spring Meeting, March 25, 2008, San Francisco, USA.
 17. M. Murugesan, J. C. Bea, C-K. Yin, H. Nohira, E. Ikenaga, T. Hattori, M. Nishijima, T. Fukushima, T. Tanaka, M. Miyao, and M. Koyanagi, “Investigation of FePt Nano-Dots Fabricated by Self-Assembled Nano-Dot Deposition Method Using X-ray Photoelectron Spectroscopy,” The 2007 International Conference on Solid State Device and Materials, pp.1026-1027, September 21, 2007, Tsukuba, Japan.
 18. Yanli Pei, Takafumi Fukushima, Tetsu Tanaka, Mitsumasa Koyanagi, “Memory Window Enhancement of MOS Memory Devices with High Density Self-Assembled Tungsten Nano-dot,” The 2007 International Conference on Solid State Devices and Materials, pp. 242-243, September 19, 2007, Tsukuba, Japan.
 19. M. Murugesan, J. C. Bea, C.-K. Yin, H. Nohira, E. Ikenaga, T. Hattori, M. Nishijima, T. Fukushima, T. Tanaka, M. Miyao, and M. Koyanagi, “Evaluation of FePt nano-dots by X-ray photoelectron spectroscopy,” 第 68 回応用物理学学会学術講演会 2007 秋, 9/7, 2007, 北海道工業大学.
 20. 裴艶麗, 福島誉史, 田中徹, 小柳光正, “金属ナノドットフローティングゲート MOS キャパシタのメモリ特性,” 第 68 回応用物理学学会学術講演会 2007 秋, 9/6, 2007, 北海道工業大学.
 21. C. K. Yin, H. Choi, J. C. Bea, M. Murugesan, J. H. Yoo, T. Fukushima, Y. Murakami, T. Tanaka, D. Shindo, M. Miyao and M. Koyanagi, “Magnetic characteristics of FePt nanodots formed by a self-assembled nanodot deposition method,” NSTI Nanotech 2007 10th Annual, May 23, 2007, Santa Clara, USA.
 22. Cheng-Kuan Yin, Mariappan Murugesan, Ji-Chel Bea, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, “Fabrication of Magnetic Tunnel Junction with FePt Nanodots for Magnetic Nanodot Memory,” The 6th International Semiconductor Technology Conference (ISTC 2007) (Invited speech), pp. 418-422, March 19, 2007, Shanghai, China.
 23. J. C. Bea, M. Murugesan, C.-K. Yin, M. Nishijima, T. Fukushima, T. Tanaka, M. Miyao, and M. Koyanagi, “Fundamental Microstructure and Magnetic Properties of Self-Assembled FePt Nano-Dot Film Annealed by using Magnetic Field Annealing,” The Fifth Nanotechnology Symposium, JAPAN NANO 2007, pp.94-95, February 20, 2007, Tokyo, Japan.
 24. Woo-Cheol Jeong, Mungi Park, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, “Characteristics of Metal Gate GOI-MOSFET with High-k Gate Dielectric Fabricated by Ge Condensation Method”, Pusan-Tohoku “21COE” Joint Workshop on Mechanical Science based on Nanotechnology, pp. 32-33, 2007/1/8, Pusan, Korea.
- 【図書】(計 1 件)
1. 田中 徹, 裴 艶麗, シーエムシー出版, “次世代半導体メモリーの最新技術”, 第 6 章: その他のメモリー最新技術, 2009 年, 286-296.
- 6. 研究組織**
- (1) 研究代表者
田中 徹 (TANAKA TETSU)
東北大学・大学院医工学研究科・教授
研究者番号: 40417382
 - (2) 研究分担者
福島 誉史 (FUKUSHIMA TAKAFUMI)
東北大学・大学院工学研究科・助教
研究者番号: 10374969
裴 艶麗 (PEI YANLI)
東北大学・国際高等研究教育機構・助教
研究者番号: 70451622
 - (3) 連携研究者
()
研究者番号: