

平成22年6月8日現在

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063005

研究課題名（和文） ナノ機能化ゲルマニウム系チャネル

研究課題名（英文） Nano-structure functional devices based Ge-based channels

研究代表者

高木 信一 (TAKAGI SHINICHI)

東京大学 大学院工学系研究科・教授

研究者番号：30372402

研究成果の概要（和文）：

高性能 Ge 素子実現のため、(110)面 GOI 構造を実現し、高移動度 pMOSFET を実証した。また、熱酸化膜 GeO<sub>2</sub>/Ge MOS 界面の形成と評価を行い、低界面準位 MOS 界面であることを実証するとともに、この界面を用いて、高電子移動度・正孔移動度の MOSFET を実現した。また、リーク電流低減方法として、原子状水素アニールの有効性を実証した。

更に、フルホイスラー合金を用いた Ge チャネルスピン MOSFET のためのハーフメタル・ソース/ドレイン技術の開発を行い、エピタキシャル Ge/超薄膜 SOI/埋め込み酸化膜/Si 基板上の急速熱アニール法による形成法を提案し、規則度の高い Co<sub>2</sub>FeGe の形成に成功した。

研究成果の概要（英文）：

In order to realize high performance Ge devices, (110)-oriented Ge-On-Insulator structures have been realized and high hole mobility pMOSFETs have been fabricated on the structures. Also, the formation and the evaluation of thermal oxidation GeO<sub>2</sub>/Ge MOS structures have revealed the superior MOS interfaces with low density of interface states. In addition, high electron and hole mobility have been realized in MOSFETs using this interface. Also, the effectiveness of atomic hydrogen annealing has been demonstrated for reducing the leakage current of Ge devices.

The development of half-metal Source/Drain technologies for Ge MOSFETs using full heusler alloys has been conducted. A method of rapid thermal annealing for epitaxial Ge/ultrathin SOI/buried oxide/Si has been proposed and has realized highly-ordered Co<sub>2</sub>FeGe layers.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
18年度	26,100,000	0	26,100,000
19年度	26,100,000	0	26,100,000
20年度	28,100,000	0	28,100,000
21年度	28,100,000	0	28,100,000
		0	
総計	108,400,000	0	108,400,000

研究分野：電子デバイス工学、半導体工学

科研費の分科・細目：電気電子工学、電子・電気材料工学

キーワード：ゲルマニウム、MOSFET、GOI、移動度、面方位、スピン、強磁性

1. 研究開始当初の背景

MOS デバイスのスケールリングは Si の材料物性によって制限され物理的限界を迎えている。このため、10nm 世代の高性能 LSI を実現するためには、巨大な移動度など、シリコンを大幅に凌ぐ物性を具備した新材料の導入と量子効果の利用・結晶ひずみの導入など、物性を極限まで引き出すエンジニアリングの開発が重要になる。加えて、LSI の分野ではこれまで無視されていたキャリアのスピンを活用した、新しい超低消費電力・不揮発性のメモリや再構成可能なロジック素子を、同じ CMOS プラットホーム上に導入することができれば、LSI としての全体性能を飛躍的に向上させることが期待できる。本研究では、このような高駆動力チャネル材料およびスピンドバイス用チャネル材料として、Ge が注目されている。

2. 研究の目的

微細化にともなうシリコン MOS トランジスタの性能の物理限界を打破できる素子として、Ge チャネル MOSFET に注目し、MOS2 次元キャリア系の物性とキャリア輸送特性を検証することを通じて、Ge 反転層に係る新物性と量子効果を最大限に利用し、極薄 Ge-On-Insulator (GOI) 構造やひずみの有効利用、面方位・チャネル方位の選択・メタルソースドレインの利用などを通じて、最適 Ge CMOS 構造の素子設計と実証を目指す。

また、上記 Ge CMOS 構造におけるソースドレインまたはチャネルに強磁性によるスピン制御の機能を導入し、スピン依存伝導による新規な機能を付加した新しい高機能 CMOS 素子を実現する。

3. 研究の方法

ナノ機能化Ge系チャネルに関する研究を進めるにあたり、高駆動力Ge素子、GOI素子は、立案から計画の遂行まで高木が中心に進め、Ge系スピン素子は菅原が中心となり高木が協力・支援する体制をとる。また、連携研究者として、竹中が途中から参画している。

高駆動力GOI素子については、まずGOI層形成として、(1) SOI上の極薄Geエピチャネルの形成 (2) SOI上のSiGe層の酸化濃縮によるGOIチャネル形成 の2つの手段を中心に検討を行う。また、高品位Ge MOS界面として、熱酸化膜GeO<sub>2</sub>/Geに注目し、その界面特性の評価と形成条件の関係を明らかにする。更にこの界面を用いたMOSFETの試作を行い、その

性能を実証するとともに、移動度に影響を与えるファクターを抽出する。また、リーク電流低減のために、接合特性の改良を行うと共に、アニール手法について検討を加える。

また、GOI スピン素子については、上記手法のGOIに適合し、高いスピン分極率を有する強磁性メタルとして、フルホイスラー合金に着目し、規則度の高い合金層からなるソースドレインの形成法を検討する。

4. 研究成果

【2006 年度】

(1) 薄膜Si/Ge/Si-On-Insulator構造メタルソース・ドレインMOSFETの提案と実証

微細化に適合した高性能GeチャネルMOSFETとして、Si/Ge/Si-On-Insulator構造の量子閉じ込め効果を利用したメタルソース・ドレインMOSFETを提案する。模式図を図1に示す。

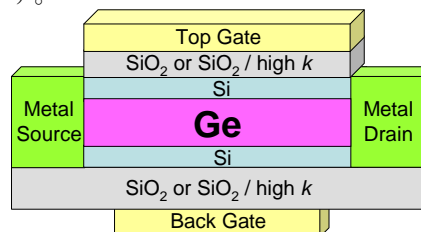


図1. 提案する量子閉じ込めSi/Ge/Si-On-Insulator構造MOSFETの構造模式図

本デバイスの動作を原理実証するために、超薄層SOI上に低温MBE成長を用いてSi/Ge構造を作製した。成長後の構造断面図(図2)から分かる通り、比較的平坦な界面のGeチャネルが形成されていることがわかる。ソース・ドレイン領域にPtを形成しえてPt/SiGeを形成し、バックゲート動作によりpチャネルMOSFET動作を観測することに成功した。チャネルの正孔移動度は、MBE成長直後のアニール温度に依存し、アニール温度600°Cで移動度はSiに比べ約1.2倍の最大値をとり、600°C以上ではアニール温度の増加と共に移動度は劣化する結果(図3)となった。一方、Ge膜厚依存性に関しては、Ge膜厚が4nmの素子では、オフ電流が低下する一方で、移動度の劣化が観測された(図4)。

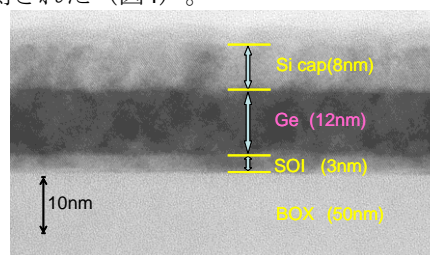


図2. 作製されたSi/Ge/SOI構造の断面TEM写真

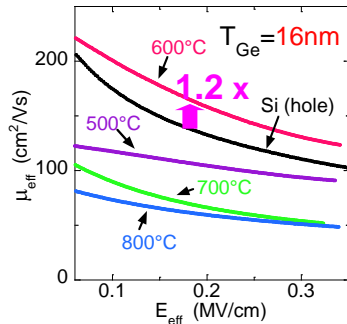


図3. Si/Ge/SOI pMOSFETの正孔移動度のMBE成長直後のアニール温度依存性

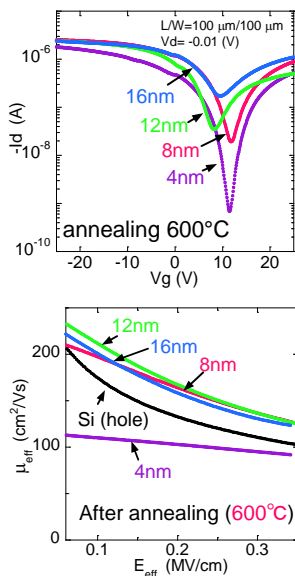


図4. Si/Ge/SOI pMOSFETの正孔移動度のId-Vg特性と正孔移動度のGe膜厚依存性

TEM、ラマン分光法による解析の結果から、アニール温度の増加と共にSi/Ge界面のラフネスの増大、SiとGeの混晶の生成、ひずみの緩和が起こることが確認された。結果として、600°Cアニールで移動度が最大値を取る理由は、アニールによる結晶欠陥の回復に伴う移動度増加とチャネルのSiGe混晶化やひずみ量の低下、界面凹凸の増大による移動度低下のトレードオフによるものであること、Ge膜厚4nmでのオフ電流の減少と移動度の低下は、SiGe混晶化とラフネスやGe膜厚揺らぎが移動度へ及ぼす影響に起因することが明らかとなった。

## (2) 高品質(110) GOI構造の形成

GeチャネルMOSFETの高移動度化を実現するためのデバイス構造上の重要な要素は、面方位の選択である。特に、pチャネルMOSFETにおいては、(110)面が極めて高い正孔移動度をもたらすことが期待されるが、これまで

(110)面のGe pMOSFETを実現した例はなく、また(110)面GOI構造は実現されていない。今年度は、酸化濃縮法を用いて(110)面GOI構造の実現を試みた。

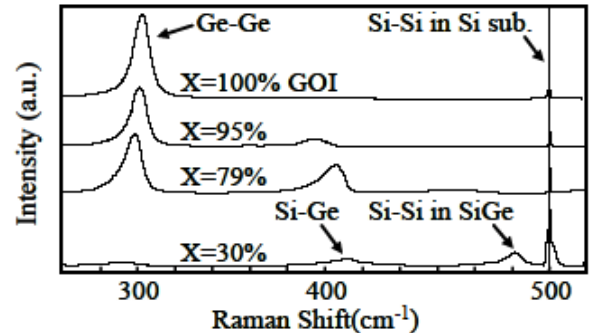


図5. 酸化濃縮に伴う基板のRamanスペクトル

基板として(110)面SOIを準備し、この基板の上にMBE法によって40nm-thick Si<sub>0.7</sub>Ge<sub>0.3</sub>を堆積したのち、1100-900°Cの範囲で酸化濃縮を行った。濃縮に伴うGe濃度の変化をRamanスペクトルによって評価した結果が図5である。最終的にGOIにまで濃縮されていることが分かる。作製されたGOI構造の断面TEM写真(図6)から、良好な結晶性と比較的平坦な界面が実現されていること、またX線回折と電子線回折から結晶面方位は、最初のSOIと同じ(110)面を有していることが確認された。

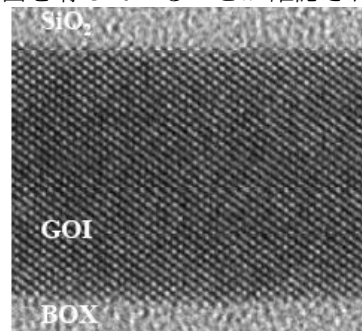


図6. 形成された(110)GOI構造の断面TEM写真

## (3) GOIスピンMOSFET実現のための強磁性ジャーマナイドの形成

本研究では、MOSFETと同様のスケラビリティと集積性をもち、不揮発性メモリ/ロジックやリコンフィギャラブル論理回路などに応用が可能なスピンMOSFETを、図7のように、GOIチャネルを用いて実現することを目標の一つとしている。この目的のためには、GOI MOSFETと同様のメタル・ソース/ドレイン技術で強磁性体からなるソースとドレインを構成できることが望ましく、その有力候補として、強磁性ジャーマナイドFe<sub>3</sub>Geが考えられる。Fe<sub>3</sub>Geの形成方法として、次の方法を提案する。まずGOI基板上にFeを蒸着する。ここで、GOI層とFeの膜厚はすべてが反応し合

金となった場合に $\text{Fe}_3\text{Ge}$ の組成になるように設定する。次いでRTAなどの熱プロセスによって合金化させる。

本年度は、手始めにGe/Siヘテロ構造を用いて本手法の予備実験を行った。 $\text{Fe}_3\text{Ge}$ となるようにGeとFeの膜厚を調整しRTAを行ったところ、 $300^\circ\text{C}$ 以上で反応が生じはじめ、 $400^\circ\text{C}$ で結晶性が良好と考えられる合金が形成されることが分かった。得られた合金は、強磁性特性を示し、転移点は測定システムの上限である $350\text{K}$ 以上となることが見出された。

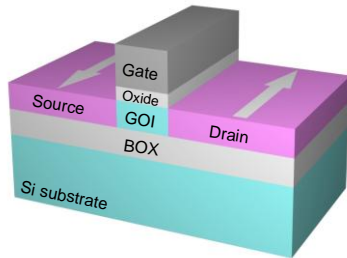


図7. 強磁性ソース/ドレインを有するGOIスピンのMOSFETの模式図

#### 【2007年度】

(1) 薄膜Si/Ge/Si-On-Insulator構造メタルソース・ドレインMOSFETの高性能化

微細化に適合した高性能GeチャンネルMOSFETとして、Si/Ge/Si-On-Insulator構造の量子閉じ込め効果を利用したメタルソース・ドレインMOSFETを提案している。昨年度、極薄SOI基板上に薄膜のGe/Si層をエピタキシャル成長したチャンネルを用いたpMOSFETの動作とSiユニバーサル移動度に対して、約1.2倍の移動度向上を実証したが、ソース・ドレイン間の大きなリーク電流とその結果としての大きなSファクター値が、課題となっていた。

今年度、このリーク電流の低減に、原子状水素アニールが極めて有効であることを見出した。原子状水素は、高温のWフィラメントを用いて水素ガスを分解することで生成している。図1に見られるように、原子状水素アニールによってリーク電流が低減し、結果としてSファクター、カットオフ特性が大きく改善していることが分かる。アニール効果は、 $300^\circ\text{C}$ でほぼ飽和している。一方、同温度のforming gasアニールでは、リーク電流低減の効果が小さいことから、原子状の活性な水素の導入がキーであることが明らかとなった。

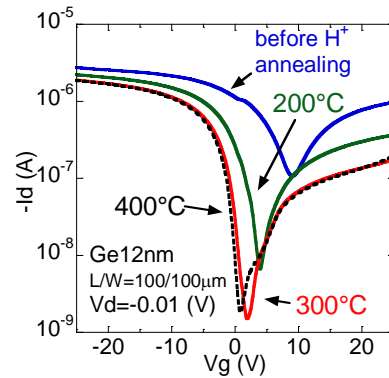


図1. Si/Ge/Si-On-Insulator構造メタルSD pMOSFETの $I_d$ - $V_g$ 特性に与える原子状水素アニールの効果

また、この水素アニール効果による特性の改善は、 $400^\circ\text{C}$ 程度の窒素中のアニールで消失し、元の状態に復帰する(図2)ことから、リーク低減の起源は、Geチャンネル中の何らかの欠陥準位を水素が終端することによるものと考えられる。この終端した水素は $400^\circ\text{C}$ 以上で脱離することも見出された。以上のことから、MBE成長による極薄GOIチャンネルMOSFETのリーク電流低減には、活性な原子状水素による欠陥の終端がきわめて有効であることが明らかとなった。

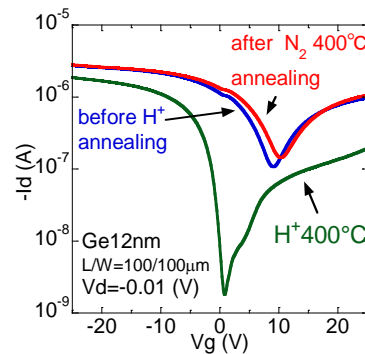


図2. 原子状水素アニールとその後の窒素アニールでの $I_d$ - $V_g$ 特性の変化の様子

(2) (110)面GOI pMOSFETの動作実証

GeチャンネルMOSFETの高移動度化を実現するためのデバイス構造上の重要な要素の一つが、面方位の選択である。特に、pチャンネルMOSFETにおいては、(110)面が極めて高い正孔移動度をもたらすことが期待されるが、これまで(110)面のGe pMOSFETを実現した例は少なく、そのMOS界面キャリア輸送特性も全く理解されていない。昨年度実現に成功した酸化濃縮法による極薄膜(110)面GOI基板を用いて、プレーナ構造では世界で初めて(110)面GOI pMOSFETのデバイス動作に成功した。素子は、Si基板をゲート電極とし埋め込み酸化膜をゲート絶縁膜とするバックゲート型である。図3



の電流-電圧特性に見られるように、ノーマルなMOSFET特性を持つことが実証された。現段階で、(100)面Si pMOSFETのユニバーサル移動度に対して、約1.5倍程度の移動度向上が確認されており、界面特性の最適化などにより更に高い移動度が期待できる。

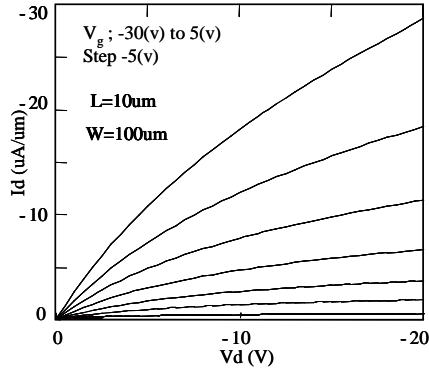


図3. (110)面メタルSD Ge-On-Insulator (GOI) p-MOSFETのId-Vd特性

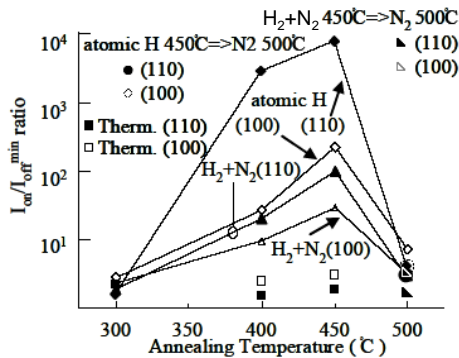


図4. (110)面および(100)面メタルSD Ge-On-Insulator (GOI) p-MOSFETのオフ電流に与える水素アニール効果

一方、酸化濃縮GOI MOSFETの最大の問題点は、濃縮時のGe中の欠陥に起因するものと思われる大きなリーク電流である。このリーク電流の低減にも、原子状水素アニールが極めて有効であることが見出された。図4にアニール温度とMOSFETのIon/Ioffの比の関係を示す。450°Cの原子状水素アニールにより、 $10^4$ 程度のIon/Ioff比が得られること、窒素中アニールではリーク電流低減は全く見られないこと、forming gasアニールよりも原子状水素アニールの方が有効であることから、リーク低減には水素が関与しており、特に活性な水素による欠陥準位の終端がリーク電流低減の起源と考えられることが明らかとなった。(3) GOI スピンMOSFET実現のための強磁性ジャーマナイドの形成

本研究課題では、GOIチャネルMOSFETにHMFのソース/ドレインを形成してスピンMOSFETを実現するための基盤技術の確立を目的としている。特にRTAを用いたメタル・ソース/ド

レイン技術の援用によりHMFとなるフルホイイスラー合金Co<sub>2</sub>FeGeの形成を目指している。今年度は、非常に薄いSOI上にGeの低温MBE成長を行って形成した擬似GOI基板を用いてL21型フルホイイスラー合金のCoFeGeの形成を試みた。

2nmに薄層化したSOI(100)上にMBE法で単結晶Geを成長し、擬似GOI(100)基板を作製した。次いで超高真空下でCoとFeを連続堆積した後、RTA(700°C, 4min)によってジャーマナイド化を行った。GOI、Co、Feの膜厚は、合金化した場合にCo<sub>2</sub>FeGeの組成になるように設定した(十分少ない量のSiは無視した)。

SIMSの測定から、Co、Feの拡散はBOX層で阻止され、均一でほぼ設計通りの組成のCo<sub>2</sub>FeGe膜が形成できていること、X線回折からGOI(100)を用いて作製したCo<sub>2</sub>FeGeは(100)高配向膜となることが明らかとなった。また、規則格子線の詳細な観測から、作製したCo<sub>2</sub>FeGe薄膜が最も規則度の高いL21構造であることが判明した。また、MCD(磁気円二色性)の測定から、磁性析出物のない磁氣的に均一な膜の形成を確認した。以上の結果から、(擬似)GOI基板を用いて、RTAによるホイイスラー合金の形成が実現できることが結論づけられた。

【2008年度】

(1) 熱酸化による GeO<sub>2</sub>/Ge MOS界面形成技術

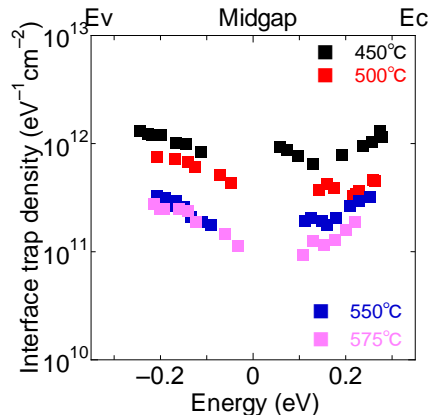


図1. 熱酸化により形成したGeO<sub>2</sub>/Ge MOS界面の界面準位密度のエネルギー分布の酸化温度依存性

高性能・高電流駆動力のGe MOSFETを実現するための鍵の一つは、界面準位や界面電荷の少ない高品質のGe MOS界面の実現である。この目的のため、Ge基板の熱酸化によるGeO<sub>2</sub>/Ge MOS界面を、酸化温度を変化させて形成し、低温コンダクタンス法を用いて、界面準位のエネルギー密度を詳細に調べた。結果として、図1に見られるように、酸化温度を高めるほど界面準位密度が減少すると共に、エネルギー分布は、Siと同様にU型を示し、575°Cの酸化

による界面準位密度の最小値は、 $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 以下という極めて低い値を持つことが分かった。

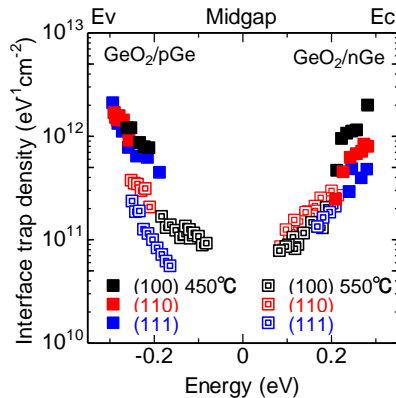


図2. 熱酸化により形成したGeO<sub>2</sub>/Ge MOS界面の界面準位密度のエネルギー分布の面方位依存性

また、Ge MOSFETのテクノロジーブースター技術として検討を進めている、(100)面以外の面指数の使用の観点から、界面準位密度の面方位依存性を調べたところ、図2に示すように、伝導帯近傍では、方位依存性が見られず、また価電子帯近傍では(111)面の界面準位が若干小さく、(100)面と(110)面ではほぼ同等であることが明らかとなった。この結果はSi MOS界面の面方位依存性とは大きく異なっており、また(100)面以外の面指数使用の観点では好ましい結果である。

(2) 熱酸化GeO<sub>2</sub>/Ge を用いたMOSFETの電気特性と移動度決定機構の解明

上記の結果から、熱酸化GeO<sub>2</sub>/Ge界面特性が非常に優れていることが明らかとなったので、高い移動度の実現を期待し、この界面層を有するpチャネルMOSFETの試作と電気特性の評価を行った。ここで、素子試作上の課題は、GeO<sub>2</sub>膜の水溶性である。プロセス中のGeO<sub>2</sub>膜の消失と界面特性劣化を防ぐため、GeO<sub>2</sub>の上にEB蒸着によりSiOあるいはAl<sub>2</sub>O<sub>3</sub>膜を保護層として形成することによって、この問題を解決した。作成されたMOSFETの断面模式図を図3に示す。ゲート電極にはAlを用い、ゲート電極形成後のイオン注入により、ソース・ドレイン領域を自己整合的に形成した。活性化アニールは、450°Cで行い、良好なpn接合の形成とMOS界面の劣化がないことを確認している。

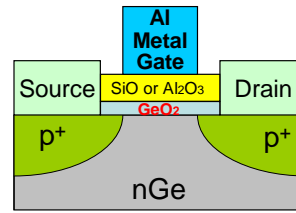


図3. 作製したGeO<sub>2</sub>/Ge MOS界面を制御層にもつGe pMOSFETの断面模式図

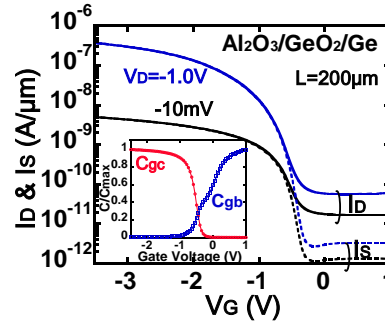


図4. 作製したGeO<sub>2</sub>/Ge pMOSFETのI-V, C-V特性

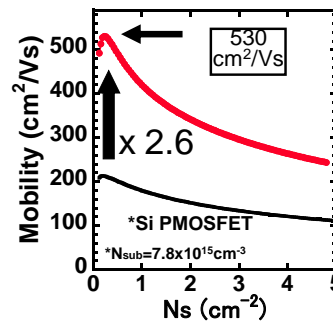


図5. 作製したGeO<sub>2</sub>/Ge pMOSFETの移動度特性

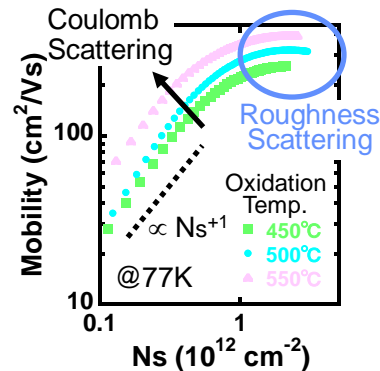


図6. 作製したGeO<sub>2</sub>/Ge pMOSFETの77Kでの移動度特性。Geの酸化温度がパラメータである。

図4と図5に、酸化温度550°Cの条件で作製したGeO<sub>2</sub>/Ge pMOSFETの $I_d-V_g$ 、 $I_s-V_g$ 、 $C_g-V_g$ 特性と移動度特性を示す。 $-1.0 \text{ V}$ の $V_d$ の下で、 $I_s$ で $10^5$ 程度、 $I_d$ で $10^4$ 程度というGe MOSFETとしては高いオンオフ比が得られた。また移動度の最大値として、 $530 \text{ cm}^2/\text{Vs}$ という、これまでGe pMOSFETに対して報告されている中で最も高い値を実現した。これらの特性は、図1で示したGeO<sub>2</sub>/Ge MOS界面の優れた性質に起因するものと考えられる。

更に、移動度の決定機構を調べるため、酸化温度の異なるMOSFETに対し、移動度の温度依存性を調べたところ、図6に見られるように、低 $N_s$ 領域では界面準位によるクーロン散乱が、また中 $N_s$ 領域以上では、表面ラフネス散乱が影響を与えていること、酸化温度を下げることによりこれらの散乱が増大することが明らかとなった。

### (3) GOI スピンMOSFET実現のための強磁性ジャーマニドの形成

本研究課題では、GOIチャネルMOSFETにHMFのソース/ドレインを形成してスピンMOSFETを実現するための基盤技術の確立を目的としており、特に、ハーフメタルS/Dに用いるフルホイスラー合金 $Co_2FeGe$  (CFG) の構造と磁性を詳細に調べている。

昨年度は、擬GOI基板(エピタキシャルGe/超薄膜SOI/BOX/Si基板)を利用してRTAによって形成したCFGがハーフメタルフル強磁性体となるL21型規則合金構造を有することを明らかにした。本年度はRTA温度と構造・磁性の関係を明らかにした。RTA温度 $700^{\circ}C$ では単相のCFGが形成されるが、 $600^{\circ}C$ または $800^{\circ}C$ の形成温度では異相を含み、単相のCFGを形成するための温度ウィンドウが存在することがわかった。単相の形成される $700^{\circ}C$ では飽和磁化は最大となり、保磁力は最も小さくなり、膜構造と強い相関があった。また、擬GOI基板に含まれるSiの影響についても調べた。擬GOI基板のSOI層の膜厚を増加させて $Co_2FeSi_{1-x}Ge_x$  ( $x=2-50\%$ )を形成し、Siの含有が規則構造・磁性に大きく影響していることを明らかにした。

### 【2009年度】

#### (1) 気相拡散法によるGe n<sup>+</sup>/p 接合形成技術

Ge CMOSを実現する上での最大の問題の一つは、Ge n-MOSFETの持つ課題である、チャネル電子移動度が低い点、ソースドレインのn<sup>+</sup>/p接合が高抵抗でありかつリーク電流が大きい点にある。そこで、このようなn<sup>+</sup>/p接合の課題を克服するため、従来のイオン注入法に代わって低欠陥密度が期待できる気相拡散法により、有機原料tertialybutylarsine (TBA)を用いて、Ge中にAsを拡散させn<sup>+</sup>/p接合を形成して、その電気特性を評価した。

図1に、作製した接合の電流電圧特性を、イオン注入法により作製したダイオードの特性と比較して示す。気相拡散法により、低温での接合形成が可能となっているとともに、欠陥生成の抑制により、約1-2桁の逆方向接合リーク電流の低減が実現できることが明らかとなった。

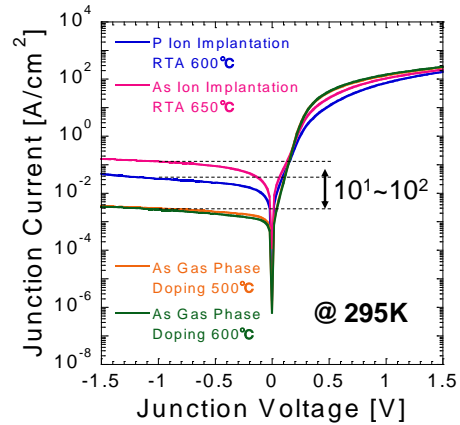


図1. 気相拡散により形成したGe n<sup>+</sup>/p 接合のIV特性とイオン注入により形成した接合との特性の比較

#### (2) 熱酸化GeO<sub>2</sub>/Ge MOS界面と気相拡散n<sup>+</sup>/p 接合を有するGe n-MOSFETの実証と電気特性

高性能のGe n-MOSFET実現のため、伝導帯近傍の界面準位密度の低い熱酸化GeO<sub>2</sub>/Ge MOS界面と、前述の気相拡散法によるn<sup>+</sup>/p接合を用いて、Ge n-MOSFETの試作を行った。工程簡単化のために、ゲートラストプロセスを用い、(100)基板上に素子を作製した。図2に、作製された素子の $I_d, I_s - V_g$ 特性を示す。電流のオンオフ比として $10^5$ 程度という、Ge n-MOSFETとしては非常に大きな値が得られており、気相拡散法を用いた接合形成によるリーク電流低減が実証できた。また、Sファクターから見積もられる界面準位密度は、 $1.4 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ と、比較的良好な値が得られた。

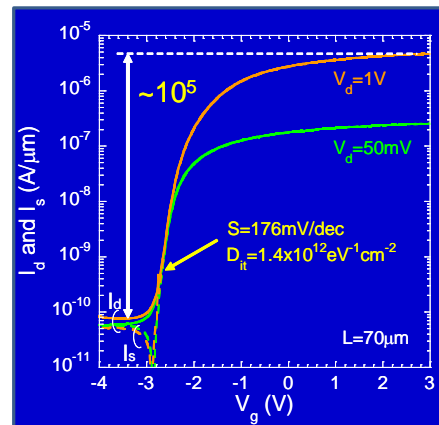


図2. 熱酸化GeO<sub>2</sub>/Ge MOS界面と気相拡散法によるn<sup>+</sup>/p接合を用いたGe n-MOSFETの $I_d, I_s - V_g$ 特性

図3に、split C-V法により求めた実効移動度の表面キャリア濃度 $N_s$ 依存性の結果を示す。ほぼ同程度の基板濃度を持つSi n-MOSFETの電子移動度の結果も合わせて示している。移動度の最大値で、 $1020 \text{ cm}^2/\text{Vs}$ 、Siの電子移動

度と比較して約1.4倍という、Ge n-MOSFETとしてこれまで報告されている中で最大の電子移動度が得られることが明らかとなり、熱酸化GeO<sub>2</sub>/Ge MOS界面を使ったMOSFETの有効性が実証された。

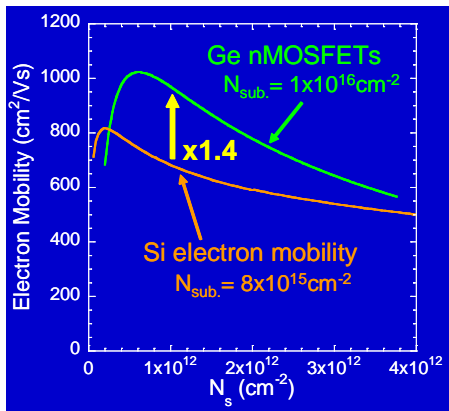


図3. 今回試作したGe n-MOSFETの実効電界の表面キャリア濃度Nsの依存性

### (3) (110)GOI pMOSFETの電気特性

Siプラットフォーム上へのGe CMOSの実現のためには、高性能n-MOSFETの実現に加え、Si上へのGeチャネル形成、薄膜ボディ構造の形成、performance booster 技術の導入などの要求を実現する必要がある。これらの要求を同時に満足させるデバイス構造の一つとして、Si基板上の(110)面薄膜GOI pMOSFETを提案し、酸化濃縮法による基板形成と素子動作を実証してきた。

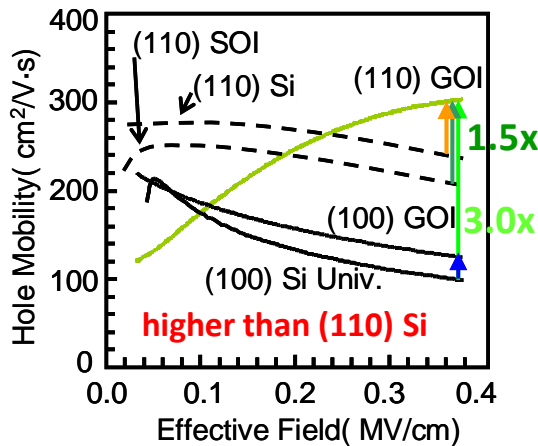


図4. (110)面<110>方向のGOI pMOSFETの正孔移動度の実効電界依存性の測定結果

今年度は、その電気特性の詳細な評価を行い、(110)面上での移動度のチャネル方向依存性を調べた結果、Si pMOSFETと同様に、<110>方向で移動度が最大になることを実験的に見出した。図4に、(110)面<110>方向のGOI pMOSFETの正孔移動度の実効電界依存性の

測定結果を示す。(100)面Si正孔ユニバーサル移動度と比較して3倍、同程度の厚さの(110)面薄膜SOIの正孔移動度と比較して1.5倍の移動度向上が、高電界領域で得られることが分かる。また、(110)面<110>方向の正孔移動度は、実効電界と共に増加する傾向を示し、Siあるいは(100) Geの移動度の実効電界依存性と大きく異なっている。移動度の温度依存性などから、この特性は、Nsの増大に伴う有効質量の減少あるいはバンド間散乱の抑制に起因していることが示された。

### (4) GOIスピンMOSFET実現のためのハーフメタル強磁性体の形成

本研究課題では、Geチャネルにハーフメタル強磁性体によるS/Dを形成してスピンMOSFETを実現するための基盤技術確立することを目的としている。特に、フルホイスラー合金を用いたハーフメタルS/D技術の開発を行う。昨年までに、擬似GOI基板(エピタキシャルGe/超薄膜SOI/BOX/Si基板)を利用したRTAによるジャーマナイド化によってフルホイスラー合金Co<sub>2</sub>FeGe(CFG)が形成できることを示してきた。本年度は、このRTAによるCFG薄膜の組成、RTA条件による規則度の向上を検討した。疑似GOI基板上にCoとFeを超高真空中で堆積し、この試料をN<sub>2</sub>雰囲気中でRTAすることによってCFGを形成した。詳細なX線回折構造解析から、CFGはある程度のオフトイキオメトリであっても、規則度は低いがB2構造、L21構造を含む規則構造をとることがわかった。CFGの組成をストイキオメトリにすると、オフトイキオメトリのときと同様にB2構造、L21構造規則構造を含むが、B2規則度は大きく改善することがわかった。これはCFGのスピン分極率の観点から重要である。また、この規則度はRTA温度に依存し、700°Cで最も規則度の高いCFGが形成できることがわかった。このRTAを用いたジャーマナイド化によるCFGを用いればGOIチャネルのスピンMOSFETを実現できる可能性がある。

また、Ge上へのCo<sub>2</sub>FeSi(CFS)、Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub>(CFAS)のエピタキシャル成長による形成についても検討を行った。CFSは非常に高いL21規則度を示し、また、CFASはそのフェルミレベルがマイノリティギャップの中央に位置することから、ともにハーフメタルS/Dとして有望な材料である。

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)



〔雑誌論文〕 (計 13 件)

- [1] T. Uehara, H. Matsubara, S. Sugahara and S. Takagi, "Ultrathin Ge-On-Insulator Metal Source/Drain p-Channel MOSFETs Fabricated By Low Temperature Molecular Beam Epitaxy", Jpn. J. Appl. Phys., vol. 46, no. 4B, pp. 2117-2121, 2007
- [2] S. Takagi, T. Irisawa, T. Tezuka, S. Nakaharai, T. Numata, N. Hirashita, Y. Moriyama, K. Usuda, S. Dissanayake, M. Tekenaka, S. Sugahara and N. Sugiyama, "Mobility- Enhanced Device Technologies Using SiGe/Ge MOS Channels", ECS Trans. Vol. 11, No. 6, pp. 61-74, Oct. 2007
- [3] S. Takagi, T. Maeda, N. Taoka, M. Nishizawa, Y. Morita, K. Ikeda, Y. Yamashita, M. Nishikawa, H. Kumagai, R. Nakane, S. Sugahara and N. Sugiyama, "Gate Dielectric Formation and MIS Interface Characterization on Ge", Microelectronic Engineering, vol. 84, Issue 9-10, pp. 2314-2319, 2007
- [4] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka and N. Sugiyama, "Carrier-transport-enhanced channel CMOS for improved power consumption and performance" (Invited Paper), IEEE Trans. Electron Devices, Vol. 55, No. 1, pp. 21-39. Jan. 2008
- [5] H. Matsubara, T. Sasada, M. Takenaka and S. Takagi, "Evidence of low interface trap density in GeO<sub>2</sub>/Ge Metal-Oxide-Semiconductor structures fabricated by thermal oxidation", Appl. Phys. Lett., Vol. 93, Issue. 3, 032104, 2008
- [6] Y. Takamura, A. Nishijima, Y. Nagahama, R. Nakane and S. Sugahara, "Formation of Si- and Ge-based Full-Heusler Alloy Thin Films Using SOI and GOI Substrates for the Half-Metallic Source and Drain of Spin Transistors", ECS Transactions, Vol. 16, pp. 945-952, 2008
- [7] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka and S. Takagi, "(110) Ultra-thin GOI Layers Fabricated by Ge Condensation Method", Thin Solid Films, Vol. 517, Issue 1, pp. 178-180, 2008
- [8] 高木信一, 山本豊二, 田岡紀之, 池田圭司, "界面制御層を用いた高性能 Ge MOS トランジスタ", 応用物理, vol. 78, no. 1, pp. 37-42, 2009
- [9] 菅原聡, "スピン機能 MOSFET による新しいエレクトロニクスの展開", 応用物理, vol. 78, no. 3, 2009
- [10] K. Morii, S. Dissanayake, S. Tanabe, R. Nakane, M. Takenaka, S. Sugahara and S. Takagi, "Evaluation of Electron and Hole Mobility at Identical Metal-Oxide-Semiconductor Interfaces by using Metal Source/Drain Ge-On-Insulator Metal-Oxide-Semiconductor Field-Effect Transistors", Jpn. J. Appl. Phys., vol. 48, no. 4, 04C050 (2009)
- [11] S. Takagi, N. Taoka and M. Takenaka, "Interfacial Control and Electrical Properties of Ge MOS structures", ECS Trans. vol. 19, no. 2, pp. 67-85 (2009)
- [12] S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka, "Ge/III-V Channel Engineering for future CMOS", ECS Trans. vol. 19, no. 5, pp. 9-20 (2009)
- [13] T. Sasada, Y. Nakakita, M. Takenaka and S. Takagi, "Surface Orientation Dependence of Interface Properties of GeO<sub>2</sub>/Ge metal-oxide-semiconductor Structures Fabricated by Thermal Oxidation", J. Appl. Phys., vol. 106 (2009) 073716

〔学会発表〕 (計 59 件)

- [1] T. Uehara, H. Matsubara, S. Sugahara and S. Takagi, "Ultra-thin Ge-on-Insulator (GOI) Metal S/D p-channel MOSFETs fabricated by low temperature MBE growth", Ext. Abs. SSDM (2006) p. 1050-1051
- [2] H. Kumagai, M. Shichijo, H. Ishikawa, T. Hoshii, S. Sugahara, Y. Uchida and S. Takagi, "Fabrication of SiO<sub>2</sub>/Ge MIS structures by plasma oxidation of ultrathin Si films grown on Ge", Ext. Abs. SSDM (2006) p. 398-399
- [3] S. Takagi, K. Ikeda, T. Maeda, S. Nakaharai, N. Sugiyama, T. Uehara and S. Sugahara, "Metal Source/Drain Ge MOSFET Technologies (invited)", Workshop on Gate Stack and Contact Engineering for sub-30nm FETs, 2006. 9. 5, Monterey Plaza Hotel, Monterey CA, USA
- [4] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, K. Ikeda, N. Taoka, Y. Yamashita, M. Harada, T. Maeda, T. Yamamoto and N. Sugiyama, "Mobility-Enhanced Device Technologies Using SiGe/Ge MOS Channels (invited)", 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, 2006. 10. 2-3, p. 5-6
- [5] S. Takagi, "High Performance CMOS Device Technologies in Nano CMOS Era (invited)", IEEE Nanotechnology Materials and Devices Conference (NMDC), 2006. 10. 22-25, Gyeongju, Korea, p. 86-87
- [6] S. Takagi, N. Taoka, S. Nakaharai, K. Ikeda, T. Tezuka, Y. Yamashita, Y. Moriyama, T. Maeda and N. Sugiyama, "Prospects and Critical Issues on Ge MOS Technologies

- (invited)", SiGe & Ge: Materials, Processing, and Devices Symposium, the 2006 Joint International Electrochemical Society Meeting, Moon Palace Resort, Cancun, Mexico, 2006. 10. 29 – 11., ECS Trans. Vol. 3, Issue. 7 (2006) 823-829
- [7] S. Takagi, "Mobility-Enhanced CMOS Technology (invited)", SEMICON KOREA Semi Technology Symposium (STS) 2007, Souel, Korea, 2007. 2. (2007) p. 247-258
- [8] 高木信一, "高性能 LSI のための新構造 CMOS デバイス技術", ISTF (Industry Strategy and Technology Forum) 2006, ウェーハプロセスセッション「ナノ時代のデバイス技術」 2006 年 10 月 11 日、パシフィコ横浜
- [9] 高木信一, "ナノ CMOS 時代のデバイス高性能化技術(High Performance Device Technologies in Nano CMOS Era)", 東京大学 21 世紀 COE プログラム「未来社会を担うエレクトロニクスの展開」最終シンポジウム「豊かな社会を築くセキュアライフ・エレクトロニクス」, 2007 年 1 月 15-16 日、東京大学本郷キャンパス・工学部 2 号館 1 階 213 大講堂, p. 153-158
- [10] Sanjeeva Dissanayake, 熊谷寛, 菅原聡, 高木信一, "Fabrication of (110) GOI Layers by Ge Condensation of SiGe/ (110) SOI Structures", 2006 秋応物第 67 回応用物理学会学術講演会 (於 立命館大学), 31p-ZG-15, Aug. 2006.
- [11] S. Dissanayake, H. Kumagai, T. Uehara, Y. Shuto, S. Sugahara and S. Takagi, "(110) Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method", 5th International Conference on SiGe(C) Epitaxy and Heterostructures, pp. 57-58, Marseille, France, May 2007.
- [12] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, N. Hirashita, K. Usuda and N. Sugiyama, "Advanced CMOS technologies using high mobility channels based on column-IV materials (invited)", 5th International Conference on SiGe(C) Epitaxy and Heterostructures, pp. 137-139 Marseille, France, May 2007.
- [13] S. Takagi, "Mobility-Enhanced MOS Device Technologies in Nano-CMOS era (plenary talk)", Device Research Conference (DRC), pp. 5-8, South Bend, USA, June 2007.
- [14] S. Takagi, T. Maeda, N. Taoka, M. Nishizawa, Y. Morita, K. Ikeda, Y. Yamashita, M. Nishikawa, H. Kumagai, R. Nakane, S. Sugahara and N. Sugiyama, "Gate Dielectric Formation and MIS Interface Characterization on Ge (invited)", 15th Insulating Films on Semiconductors (INFOS2007), pp. 2314-2319, Athens, Greece, June 2007,
- [15] S. Dissanayake, S. Sugahara, M. Takenaka and S. Takagi, "Fabrication of (110) GOI Layers by Ge Condensation of SiGe/ (110) SOI Structure and Application to pMOSFET Devices", 2nd International Conference on Industrial and Information Systems (ICIIS 2007), Sri Lanka, August 2007
- [16] H. Matsubara, H. Kumagai, S. Sugahara and M. Takenaka and S. Takagi, "Evaluation of SiO<sub>2</sub>/GeO<sub>2</sub>/Ge MIS Interface Properties by Low Temperature Conductance Method", Ext. Abs. SSDM, p. 18-19, Tsukuba, Japan, Sept. 2007
- [17] S. Takagi, T. Uehara, S. Tanabe, H. Matsubara, R. Nakane, M. Takenaka and S. Sugahara, "Effects of Atomic Hydrogen Annealing on Reduction of Leakage Current in Ultrathin Si/Ge/Si-On-Insulator Metal Source/Drain p-Channel MOSFETs", 34th International Symposium on Compound Semiconductors, pp. 132, Kyoto, Japan, Oct. 2007
- [18] S. Takagi, "High Performance CMOS Device Technologies using New Channel Materials (invited)", International Workshop on Advanced Silicon-based Nano-devices, p. 92-113, Tokyo, Japan, Nov. 2007
- [19] S. Dissanayake, S. Tanabe, S. Sugahara, M. Takenaka and S. Takagi, "Effect of Annealing on (100) and (110) Oriented pseudo-GOI pMOSFETs Fabricated by Ge Condensation Method", 5th International Symposium on Control of Semiconductor Interfaces (ISCSI-V), pp. 233-234, Tokyo, Japan, Nov. 2007
- [20] S. Takagi, H. Matsubara, M. Nishikawa, T. Sasada, R. Nakane, S. Sugahara and M. Takenaka, "Superior MOS Interface Properties of GeO<sub>2</sub>/Ge Structures Fabricated by Ozone Oxidation", 5th International Symposium on Control of Semiconductor Interfaces (ISCSI-V), pp. 65-66, Tokyo, Japan, Nov. 2007
- [21] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka and S. Takagi, "Examination of Additive Mobility Enhancements for Uniaxial Stress Combined with Biaxially Strained Si, Biaxially Strained SiGe and Ge Channel MOSFETs", International Electron Device Meeting, pp. 719-722, Washington DC., USA, Dec. 2007
- [22] 菅原聡, "スピン機能 MOSFET とその高機能ロジックへの展開—電荷とスピンの融合による新しい高性能・高機能集積回路技術—", JST Innovation Bridge, 東京, March 10, 2008.

- [23] 菅原聡, “スピン MOSFET とその高機能ロジックへの応用”, STRJ ワークショップ 2007, 東京, March 6-7, 2008.
- [24] 高村陽太, 西島輝, 長浜陽平, 中根了昌, 宗片比呂夫, 菅原聡, “Rapid thermal annealing を用いたフルホイスラー合金の作製と評価”, 第 12 回「半導体スピン工学の基礎と応用」研究会, 吹田, December 20-21, 2007, P6.
- [25] S. Dissanayake, H. Kumagai, Y. Shuto, S. Sugahara and S. Takagi, “(110) surface Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method” 【講演奨励賞受賞記念講演】, 第 68 回応用物理学会学術講演会 (於 北海道工業大学), 7p-ZL-2, Sept. 2007.
- [26] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka and S. Takagi, “Effects of Annealing on (110) GOI Layers Fabricated by Ge Condensation Method”, 第 68 回応用物理学会学術講演会 (於 北海道工業大学), 7p-ZL-3, Sept. 2007.
- [27] 高村陽太, 西島輝, 中根了昌, 宗片比呂夫, 菅原聡, “Germanium-on-insulator (GOI) 基板を用いたホイスラー合金の作製とその評価”, 第 68 回応用物理学会学術講演会 (於 北海道工業大学), 5a-S-2, Sept. 2007.
- [28] 高村陽太, 長浜陽平, 西島輝, 中根了昌, 宗片比呂夫, 菅原聡, “RTA を用いて作製したフルホイスラー合金  $\text{Co}_2\text{FeSi}$ ,  $\text{Co}_2\text{FeGe}$  の構造”, 第 55 回応用物理学関係連合講演会 (於 日本大学), 28a-F-4, March 2008.
- [29] Yota Takamura, Akira Nishijima, Yohei Nagahama, Ryosho Nakane and Satoshi Sugahara, “Fabrication Technique of Si- and Ge-based Full-Heusler Alloys for Half-metallic Source/Drain Spin MOSFETs”, 4th Intl. Nanotechnology Conf. on Communication and Cooperation, P-19, Apr. 14-17, 2008, Tokyo, Japan
- [30] Shinichi Takagi, “Advanced Nano CMOS Platform using Carrier-Transport-Enhanced Channels (invited)”, 2008 International Symposium on VLSI Technology, Systems, and Applications, pp. 91-92, Apr. 21-23, 2008, Hsinchu, Taiwan
- [31] S. Takagi, “Understanding and Engineering of Carrier Transport in Advanced MOS Channels (plenary)”, 2008 International Conference on Simulation of Semiconductor Processes and Devices, pp. 9-12 Sept. 9-11, 2008, Hakone, Japan
- [32] Satoshi Sugahara, “Spin-Transistor Electronics with Spin-MOSFETs (invited)”, Symposium: Integration of Metallic and Semiconductor Systems in Spin Electronics, The 32nd Annual Conference on Magnetism in Japan, 12pB-7, Sept. 12-15, 2008, Tagajo, Japan
- [33] S. Takagi, “High mobility channel MOSFET (invited)”, ESSDERC Tutorials “T1: CMOS at the bleeding edge”, 38th European Solid-State Device Research Conference, Sept. 15, 2008, Edinburgh, UK
- [34] S. Takagi, “Devices for high performance CMOS (invited)”, Workshop on Germanium and III-V MOS Technology, 38th European Solid-State Device Research Conference, 19 Sept., 2008, Edinburgh, UK
- [35] T. Sasada, H. Matsubara, M. Takenaka and S. Takagi, “Improvement of Interface Properties of  $\text{GeO}_2/\text{Ge}$  MOS Structures Fabricated by Thermal Oxidation”, 2008 International Conference on Solid State Devices and Materials, pp. 12-13, Sept. 23-26, 2008, Tsukuba, Japan
- [36] Kiyohito Morii, Sanjeewa Dissanayake, Satoshi Tanabe, Ryosho Nakane, Mitsuru Takenaka, Satoshi Sugahara and Shinichi Takagi, “Evaluation of Electron and Hole Mobility at Identical MOS Interfaces by using Metal Source/Drain GOI MOSFETs”, 2008 International Conference on Solid State Devices and Materials, pp. 34-35, Sept. 23-26, 2008, Tsukuba, Japan
- [37] Yota Takamura, Yohei Nagahama, Akira Nishijima, R. Nakane and S. Sugahara, “Formation of Si- and Ge-based Full-Heusler Alloy Thin Films Using SOI and GOI Substrates for the Half-Metallic Source and Drain of Spin Transistors”, Pacific Rim Meeting on Electrochemical and Solid-State Science (PRiME2008), 18.2., Oct. 12-17, 2008, Honolulu, USA
- [38] Takashi Sasada, Yosuke Nakakita, Mitsuru Takenaka and Shinichi Takagi, “Surface Orientation Dependence of Interface Properties of  $\text{GeO}_2/\text{Ge}$  MOS Structures Fabricated by Thermal Oxidation”, 39th IEEE Semiconductor Interface Specialists Conference, 6.4, Dec. 11-13, 2008, San Diego, USA
- [39] Yosuke Nakakita, Ryosho Nakane, Takashi Sasada, Hiroshi Matsubara, M. Takenaka and S. Takagi, “Interface-controlled Self-Align Source/Drain Ge pMOSFETs Using Thermally-Oxidized  $\text{GeO}_2$  Interfacial Layers”, International Electron Device Meeting, pp. 877-880, Dec. 15-17, 2008, San Francisco, USA
- [40] 高木信二, “[チュートリアル講演] 高性能 CMOS のための高移動度チャネル技術の現状と展望”, 電子情報通信学会シリコン材料・デバイス (SDM) 研究会 (於 東京大学), vol. 108, No. 80, p. 1-6, June 2008

- [41] 高木信一, “先端 CMOS のためのデバイス性能向上技術 (招待講演)”, SEMI Forum Japan 2008, テクニカルセミナー「フロントエンドプロセスセミナー」(於 大阪国際会議場), p. 1-26, June 2008
- [42] 高木信一, “新チャネル材料を使った高電流駆動力 CMOS デバイス技術 (招待講演)”, 第 72 回半導体集積回路技術シンポジウム, 電気化学会電子材料委員会(於 東京農工大学), pp. 81-84, July 2008
- [43] Sanjeewa Dissanayake, Yusuke Shuto, Satoshi Sugahara, Mitsuru Takenaka and Shinichi Takagi, “Electrical Characteristics of (110)-oriented Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Method”, 2008 年秋季 第 69 回応用物理学会学術講演会 (於 中部大学) (2008.9.2-5)
- [44] S. Takagi, N. Taoka and M. Takenaka, “Interfacial Control and Electrical Properties of Ge MOS structures (invited)”, 10th International Symposium on Silicon Nitride, Silicon Dioxide, and Alternate Emerging Dielectrics, 215 th Meeting of The Electrochemical Society, San Francisco, USA, May 24-29, 2009
- [45] S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka, “Ge/III-V Channel Engineering for future CMOS (invited)”, 1st International Symposium on Graphene and Emerging Materials for Post-CMOS Applications, 215 th Meeting of The Electrochemical Society, San Francisco, USA, May 24-29, 2009
- [46] S. Sugahara, and Y. Takamura, “SOI-Based Spin- Transistor Technologies (invited) ”, 215th ECS Meeting, San Francisco, USA, May 24-29, 2009.
- [47] M. Takenaka, M. Sugiyama, Y. Nakano and S. Takagi, “Gas phase doping of arsenic into germanium by using MOVPE system for source/drain formation of high performance Ge nMOSFETs”, Symposium I: Silicon and Germanium issues for future CMOS devices, E-MRS 2009, Strasbourg (France), June 8-12, 2009
- [48] S. Takagi, “Ge/III-V Channel CMOS Technologies on Si platform (invited)”, First Korea-Japan Nano Forum, NANO KOREA 2009, August 28th, 2009
- [49] S. Takagi, “High Mobility Channel CMOS Technologies for Realizing High Performance LSI’s (invited)”, 2009 Custom Integrated Circuits Conference (CICC), September 13-16 (2009), San Jose, California, pp. 153-160
- [50] S. Takagi, “High Performance Ge MOS Device Technologies (invited)”, 1st International Workshop on Si based nano-electronics and -photonics (SiNEP-09), 20-23 September 2009, Vigo, Spain, pp. 19-20 (2009)
- [51] S. Dissanayake, S. Sugahara, M. Takenaka and S. Takagi, “High Performance (110)-oriented GOI pMOSFETs Fabricated by Ge Condensation Technique”, SSDM (2009), p.14-15
- [52] S. Takagi, “New channel material MOSFETs on Si platform(invited)”, International Symposium on Silicon Nano Devices in 2030: Prospects by World’s Leading Scientists, October 13-14, 2009, Tokyo Institute of Technology, Japan, p. 30-31 (2009)
- [53] S. Sugahara, “Spin-functional MOSFETs (invited)”, International Symposium on Silicon Nano Devices in 2030: Prospects by World’s Leading Scientists, October 13-14, 2009, Tokyo Institute of Technology, Japan (2009)
- [54] T. Iwasaki, N. Taoka, M. Takenaka and S. Takagi, “Impact of plasma nitridation of thermally-grown GeO<sub>2</sub>/Ge MIS structures on the GeO<sub>2</sub> film and interface properties”, 40th IEEE Semiconductor Interface Specialists Conference, P20, Dec. 3-5, 2009, Washington D.C., USA
- [55] K. Morii, T. Iwasaki, R. Nakane, M. Takenaka and S. Takagi, “High Performance GeO<sub>2</sub>/Ge nMOSFETs with Source/Drain Junctions Formed by Gas Phase Doping”, International Electron Device Meeting, pp. 681-684, Dec. 7-9, 2009, Baltimore, USA
- [56] 菅原聡, “スピ機能 MOSFET とその集積回路応用(invited)” 日本磁気学会第 16 8 回研究会第 26 回スピエレクトロニクス専門研究会, 仙台, 宮城, November 2, 2009.
- [57] 菅原聡, “スピントランジスタによる新しいエレクトロニクスの展開 (invited)”, 電子情報通信学会シリコン材料・デバイス研究会(SDM), 大岡山, 東京, July 16-17, 2009
- [58] 菅原聡, “スピ機能 MOSFET による新しいエレクトロニクスの展開 (invited)”, 応用物理学会シリコンテクノロジー分科会第 111 回研究集会, 大岡山, 東京, March 16, 2009, paper. 6
- [59] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka and S. Takagi, “Electrical Properties of (110)-oriented Ultra-thin GOI p-MOSFETs Fabricated by Ge Condensation Technique”, 2008 年秋季応用物理学会

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)



○取得状況（計0件）

〔その他〕

ホームページ等 なし

## 6. 研究組織

### (1) 研究代表者

高木 信一（ TAKAGI SHINICHI ）  
東京大学・大学院工学系研究科・教授  
研究者番号：30372402

### (2) 研究分担者

菅原 聡（ SUGAHARA SATOSHI ）  
東京工業大学・理工学研究科  
附属像情報工学研究施設・准教授  
研究者番号：40282842

### (3) 連携研究者

竹中 充（ MITSURU TAKENAKA ）  
東京大学・大学院工学系研究科・准教授  
研究者番号：20451792