

平成 21 年 4 月 8 日現在

研究種目：特定領域研究
研究期間：2006 年度-2009 年度
課題番号：18063006
研究課題名（和文） ナノ MOSFET の揺らぎとデバイスインテグリティ
研究課題名（英文） Variability in nano MOSFETs and device integrity
研究代表者 平本 俊郎(HIRAMOTO TOSHIRO)
東京大学・生産技術研究所・教授
研究者番号：20192718

研究分野：集積デバイス工学
科研費の分科・細目：電気電子工学 ・ 電子デバイス・電子機器
キーワード：MOSFET, 半導体, 特性ばらつき, しきい値電圧, 不純物揺らぎ, 微細化, VLSI

1. 研究計画の概要

大規模集積回路（VLSI）を構成する MOS トランジスタは、性能向上のため年々微細化されており、ナノスケールデバイス特有の問題が顕在化し始めている。その一つの問題が特性ばらつき問題である。ナノスケールのさまざまな要因によりしきい値電圧等の重要なデバイスパラメータがデバイスごとにばらつき、単体としてはデバイス動作するが集積回路が動作しない等の問題が発生している。将来、ゲート長がさらに微細化されることは明白であり、ナノスケールに微細化されたトランジスタのばらつき対策は急務である。ばらつき対策は半導体企業を中心に講じられているが、デバイス物理に即したばらつきの根本対策は知られていないのが現状である。本研究では、トランジスタ特性の実測とシミュレーションによりトランジスタの特性ばらつき要因を分離してばらつき原因を究明するとともに、特性ばらつきの解決策を検討することを目的とする。

2. 研究の進捗状況

本研究では、まず、最先端の 65nm 技術で作製した集積回路向けバルク MOS トランジスタの特性ばらつきについて検討を行った。三次元デバイスシミュレーションでランダム特性ばらつきを解析することにより微細 MOS トランジスタの特性ばらつきの原因を検討した。シミュレーションで考慮したばらつき要因は、ポリシリコンゲート電極のランダムな粒界によるばらつき、酸化膜界面のランダムな固定電荷ゆらぎ、ゲート酸化膜厚さの局所的なばらつき等である。三次元シミュレーションの結果を 65nm 技術で作製した微

細 MOS トランジスタの実測特性データと比較した結果、これらの要因は特性ばらつきの主要な原因ではないことが明らかとなった。主要なばらつき要因は、離散不純物ゆらぎであると考えられる。

一方、チャネル幅が極めて細いシリコンナノワイヤトランジスタを実際に試作し、ナノデバイス特有の特性ばらつきについても評価を行った。ナノワイヤの幅が 20nm 以下というナノデバイスにおいては、ワイヤ幅のわずかな変化によりデバイス特性が大きくばらつくことを実測により示した。このばらつきの原因はナノワイヤが極めて細いことによる量子閉じ込め効果でしきい値電圧が上昇した影響である。ナノスケール領域では、わずかなサイズの変化が大きなデバイス特性の変化をもたらすため、ナノスケールのサイズ制御性が強く求められることが示唆される。

3. 現在までの達成度

おおむね順調に進展している。その理由を下記に述べる。

本研究では、微細トランジスタの特性ばらつき要因を究明するという極めてチャレンジングな目標を掲げた。この 3 年間で、微細トランジスタ特性のランダムな特性ばらつき要因の究明について詳細な検討を行ってきた。最先端集積回路トランジスタでは、離散不純物ゆらぎが主要なばらつき要因であること、およびナノスケールのナノワイヤトランジスタでは量子効果による新しいばらつき要因が発生することを明らかにしてきた。PMOS より NMOS の方がばらつきが大きい理由についてはまだ不明な点が多いが、ほ

ばらつきの原因が究明されつつあるので、本研究はおおむね順調に進展していると判断する。

4. 今後の研究の推進方策

今後は、2 つ目の目標であるランダムな特性ばらつきを抑制する方法について精力的に取り組む予定である。ばらつき抑制法を、デバイス構造、デバイス物理、回路手法の観点から研究を進める。具体的には、ランダムな不純物揺らぎによる特性ばらつきを抑制することのできる新構造トランジスタの検討を三次元シミュレーションにより行う。候補は非常に薄い埋込酸化膜を有する完全空乏型 SOI MOS トランジスタと三次元構造トランジスタを融合させたデバイス構造である。一方、チップ作製後に特性を外部から変調することで特性ばらつきを自己修復的に抑制する方法についても、実測とシミュレーションにより検討を行う予定である。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 9 件)(すべて査読有)

- [1] A. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Random Threshold Voltage Variability Induced by Gate Edge Fluctuations in Nanoscale Metal-Oxide-Semiconductor Field-Effect-Transistors”, *Applied Physics Express*, Vol. 2, No. 2, 024501, January, 2009.
- [2] T. Ohtou, T. Saraya, and T. Hiramoto (Invited), “Variable Body-Factor SOI MOSFET with Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control”, *IEEE Transactions on Electron Devices*, vol. 54, no. 1, pp. 40 – 46, January, 2008.
- [3] T. Ohtou, N. Sugii, and T. Hiramoto, “Impact of Parameter Variations and Random Dopant Fluctuations on Short-Channel Fully Depleted SOI MOSFETs With Extremely Thin BOX”, *IEEE Electron Devices Letters*, Vol. 28, No. 8, pp. 740 – 742, August, 2007.
- [4] T. Hiramoto, T. Nagumo, T. Ohtou, and K. Yokoyama (Invited), “Device Design of Nanoscale MOSFETs Considering the Suppression of Short Channel Effects and Characteristics Variations”, *IEICE Transactions on Electronics*, Vol. E90-C, No. 4, pp. 836 – 841, April, 2007.
- [5] T. Ohtou, K. Yokoyama, K. Shimizu, T. Nagumo, and T. Hiramoto, “Threshold-Voltage Control of AC Performance Degradation-Free FD SOI MOSFET With Extremely Thin BOX Using Variable Body-Factor Scheme”, *IEEE Transactions on*

Electron Devices, Vol. 54, No. 2, pp. 301 – 307, February, 2007.

- [6] T. Nagumo and T. Hiramoto, “Design Guideline of Multi-Gate MOSFETs with Substrate-Bias Control”, *IEEE Transactions on Electron Devices*, Vol. 53, No. 12, pp. 3025 – 3031, December, 2006.

[学会発表](計 19 件)