

平成 22 年 4 月 19 日現在

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063016

研究課題名（和文） ナノスケールデバイスにおける界面物性揺らぎと雑音

研究課題名（英文） Fluctuations in Interface Properties and Noise in Nano-Scaled Devices

研究代表者

土屋 敏章 (TSUCHIYA TOSHIKI)

島根大学・総合理工学部・教授

研究者番号：20304248

研究成果の概要（和文）：MOSFET のチャージポンピング特性に、ゲートパルスのオン時間に関連した過渡現象を見出し、それを利用して MOS 界面準位 1 個 1 個を検出して評価する界面物性揺らぎの究極的とも言える評価手法を考案した。この手法を用いて、ナノスケール MOSFET における界面準位の数とキャリア捕獲率揺らぎの直接観測に成功した。これらの成果は、MOS デバイスの雑音研究に新たな展開をもたらし、RTN 機構解明にも大きな前進を与えると期待される。

研究成果の概要（英文）：We found that charge pumping characteristics in MOSFETs depend on on-time of the gate pulse used in the measurements, and proposed an ultimate method to evaluate the fluctuation in the properties of individual interface traps. Using the method, we successfully observed the fluctuations in the number and carrier capture rate of interface traps in nanoscale MOSFETs. These results will greatly influence the advancement of the research on noise in MOS devices including clarification of the RTN mechanism.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	17,000,000	0	17,000,000
2007年度	16,400,000	0	16,400,000
2008年度	13,900,000	0	13,900,000
2009年度	6,400,000	0	6,400,000
年度			
総計	53,700,000	0	53,700,000

研究分野：工学

科研費の分科・細目：電気電子工学 ・ 電子デバイス・電子機器

キーワード：マイクロ・ナノデバイス, 半導体超微細化, 電子デバイス・機器, 表面・界面物性

1. 研究開始当初の背景

ポストスケールリングテクノロジーによる次世代 Si 系デバイスの高性能化には、新材料と新構造の導入を伴う革新的技術開発が必須である。MOS 系デバイスの場合には、

デバイス動作領域内部にも Ge などの Si 系以外の材料が導入され、異種材料によるヘテロ接合が多用されることになる。これまで、Si MOS デバイスにおける MOS 界面物性が MOS デバイスの性能や信頼性を左右する重

要な因子として長年にわたり研究されてきたが、今後はさらに、デバイス内部に形成される Ge/Si や SiGe/Si などのヘテロ界面物性が極めて重要な研究分野として浮上することは必至である。また、ナノスケール化された MOS デバイスでは界面物性に揺らぎが生じると考えられるため、伝導キャリアに対するヘテロ界面準位の影響が、揺らぎの影響も含めて極めて重要になる。MOS トランジスタのドレイン電流雑音はこのような界面物性の影響を強く受ける特性として知られており、界面物性揺らぎがデバイスの高集積化・高性能化の限界要因になる可能性もある。

申請者らは 1999 年から、従来の Si CMOS 技術の性能向上トレンドをスケージングに依らずに格段に進展させるため、SiGe と SOI を駆使して CMOS 集積回路の低消費電力・高速化を目指した CMOS デバイス構成法の研究を行ってきた。この中で、超微細 pMOSFET 試作などを通じて、SiGe/Si ヘテロ構造をチャンネル部に導入することにより低消費電力化・高速化可能なことを実証すると共に、優れた雑音特性を示すことなどを示し、デバイス構成法に対する重要指針を得てきた。これらの検討過程で、MOSFET チャンネル部に導入したナノ薄膜 SiGe/Si ヘテロ接合のヘテロ界面準位密度を高精度測定できる低温チャージポンピング (LTCP) 法を考案した。半導体ヘテロ構造におけるヘテロ界面準位密度を直接測定したはじめての研究成果である

2. 研究の目的

本研究では、この LTCP 法を発展させて評価技術開発を含めたナノスケール界面物性の評価、界面準位の数とエネルギー準位の揺らぎ評価、これら揺らぎによるデバイスの雑音への影響などを実験的に解明し、界面物性揺らぎと雑音に関する学術的寄与と共に、次世代高性能 Si 系デバイス開発に資する。

3. 研究の方法

局所界面準位の評価：

考案した LTCP 法は界面準位が平面的に均一分布している場合に界面準位の密度を算出できる。そこで、この手法を局所分布している界面準位の密度も算出できるように拡張する。

界面準位の数とエネルギー準位の揺らぎ評価：

LTCP 法をナノスケール界面評価に適用可能なように進展させ、ナノスケールデバイスの界面準位の数の揺らぎについて解明する。界面準位の揺らぎとしては、数の揺らぎの他にエネルギー準位の揺らぎや準位中心の界面からの位置の揺らぎが考えられる。位置揺らぎはエネルギー準位揺らぎによるキャリ

ア捕獲・放出時定数の揺らぎの一部として捉え、界面準位のエネルギー準位揺らぎの実験的評価手法を開発する。界面準位の数の揺らぎの研究成果も踏まえ、ナノスケールデバイスの界面物性揺らぎ評価技術を確立する。

界面物性揺らぎによる雑音への影響とデバイス高集積化・高性能化へのインパクト：

界面物性揺らぎに関する知見に基づいて、ナノスケールデバイスのドレイン電流雑音を評価解析し、雑音に対する界面物性、および、その揺らぎの影響を実験的に明らかにして雑音発生メカニズムを解明し、デバイス設計に有用なモデル化を行うと共に、界面物性揺らぎのデバイス高集積化・高性能化へのインパクトを明らかにする。

4. 研究成果

本研究では、まず、界面物性の揺らぎを如何にしたら検出できるのか、その評価手法を検討することから開始した。SiGe/Si ヘテロ構造 MOSFET を用いて、チャージポンピング特性に対するゲートパルス条件依存性を評価したところ、チャージポンピング電流の立ち上がり部分においてゲートパルス・オン時間に依存した過渡現象が観測された。この部分のチャージポンピング電流は SiGe/Si ヘテロ界面準位の寄与が含まれていることはこれまでの検討からわかっている。この過渡現象の時定数を求めたところ $1\text{--}2.5 \times 10^{-6}$ sec という値が得られた。このような過渡現象はキャリアの界面準位への捕獲過程が関与していると考えられるため、この現象の解析を進めることにより、界面準位の揺らぎ評価法の開発につながるものと確信した。

この過渡現象の過程を考察すると共に、SiGe/Si ヘテロチャンネル MOSFET に LTCP 法を適用して SiGe/Si ヘテロ界面準位に対する過渡特性を検討した。その結果、この過渡特性の時定数がエネルギーバンドギャップ中の界面準位のエネルギー準位に依存すると考えられることから、数個の界面準位を含むナノスケールデバイスにこの手法を適用することによって界面準位の離散的エネルギー準位揺らぎを評価できると考えた。

そこで、ナノスケール極微小ゲート MOSFET を産業界との連携で試作し、考案した界面物性揺らぎ評価法を適用して界面準位の数とエネルギー準位の揺らぎを評価解析した。界面準位の数については、チャージポンピング電流の最大値から比較的容易に求められることを確認した。界面準位 1 個当たり数十 fA と微小なチャージポンピング電流となるが、高精度測定により、1 個あたりのナノスケール MOSFET に含まれる界面準位数は 0 個から十数個とかなり大きなばらつきを有していることが判明した。また、数個の界面準位を有する MOSFET を用いて、

チャージポンピング特性のゲートパルス・オン時間依存性を検討した。その結果、界面準位のエネルギー準位に依存していると推測される、界面準位の電子捕獲断面積の揺らぎを反映して、チャージポンピング電流の最大値までもが変化することがわかった。また、この過渡特性は、個々の界面準位によるチャージポンピング電流が界面準位の電子捕獲率揺らぎなどに依存するため、個々の MOSFET 固有の特性を示すことがわかった。

さらに、個々の界面準位に対して、チャージポンピング測定中の反転層内の電子濃度を一定にして電子捕獲過程を観測し、電子捕獲率が各界面準位によって異なることがわかった。ホットキャリア注入によって発生させた界面準位の電子捕獲率も、もともと存在していた界面準位と同程度であることもわかった。また、数個の界面準位を含む MOSFET について詳細に調べ、各界面準位のエネルギー準位がバンドギャップ中で離散的に広い範囲で揺らいでいることを実験的に示した。

ドレイン電流雑音については、室温で界面準位が数個以下の MOSFET における雑音特性の温度依存性やゲート電圧依存性を検討し、捕獲準位への電子の捕獲・放出時間の変化によってローレンツ型雑音特性のコーナー周波数の増減をもたらすことがわかった。

以上のように、究極的とも言える、MOS 界面準位 1 個 1 個を検出して評価する手法を考案し、界面物性揺らぎを評価・理解すると共に、各々の界面準位がデバイスの特性・信頼性・安定性に及ぼす影響を解明するための基盤的評価技術の基礎を築くことができた。この手法により、個々のナノ MOSFET が有する 1 個 1 個の界面準位を微視的に把握し、各々のデバイスへの界面準位の影響を直接的に解明することが可能となる。従来から、ドレイン電流雑音は界面準位の影響（キャリアの数と移動度の揺らぎ）によるものと考えられてきた。上記の究極的手法をナノデバイスに適用することで素過程を検出する原理的な研究が可能となるため、多数の界面準位を含むデバイスを用いたこれまでの研究とは異なる新たな展開が今後可能になると考えられる。さらに、最近の微細 CMOS デバイスを用いたデジタル集積回路において大きな課題となっている RTN (Random Telegraph Noise) の物理的機構の解明にも大きな前進を与えるものと期待できる。

5. 主な発表論文等

〔雑誌論文〕(計 7 件)

(1) T. Tsuchiya, Y. Mori, Y. Morimura, T. Mogami, and Y. Ohji, "Direct Observation of Fluctuations in the Number and Individual Electronic Properties of Interface Traps in

Nanoscale Metal-Oxide-Semiconductor Field-Effect Transistors," Jpn. J. Appl. Phys. (印刷中) .

(2) 土屋敏章, "ナノスケール MOS デバイスにおける界面物性の揺らぎ—界面トラップ 1 個 1 個を検出して評価する—", 応用物理, 第 78 巻, 第 9 号, pp. 868-872, 2009.

(3) S. Takehiro, M. Sakuraba, T. Tsuchiya, and J. Murota, "High Ge fraction intrinsic SiGe-heterochannel MOSFETs with embedded SiGe source/drain electrode formed by in-situ doped selective CVD epitaxial growth," Thin Solid Films, vol. 517, no. 1, pp. 346-349, Nov. 3, 2008.

(4) T. Tsuchiya, S. Mishima, M. Sakuraba, and J. Murota, "Hot carrier degradation of a SiGe/Si hetero-interface and experimental estimation of the density of locally-generated hetero-interface traps," Jpn. J. Appl. Phys., vol. 46, no. 8A, pp. 5015-5020, Aug. 2007.

(5) 竹廣 忍, 櫻庭政夫, 室田淳一, 土屋敏章, "B ドープ SiGe 選択 CVD 成長により形成された極浅ソース・ドレインと高 Ge 比率歪 SiGe ヘテロチャネルを有する高性能 pMOSFET," 電気学会論文誌 C, IEEJ Trans. EIS. vol. 126, no. 9, pp. 1079-1082, Sep. 2006.

(6) 土屋敏章, 櫻庭政夫, 室田淳一, "SiGe/Si ヘテロ MOSFET におけるホットキャリアによるヘテロ界面準位の発生," 電気学会論文誌 C, IEEJ Trans. EIS. vol. 126, no. 9, pp. 1101-1106, Sep. 2006.

(7) T. Tsuchiya, M. Sakuraba, and J. Murota, "Characterization of Hot-Carrier Degraded SiGe/Si-Hetero-PMOSFETs," Thin Solid Films, Vol. 508, Issues 1-2, pp. 326-328, 5 June, 2006.

〔学会発表〕(計 12 件)

(1) T. Tsuchiya, Y. Mori, Y. Morimura, and T. Mogami, "Fluctuation in Electronic Properties of Interface Traps in Nano-MOSFETs," 4th International Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, pp. 3-4, Jan. 29-30, 2010. (*Invited Paper*)

(2) T. Tsuchiya, Y. Mori, Y. Morimura, T. Mogami, and Y. Ohji, "Direct Observation of Fluctuations in Both the Number and Individual Carrier Capture Rate of Interface Traps in Small Gate-Area MOSFETs," Proc. of the 39th European Solid-State Device Research Conference, Athens, Greece, pp. 387-390, Sep. 14-18, 2009.

(3) T. Tsuchiya, K. Yoshida, M. Sakuraba, and J. Murota, "Capture/Emission Process of Carriers in Interface Traps Observed in the Transient Charge-Pumping Characteristics of MOSFETs," 39th IEEE Semiconductor Interface Specialist Conference (SISC 2008), San Diego, USA, P. 22,

Dec. 11-13, 2008.

(4) T. Tsuchiya, K. Yoshida, M. Sakuraba, and J. Murota, "Transient Charge-Pumping Characteristics Related to Heterointerface Traps in SiGe/Si-Hetero-Channel pMOSFETs," 4th International Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, pp. 55-56, Sep. 25-27, 2008.

(5) T. Tsuchiya, K. Yoshida, M. Sakuraba, and J. Murota, "Transient Charge-Pumping Characteristics Related to Heterointerface Traps in SiGe/Si-Hetero-Channel pMOSFETs," 4th International SiGe Technology and Device Meeting, Hsinchu, Taiwan, pp. 64-65, May. 11-14, 2008.

(6) T. Tsuchiya, M. Sakuraba, and J. Murota, "Instability of a SiGe/Si-hetero-interface in hetero-channel MOSFETs due to Joule heating," 3rd International Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, pp. 17-18, Nov. 8-9, 2007. (*Invited Paper*)

(7) S. Takehiro, M. Sakuraba, T. Tsuchiya, and J. Murota, "High Ge fraction intrinsic SiGe-heterochannel MOSFETs with embedded SiGe source/drain electrode formed by in-situ doped selective CVD epitaxial growth," 5th International Conference on Silicon Epitaxy and Heterostructures (ICSI-5), Marseille, France, pp. 365-366, May 20-25, 2007.

(8) T. Tsuchiya, M. Sakuraba, and J. Murota, "Reliability and instability of a SiGe/Si-hetero-interface in hetero-channel MOSFETs," 5th International Conference on Silicon Epitaxy and Heterostructures (ICSI-5), Marseille, France, pp. 125-126, May 20-25, 2007. (*Invited Paper*)

(9) T. Tsuchiya, S. Mishima, M. Sakuraba, and J. Murota, "The Instability of the SiGe/Si-Hetero-Interface in Hetero-MOSFETs due to Bias Stress," 37th IEEE Semiconductor Interface Specialist Conference (SISC 2006), San Diego, USA, P. 15, Dec. 7-9, 2006.

(10) S. Takehiro, S. Kawada, M. Sakuraba, T. Tsuchiya, and J. Murota, "Fabrication of Sub-100-nm Gate-Length SiGe-Heterochannel MOSFETs with In-Situ Doped Selectively Epitaxial SiGe Sources/Drain," 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, pp. 11-12, Oct. 2-3, 2006.

(11) T. Tsuchiya, M. Sakuraba, and J. Murota, "Hot-Carrier-Degradation of Hetero-Interface in SiGe/Si-Hetero-MOSFETs," 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, pp. 83-84, Oct. 2-3, 2006.

(12) T. Tsuchiya, M. Sakuraba, and J. Murota,

"Quantitative Evaluation of Interface Traps in a Nanometer-Thick SiGe/Si Heterostructure in Hetero MOS Devices," 2006 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices (AWAD2006), Tohoku Univ., Sendai, Japan, pp. 21-24, July 3-5, 2006. (*Invited Paper*)

〔図書〕 (計 0 件)

〔産業財産権〕

○出願状況 (計 0 件)

○取得状況 (計 0 件)

〔その他〕

ホームページ

<http://www.ecs.shimane-u.ac.jp/~tsuchiya/>

6. 研究組織

(1) 研究代表者

土屋 敏章 (TSUCHIYA TOSHIAKI)

島根大学・総合理工学部・教授

研究者番号：20304248

(2) 連携研究者

櫻庭 政夫 (SAKURABA MASAO)

東北大学・電気通信研究所・准教授

研究者番号：30271993

最上 徹 (MOGAMI TOHRU)

(株)半導体先端テクノロジーズ

(3) 研究協力者

竹廣 忍 (TAKEHIRO SHINOBU)

東北大学・電気通信研究所・助手

三島 誠史 (MISHIMA SEIJI)

島根大学・総合理工学研究科・博士前期課程

吉田 啓一 (YOSHIDA KEIICHI)

島根大学・総合理工学研究科・博士前期課程

森 祐樹 (MORI YUKI)

島根大学・総合理工学研究科・博士前期課程

森村 由太 (MORIMURA YUTA)

島根大学・総合理工学研究科・博士前期課程