

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18080001

研究課題名（和文） 局在電磁波による高速信号伝送を利用した単一磁束量子高速フーリエ変換回路の研究

研究課題名（英文） SFQ Fast Fourier Transform Circuit Using Localized Signal Transmission

研究代表者

中島 康治 (NAKAJIMA KOJI)

東北大学・電気通信研究所・教授

研究者番号：60125622

研究分野：工学

科研費の分科・細目：電気電子工学・通信・ネットワーク工学

キーワード：超伝導材料・素子、局在電磁波、磁束量子、ジョセフソン接合、フーリエ変換

1. 研究計画の概要

単一磁束量子を情報担体とした理論回路はサブテラヘルツ領域でのゲート動作周波数を有し、システムレベルで100GHzを超える回路を提供する有望な回路である。これまでは、信号伝送をジョセフソン伝送線路（JTL）により行っているが、長距離の高速伝送が難しくシステム高速化のボトルネックとなっている。そこで、導波路配線中の局在電磁波を信号伝送に用いたシステム構築を目指し、信号処理プロセッサの応用として最もインテンシブな動作が要求される2次元高速フーリエ変換（FFT）処理を取り上げる。近年のマルチメディア情報の信号処理においてFFTは有用な基本アルゴリズムであり、特に認証・照合などのセキュリティ分野などの画像解析分野において高速・高精度のFFT演算は今後ますます重要な処理になるものと考えられる。また、X線回折による分子構造解析などの分析処理においては、高速・高精度のFFT演算は常に要求される必要がある。そこで我々は、SFQ回路によるFFT回路に局在電磁波信号伝送を適用し、高速な信号処理回路の構成を行う。

2. 研究の進捗状況

FFTアルゴリズムでは N 点の離散時間フーリエ変換（Discrete Fourier Transform: DFT）を2点のDFTに帰着することによって高速に計算でき、これは乗算器、加算器と減算器で構成されるバタフライ回路によって計算される。前年度は、4ビットのAND/RCAを用いた乗算器を製作し、その乗

算器のチップは、測定によりその動作が期待通りであることを確認した。この回路は加算器としてリップル・キャリー・アダーを用いており、回路面積は優位であるがビット数を上げた場合の速度は劣化するため、今年度は4ビットのAND/CLAを用いた乗算器を製作し、並列動作を行わせた。これに先立ち4ビットのCLA加算回路を製作し低速の測定に成功、さらに高速測定を行い完全動作を確認した。これを基に4ビットのAND/CLAを用いた乗算器を製作し、低速の測定に成功した。高速測定は現在進行中である。デジタルシミュレーションのジョセフソン接合のパラメータには、SRLの 2.5kA/cm^2 Nb/AlO_x/Nb標準プロセスを想定した値を使いVerilog-XLを用いている。これにより4ビット2点FFT回路を設計しCLAバージョンのレイアウトを得、動作シミュレーションを行っており、これを継続中である。またCLAバージョンでの8ビット化へのグレードアップを検討中である。現在の製造プロセスによる接合のスイッチング時間は2.6ps程度であり、これをさらに短縮するには、臨界電流密度を上げ、接合容量を小さくする必要がある。今年度中に臨界電流密度を上げ、接合容量を小さくした接合によるシステムの検討を行い、高速化と消費電力の観点から半導体回路に対する優位性を確立する予定である。

3. 現在までの達成度

②おおむね順調に進展している。

（理由）4ビットのAND/RCAを用いた乗算器を製作し、その乗算器のチップは、測定によりその動作が期待通りであることを確認した。この回路は加算器としてリップル・キャリー・アダーを用いており、回路面積は優

位であるがビット数を上げた場合の速度は劣化するため、4ビットのAND/CLAを用いた乗算器を製作し、並列動作を行わせた。これに先立ち4ビットのCLA加算回路を製作し低速の測定に成功、さらに高速測定を行い完全動作を確認した。これを基に4ビットのAND/CLAを用いた乗算器を製作し、低速の測定に成功した。デジタルシミュレーションにより4ビット2点FFT回路を設計しCLAバージョンのレイアウトを得、動作シミュレーションを行っている。以上の結果より4ビット2点FFT回路については総てのビルディングブロックの動作を集積回路上で確認しており全体動作は十分なマージンをもって達成されたと判断される。20GHzを越える高速動作も達成されている。さらに上のビット数についての拡張が最終年度の目標であるが、これはチップ面積との関係で現在実装は不可能であり、設計により評価を進める方向である。

4. 今後の研究の推進方策

離散高速フーリエ変換回路の基本となるバタフライ回路について、CONNECTライブラリーにより基本ブロック(乗算ブロック、加算ブロック、減算ブロックなど)を組み合わせたトータル性能を解析し、動作マージンの増加やタイミングの評価を行う。同時に既に製作・測定済みのキャリールックアヘッドを用いた並列高速乗算器の測定結果をベースにバタフライ回路の高速化を目指すとともに、高速乗算器のビット数の増加を検討する。特に局在電磁波伝送路を用いた全システムの性能評価を詳細な数値解析により行う。その後、現有のCADシステムを用いてマスク設計に移行し、改良を重ね、離散高速フーリエ変換回路の基本設計を完成させる。これに並行して半導体回路などとの性能比較を行い、本システムの性能可能性を評価し、今後の展望を検討する。

集積回路上で局在電磁波伝送路とのインピーダンス整合条件や基本ブロックを組み合わせた場合の最適化などを行い新たな設計につなげる。設計した回路の試作をチップファンダリーを通して行い、多チャンネルの信号測定を行う。その測定による動作特性と設計値との比較を行い、特定研究グループの間で性能検討を行う。特に局在電磁波伝送路を用いたシステムのトータルな性能評価について詳細な検討を加え、最終目標のDFT回路の設計製作ならびに測定を完成させる。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計15件、総て査読有)

1. Shigeo Sato and Koji Nakajima: "Application of Single Electron Devices Utilizing Stochastic Dynamics", Int. J. of Nanotechnology and Molecular Computation, 1(2), pp. 29-42(2009)

2. T. Onomi, T. Kondo, and K. Nakajima "High-speed single flux-quantum up/down counter for neural computation using stochastic logic," Journal of Physics: Conference Series, vol.97, p.012187, (2008)

3. Y. Yamada, K. Nakajima, K. Nakajima: "RF impedance of intrinsic Josephson junction in flux-flow state with a periodic pinning potential", Physica C, 468, pp1295-1297(2008)

4. Koji Nakajima and Shinya Suenaga: "Bursting characteristics of a neuron model based on a concept of potential with active areas", CHAOS, 18, pp. 023120-1 - 023120-12(2008)

5. Yuuki Nakamiya, Mitsunaga Kinjo, Osamu Tahakashi, Sigeo Sato and Koji Nakajima: "Quantum Neural Network Composed of Kane's Qubits", Jpn. J. Appl. Phys. Vol. 45, No. 10A, pp. 8030-8034(2006)

[学会発表] (計49件)

1. T. Onomi and K. Nakajima "Implementation of high-speed single flux-quantum up/down counter for the neural computation using stochastic logic" 2008 Applied Superconductivity Conference, 3EPC05, Chicago, U.S.A., Aug. 20, 2008

2. T. Onomi, K. Kondo, and K. Nakajima "High-speed single flux-quantum up/down counter for neural computation using stochastic logic" Abstracts of 8th European Conference on Applied Superconductivity, Brussels, Belgium, Sep. 19, 2007

[図書] (計0件)

[産業財産権]

○出願状況 (計0件)

名称: 発明者: 権利者: 種類: 番号: 出願年月日: 国内外の別:

○取得状況 (計0件)

名称: 発明者: 権利者: 種類: 番号: 取得年月日: 国内外の別:

[その他]