

平成 21 年 5 月 28 日現在

研究種目：基盤研究(A)  
 研究期間：2006～2008  
 課題番号：18200002  
 研究課題名(和文) 回路技術とアーキテクチャの協調による低消費電力高性能プロセッサの研究  
 研究課題名(英文) Architecture and Circuit Level Co-Design for Low Power High Performance Microprocessor  
 研究代表者  
 中村 宏 (NAKAMURA HIROSHI)  
 東京大学・先端科学技術研究センター・准教授  
 研究者番号：20212102

## 研究成果の概要：

本研究では、パワースイッチと呼ばれる回路技術を活用したパワーゲーティング手法を用いて、高性能プロセッサの低消費電力化を実現することを目指した研究を遂行した。回路技術とアーキテクチャ、コンパイラという異なる設計階層間の協調により電源制御を統合的に行なった点が特徴である。それぞれの階層間が協調して低電力化を達成するための基盤技術として、パワーゲーティングを有効活用するための命令レベルにおける制御手法、コードの解析によるソフトウェアからの指示に基づくパワーゲーティングを実現するコンパイラ手法、パワースイッチによる空間的・時間的なオーバーヘッドを低減する回路技術の開発を行なった。また、シミュレーション評価によりこれらの手法がプロセッサのリーク電力を大幅に削減可能であることを示した。

## 交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	15,400,000	4,620,000	20,020,000
2007年度	12,600,000	3,780,000	16,380,000
2008年度	9,600,000	2,880,000	12,480,000
年度			
年度			
総計	37,600,000	11,280,000	48,880,000

## 研究分野：

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：低消費電力、動的リーク電力、パワースイッチ、命令実行制御

## 1. 研究開始当初の背景

半導体集積回路技術の進歩による素子の高速化と搭載トランジスタ数増大によりプロセッサの性能は指数的に向上してきた。しかし、性能向上と共にその消費電力も増加しており、近年の高性能マイクロプロセッサでは既に 100W を超えている。それに伴い消費電力密度もホットプレートを超え核反応炉に近づき、冷却が困難となる製造上の限界に到達しつつある。消費電力には、スイッチン

グ動作に伴うダイナミック電力と、リーク電流に起因するリーク電力がある。単位時間当たりのスイッチング回数に比例するダイナミック電力は、素子の高速化と搭載トランジスタ数増大という従来の高性能化技術により必然的に増加する。一方のリーク電力も、半導体素子の微細化により素子あたりのリーク電流が指数的に増大するため、やはり今後深刻な問題となる。このように、従来のプロセッサシステムでは、半導体集積回路技術

の進展を享受できず、その性能向上には消費電力の問題に起因する明らかな限界がある。

素子レベルで考えれば、性能を低下させずに消費電力を抑える唯一の手段は、不要不急のスイッチングをする素子の徹底的な電源制御である。すなわち、不要なスイッチングをする素子に対しては電源の遮断、不急のスイッチングをする素子に対しては電源制御による電源電圧とスイッチング速度の低下を行うことにより、消費電力を削減できる。この低消費電力化の機会を増やすためには、電源制御の空間的・時間的粒度を細かくできる回路実装上の技術が必要となる。しかし、空間的粒度には必ず回路実装上の限界があり、また電源電圧の変更には必ず時間を要することから性能低下を防ぐためには時間的粒度にも限界がある。そこで、回路レベルで実現すべき電源制御の時間的・空間的粒度を大きくするアーキテクチャ技術も必要となる。このために、アーキテクチャレベルの高速化手法が利用する処理の時間的・空間的局所性を、プロセッサチップにおける物理的な時空間に閉じ込めることが容易なアーキテクチャ技術を検討する。処理の局所性を物理的な時空間上で閉じ込めるといふ、従来のアーキテクチャ技術とは全く異なる方式により、チップ上の素子のスイッチング頻度を時間的・空間的に偏らせることができ、この偏りの粒度を回路レベルで実現可能な電源制御の空間的・時間的粒度と整合させることで、画期的に低消費電力かつ高性能なプロセッサを実現できる。

## 2. 研究の目的

従来のプロセッサの性能向上には消費電力の問題に起因する明らかな限界があり、半導体集積回路技術の進展を享受できない。本研究の目的は、アーキテクチャレベルが活用する処理の局所性と回路レベルで実現可能な電源制御の粒度を整合させる「回路技術とアーキテクチャが真に協調した電源制御の最適化」により、半導体微細化の恩恵を最大限に活用できる、画期的に低消費電力かつ高性能なプロセッサを実現することである。この目的達成のために、具体的に以下の2つの研究項目を実施する。

- アーキテクチャが活用可能な空間的・時間的粒度の電源制御を、性能・電力両面からできるだけ損失なく実現する革新的回路技術の研究
- 回路技術と協調した電源制御を可能とする、低電力・高性能アーキテクチャの研究

これらの研究項目の実施を通して、性能向上と消費電力の限界を打破し半導体集積回路技術の進展を真に享受できる低消費電力高性能プロセッサの実現手法を提示し、その

有効性を実証的に明らかにする。

本研究の特色は、回路技術とアーキテクチャという異なる設計階層間の協調により電源制御を統合的に最適化することで、ダイナミック電力とリーク電力の両方を抑える点である。

高性能プロセッサが消費電力の面で製造限界に近づきつつある中、本研究により消費電力あたりの性能を格段に向上させ、半導体微細化の恩恵を最大限に活用できる低消費電力高性能プロセッサの実現手法が確立し、実用化への道筋が明らかになると期待される。エネルギー資源が有限である中、携帯端末・情報家電などの普及に伴い必要とされる情報処理量が指数的に増大している今日の高度情報化社会を支える基盤技術として、この研究成果は大きく貢献できると思われる。

## 3. 研究の方法

研究目的達成のため、大きく分けて以下の4つの研究項目を実施した。

### (1)「高性能低消費電力アーキテクチャ」

電源制御を行う回路技術との協調が容易な高性能低消費電力アーキテクチャを検討する。回路レベルでの電源制御の効果を上げるためには、アーキテクチャレベルで必要とされる電源制御の空間的・時間的粒度を粗くする必要がある。また、回路レベルで電源制御に要する時間が性能低下につながるためには、チップ上のどの領域の電源をどう変更するかを、この電源制御に要する時間以上前に、回路に対して指示できるアーキテクチャである必要がある。

従来の高性能プロセッサは、VLSI上のトランジスタ資源をできるだけ利用し命令処理のスループットを向上させることが目的であるため、投機実行を行う out-of-order 処理を採用する。しかし、これでは演算器等の機能ユニットのどれが使われるか否かが動的に決定され、直前のサイクルでしか判明しない。また投機実行は投機が外れた場合には無駄な電力を消費する。このため従来の高性能プロセッサアーキテクチャは本研究目的に合致しない。そこで、本研究では、演算器等の機能ユニットは十分に搭載するが命令実行は in-order 処理とし、機能ユニットの使用の有無とそのタイミングが事前にわかるアーキテクチャ、そして、無駄な投機実行による電力消費増加を排除するために必要以上の投機実行を行わないアーキテクチャを検討する。

### (2)「低電力化コンパイラ」

上記(1)で検討するアーキテクチャの最適化コンパイルアルゴリズムの開発を行う。特に、対象アーキテクチャの特徴である、深い階層を持つレジスタ、キャッシュ、ローカルメモリの利用とビット階層化された

機能ユニットの利用を最適化できるような、処理の局所性を積極的に抽出するコンパイルアルゴリズムの開発を行う。さらに、in-order 処理であるアーキテクチャの特徴を活かすと、機能ユニットの使用の有無とそのタイミングをコンパイラで制御可能となるため、抽出した局所性を空間的にも時間的にも閉じ込める最適化に関する検討を加える。

#### (3)「高機能低消費電力回路技術」

(1)で検討するアーキテクチャとの協調の視点から、時間的・空間的に細粒度な動的電源制御により消費電力を低減化する回路技術の初期検討を行う。

リーク電力を制御する回路方式として Vdd Gating を用いて時間的・空間的に細粒度で電源電圧を動的に制御する回路技術について検討を加え、データパス(演算器)制御回路、およびメモリシステムへ適用する場合の有効性と問題点を明らかにする。Vdd Gating を用いる場合、スリープからの復帰に要する時間は、性能に影響を与える要因となるので、短時間で復帰できる回路技術を研究する。また、メモリへの適用では、ワード単位のリーク電力制御、あるいは、上位ビット/下位ビット単位のリーク電力制御を行える回路技術を研究する。

#### (4)「回路技術とアーキテクチャの協調による低消費電力高性能プロセッサの実現」

回路技術とアーキテクチャの協調による効果を評価できる環境構築に関して検討を加える。具体的には、(1)で開発する評価ツールが回路技術との協調効果を扱えるようにするため、回路技術によって決まるパラメータとして何があるかを明らかにし、そのあとで、そのパラメータが性能と消費電力に与える影響をシミュレーションできるようにその評価ツールを改良する。上記(1)で決定されるアーキテクチャが(3)で検討された低消費電力回路で実現された時に、(2)のコンパイラが生成するコードが達成できる性能と消費電力を統合的に評価可能な環境構築を行う。そして、統合評価を通じて消費電力と性能における問題点を明らかにし、アーキテクチャと回路技術の改良というフィードバックを行う。このフィードバックにおいては、両者の協調効果を最大にできる電源制御の時間的・空間的粒度の調整が主たる検討項目となり、その粒度に適したアーキテクチャと回路の検討、およびコンパイラの改良も行う。

上記検討を通して、ダイナミック電力とリーク電力を動的に制御し、回路技術とアーキテクチャとの協調により高性能と低消費電力を同時に達成するプロセッサの実現手法を明らかにする。

#### 4. 研究成果

平成 18 年度は、以下の研究成果を得た。回路技術では、動的リーク電力を低減する手法としてパワースイッチを用いたパワーゲーティング方式の検討を行った。まず、パワースイッチの入ったセルライブラリの開発、および詳細な回路シミュレーションによるパワースイッチの最適化の検討を行った。また、開発したセルライブラリを用いて乗算器の設計を行い、乗算器全体での評価も実施した。評価結果から、パワースイッチで回路全体の半分に当たる上位ビット処理部の電源をオフにすると、消費電力を 17%程度低減できることがわかった。電力削減効果が予想より低い理由が、パワースイッチ自身、およびパワースイッチを駆動するためのバッファの電力であることもわかった。したがって、回路的改良と共に、できるだけパワースイッチのオン・オフの頻度を下げるアーキテクチャ技術も必要であることがわかった。アーキテクチャでは、パワースイッチを用いたパワーゲーティング方式と親和性の高い命令実行制御方式の検討を行った。回路技術の検討結果から、パワースイッチの on/off の頻度をできるだけ抑え、かつ off にできる時間が長くなるような命令実行制御方式が、パワーゲーティング方式と親和性が高い命令制御方式となる。多数のハードウェア資源を投入し同時に複数命令を実行するスーパースカラ方式を採用する性能指向のマイクロプロセッサでは、命令レベルの並列度がそれほど高くないために個々のハードウェア資源の稼働率はそれほど高くなく power off の機会は多いと期待されるが、off にできる時間に関する検討はこれまでなされていない。そこで、従来のスーパースカラ方式の命令スケジューリングで演算器が稼働していない時間の統計を採取するシミュレータを開発し評価したところ、全実行時間の半分程度あることはわかったが、非稼働時のサイクル数が比較的短い場合が多いことも多かった。さらに、キャッシュミスが複数重なった場合に全てが解消するまで命令実行を止める新しい命令実行制御方式を考案しその効果を検討した。その結果、実行時間が殆ど伸びることなく、非稼働時のサイクル数を効果的に大きくすることが可能であることがわかった。

平成 19 年度は、以下の研究成果を得た。前年度の検討より、パワーゲーティング手法は有効ではあるが、パワーオンに要する時間が性能に与える時間オーバーヘッド、および、パワースイッチのオン・オフ動作が消費する電力オーバーヘッドの軽減・隠蔽がさらなる有効性のために必要であることがわかった。そこで、まず回路技術として、パワースイッチを局所的に共有する方式を提案した。これにより、パワースイッチの配線抵抗を減らすこ

とができ、時間オーバーヘッドの短縮が数サイクル程度まで可能となった。次に、その時間を隠蔽するアーキテクチャ技術として、パワーオンの必要性を予め検知するパイプライン構成を提案した。また電力オーバーヘッドに関しては、前年度に検討を加えた命令実行方式である、キャッシュミスが複数重なった場合に全てのミスが解消するまで命令実行を時間的に細粒度にパワーオフする方式を改良し、さらに、命令レベルの並列度を動的に検出することで時間的により粗粒度に演算器のパワーをオフにする方式を組み合わせることで、より効果的に消費電力を低減できることを示した。電力オーバーヘッドを含めて消費電力を評価する環境として、パワーオフ期間と電力削減量を予め回路レベルで詳細シミュレーションした結果と、高速なサイクルレベルシミュレーションを組み合わせるハイブリッド方式を検討し、プロトタイプを実装した。上記と並行して、チップマルチプロセッサ構成において問題となる共有リソースの影響を統計的に学習することで、要求される処理性能に応じて消費電力を効果的に削減するアルゴリズムの開発とそのプロトタイプ実装を行った。

平成 20 年度は、以下の研究成果を得た。前年度までの研究結果を踏まえ、アーキテクチャ、コンパイラ、回路技術に 3 つの研究項目に関して以下のように研究を実施し、詳細な評価をもって有効性を示した。まず、アーキテクチャに関しては、走行時においてパワーゲーティング手法を有効に活用するための命令レベルにおける制御手法を提案した。この手法により、性能をほとんど低下させることなく大幅にリーク電力の削減を実現することが可能となった。また、コンパイラに関しては前年度までに開発したアルゴリズムを改良し、関数内だけでなく関数間をまたぐ解析を行うことにより、ソフトウェアからの指示によるパワーゲーティングの機会を大幅に増加させる手法を提案した。また、コンパイラ手法では抽出できないアイドル時間をターゲットとした、簡素なハードウェアで実現可能なパワーゲーティング手法を、本コンパイラ手法と組み合わせることによるハイブリッド手法の提案および評価をサイクルレベルシミュレーションにより行った。回路技術に関しては、低電圧におけるパワーゲーティング回路の遅延ばらつき解析を行い、そこから得られた知見に基づいてばらつきを考慮した Dual Vth とパワーゲーティング回路のハイブリッド手法を提案した。また、動的にリーク電力の値をモニタリングするための回路であるオンチップ・リークモニタ、およびランタイムパワーゲーティングを適用した低電力乗算器などを設計し、実装および実測による評価を行った。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 6 件)

1. 近藤正章, 佐々木広, 中村宏, トラクションコントロール実行: CMP 向けプロセス実行制御方式の提案, 情報処理学会論文誌 コンピューティングシステム (ACS), Vol.1, No.2, pp.111 -123, 2008 年 8 月.
2. 大谷貴胤, 佐々木広, 近藤正章, 中村宏, モデリングに基づく Web サーバ用計算機クラスタの低消費電力化, 情報処理学会論文誌 コンピューティングシステム(ACS), Vol.1, No.1, pp.120 -132, 2008 年 6 月.
3. 近藤正章, 中村宏, CMP 向け動的電源電圧・周波数制御手法, 情報処理学会論文誌 Vol.48, No.SIG13(ACS19), pp.260 -269, 2007 年 8 月.
4. N.Ohkubo and K.Usami, Delay Modeling and Critical path Delay Calculation for MTCMOS Circuits, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E89-A, NO.12, pp.3482 -3490, Dec. 2006.
5. K.Watanabe, M.Imai, M.Kondo, H.Nakamura, and Takashi Nanya, Design Method of High Performance and Low Power Functional Units Considering Delay Variations, IEICE Trans on Fundamentals. Vol.E89-A, No.12, pp.3519 -3528, Dec. 2006
6. 佐々木広, 浅井雅司, 池田佳路, 近藤正章, 中村宏, 統計処理に基づく動的電源電圧制御手法, 情報処理学会論文誌, Vol.47, No.SIG18(ACS 16), pp.80 -91, 2006 年 11 月.

[学会発表](計 40 件)

1. N.Takagi, H.Sasaki, M.Kondo, and H.Nakamura, Cooperative Shared Resource Access Control for Low Power Chip Multiprocessors, 15th International Symposium on Low Power Electronics and Design (ISLPED '09), Aug. 2009 (to appear).
2. 中田光貴, 白井利明, 武田清大, 宇佐美公良, ランタイムパワーゲーティングを適用した低電力乗算器の設計試作及び実測による性能評価, 電子情報通信学会技術研究報告, vol.108, no.478, VLD2008 -162, pp.213 -218, 2009 年 3 月.
3. 小山慧, 宇佐美公良, オンチップ・リー

- クモニタの 65nm プロセスでの実装設計と評価, 電子情報通信学会技術研究報告, vol.108, no.478, VLD2008-163, pp.219-224, 2009年3月.
4. 増田大樹, 白井利明, 宇佐美公良, 太L-パワースイッチが消費電力と遅延に及ぼす影響, 電子情報通信学会 2009 総合大会, A-3-1, 2009年3月.
  5. 白井利明, 宇佐美公良, 低電圧パワーゲーティング回路の遅延ばらつき解析, 電子情報通信学会 2009 総合大会, A-3-2, 2009年3月.
  6. 山本辰也, 抱山冨子, 白井利明, 宇佐美公良, スタティックタイミング解析を可能にするパワースイッチの時間的共有化手法, 電子情報通信学会 2009 総合大会, A-3-3, 2009年3月.
  7. 武藤徹也, 白井利明, 宇佐美公良, 命令レベル並列アーキテクチャを有するCPUにおけるパワーゲーティングの有効性に関する研究, 電子情報通信学会 2009 総合大会, D-6-4, 2009年3月.
  8. K.Usami, T.Shirai, T.Hashida, H.Masuda, S.Takeda, M.Nakata, N.Seki, H.Amano, M.Namiki, M.Imai, M.Kondo, and H.Nakamura, Design and Implementation of Fine-grain Power Gating with Ground Bounce Suppression, 22nd International Conference on VLSI Design (VLSI Conference'09), pp.381-386, Jan. 2009.
  9. T.Shirai and K.Usami, Hybrid Design of Dual Vth and Power Gating to Reduce Leakage Power under Vth Variations, International SoC Design Conference 2008(ISOCC'08), pp.310-313, Nov. 2008.
  10. 高田幸永, 今井雅, 中村宏, 南谷崇, マルチ閾値電圧トランジスタを用いた2線2相式非同同期式回路のリーク電力削減手法, 電子情報通信学会技術研究報告, VLD-2008-90, pp.183-188, 2008年11月.
  11. 薦田登志矢, 佐々木広, 近藤正章, 中村宏, リーク電力削減のためのコンパイラによるスリープ制御の初期検討, 情報処理学会研究報 ARC-180, pp.33-38, 2008年10月.
  12. 佐々木広, 近藤正章, 中村宏, CMP の統計的モデリングによる実行時最適化手法 情報処理学会研究報告 ARC-179, pp.31-36, 2008年8月.
  13. 大谷貴胤, 佐々木広, 近藤正章, 中村宏, ヘテロ構成を考慮した Web サーバ用クラスタシステムの性能と電力のモデリング, 情報処理学会研究報告 ARC-179, pp.157-162, 2008年8月.
  14. T.Hashida and K.Usami, Power Switch Clustering Method for Static Timing Analysis, 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'08), pp.217-220, Jul. 2008.
  15. Y.Umahashi, Y.Kabayashi, M.Kato, Y.Hasegawa, H.Amano, and K.Usami, Power Reduction Technique for Dynamic Reconfigurable Processors with Dynamic Assignment of Dual Supply Voltages, 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'08), pp.213-216, Jul. 2008.
  16. S.Koyama, S.Takeda, and K.Usami, Design and Analysis of On-chip Leakage Monitor using an MTCMOS circuit, 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'08), pp.205-208, Jul. 2008.
  17. 近藤正章, 高木紀子, 中村宏, 走行時パワーゲーティングのための命令実行制御手法の提案, 第6回先進的計算基盤システムシンポジウム SACSIS 2008, pp.73-80, 2008年6月.
  18. 近藤正章, 佐々木広, 中村宏, トラクションコントロール実行: CMP 向けプロセス実行制御方式の提案, 第6回先進的計算基盤システムシンポジウム SACSIS 2008, pp.265-272, 2008年6月.(SACSIS 2008 最優秀論文賞)
  19. 椎名公康, 近藤正章, 今井雅, 中村宏, 南谷崇, 共有資源の優先度制御によるチップ・マルチプロセッサの省電力化手法, 第6回先進的計算基盤システムシンポジウム SACSIS 2008, pp.317-324, 2008年6月.
  20. 馬橋雄祐, 神林侑希, 宇佐美公良, 加東勝, 長谷川揚平, 天野英晴, 2電源電圧手法による動的リコンフィギャブル・プロセッサの低消費電力化, 電子情報通信学会 2008 総合大会, D-18-4, 2008年3月.
  21. 大木亮, 高木一光, 宇佐美公良, パワーゲーティング手法によるCPUのレジスタファイルの消費電力低減化技術, 電子情報通信学会 2008 総合大会, A-3-11, 2008年3月.
  22. 橋田達徳, 宇佐美公良, スタティックタイミング解析を可能にするパワースイッチ共有化手法, 電子情報通信学会 2008 総合大会, A-3-10, 2008年3月.
  23. 会田真弘, 宇佐美公良, パワースイッチの実現方式が速度と消費電力に及ぼす影響の研究, 電子情報通信学会 2008

- 総合大会, A-3-9, 2008年3月.
24. 小山慧, 武田清大, 宇佐美公良, MTCMOS回路を利用したオンチップ・リークモニタの設計と評価, 信学技報, vol.107, no.507, VLD2007-146, pp.13-18, 2008年3月.
  25. 白井利明, 香嶋俊裕, 武田清大, 中田光貴, 宇佐美公良, 長谷川揚平, 関直臣, 天野英晴, ランタイムパワーゲーティングを適用した MIPS R3000 プロセッサの実装設計と評価, 信学技報, vol.107, no.414, VLD2007-112, pp.43-48, 2008年1月.
  26. 中田光貴, 白井利明, 香嶋俊裕, 武田清大, 宇佐美公良, 関直臣, 長谷川揚平, 天野英晴, ランタイムパワーゲーティングを適用した回路での検証環境と電力見積もり手法の構築, 信学技報, vol.107, no.414, VLD2007-111, pp.37-42, 2008年1月.
  27. 香嶋俊裕, 武田清大, 白井利明, 大久保直昭, 宇佐美公良, 走行時パワーゲーティングを適用した低消費電力乗算器の試作による電力評価, 信学技報, vol.107, no.195, ICD2007-80, pp.63-68, 2007年8月.
  28. K.Usami, Overview on Low Power SoC Design Technology, (invited paper), IEEE/ACM Asia and South Pacific Design Automation Conference (ASP-DAC'07), pp.634-636, Jun. 2007.
  29. 近藤正章, 佐々木広, 中村宏, トラクションコントロール実行: CMP 向け実行制御方式の検討, 情報処理学会研究報告 ARC-174, pp.79-84, 2007年8月. (情報処理学会 山下記念研究賞)
  30. 佐々木広, 近藤正章, 中村宏, CMP におけるリソース競合に着目した性能の解析とモデリング, 情報処理学会研究報告 ARC-174, pp.85-90, 2007年8月.
  31. 伊藤総一, 宇佐美公良, パワースイッチを共有した MTCMOS 回路の遅延時間解析手法, 電子情報通信学会講演論文集, Vol. 2007年 基礎・境界(20070307) pp.98, 2007年3月.
  32. 白井利明, 宇佐美公良, LSI の動的スリープ制御における高速復帰技術, 電子情報通信学会講演論文集, Vol. 2007年 基礎・境界(20070307) pp.103, 2007年3月.
  33. 桐原啓介, 宇佐美公良, FPGA を利用した動的スリープ制御信号の動作解析, 電子情報通信学会講演論文集, Vol. 2007年 基礎・境界(20070307) pp.104, 2007年3月.
  34. 秋元裕美, 野島俊孝, 宇佐美公良, 2 電源を用いた FPGA における消費電力低減化技術, 電子情報通信学会講演論文集, Vol. 2007年 基礎・境界(20070307) pp.105, 2007年3月.
  35. 武田清大, 香嶋俊裕, 白井利明, 大久保直昭, 宇佐美公良, ランタイムパワーゲーティングを適用した乗算器を用いた消費電力に影響する要因の解析, 電子情報通信学会 VLD/ICD 研究会, VLD2006-154, pp.81-85, 2007年3月.
  36. 香嶋俊裕, 武田清大, 大久保直昭, 白井利明, 宇佐美公良, 走行時パワーゲーティングを適用した低消費電力乗算器のアーキテクチャ設計, 電子情報通信学会研究会デザインガイア, VLD2006-73, pp.7-12, 2006年11月.
  37. 武田清大, 香嶋俊裕, 大久保直昭, 白井利明, 宇佐美公良, 走行時パワーゲーティングを適用した低消費電力乗算器の物理設計と試作, 電子情報通信学会研究会デザインガイア, VLD2006-74, pp.13-18, 2006年11月.
  38. 近藤正章, 中村宏, リーク電力削減のための細粒度命令スケジューリング手法の検討, 情報処理学会研究報告 ARC-170, pp.49-54, 2006年11月.
  39. K.Usami and N.Ohkubo, A Design Approach for Fine-grained Run-Time Power Gating using Locally Extracted Sleep Signals, IEEE International Conference on Computer Design (ICCD'06), pp.155-161, Oct. 2006.
  40. 大久保直昭, 宇佐美公良, 細粒度動的スリープ制御による動作時リーク電力低減手法, 情報処理学会 DA シンポジウム 2006 論文集, IPSJ Symposium Series Vol.2006, No.7, pp.199-204, 2006年7月.
6. 研究組織
- (1) 研究代表者  
中村 宏 (NAKAMURA HIROSHI)  
東京大学・先端科学技術研究センター・准教授  
研究者番号: 20212102
  - (2) 研究分担者  
今井 雅 (IMAI MASASHI)  
東京大学・駒場オープンラボラトリー・特任准教授  
研究者番号: 70323665  
近藤 正章 (KONDO MASAOKI)  
電気通信大学・大学院情報システム学研究科・准教授  
研究者番号: 30376660  
宇佐美 公良 (USAMI KIMIYOSHI)  
芝浦工業大学・工学部・教授  
研究者番号: 20365547