

平成 21 年 5 月 25 日現在

研究種目：基盤研究 (A)
 研究期間：2006～2008
 課題番号：18206032
 研究課題名（和文）イオン注入および埋め込み再成長を利用した SiC 超接合パワー-MOSFET の研究
 研究課題名（英文）Study on SiC Super-Junction Power MOSFETs Utilizing Ion Implantation and Embedded Epitaxial Growth
 研究代表者 木本 恒暢 (Tsunenobu Kimoto)
 京都大学・大学院工学研究科・教授
 研究者番号：80225078

研究成果の概要：

次世代の高性能パワーデバイスとして期待される SiC パワー-MOSFET の特性を極限まで向上させるため、多層 pn 接合の多次元空乏化を利用する超接合構造に着目した。イオン注入や埋め込み成長により形成した pn 接合特性の解析、MOS 界面特性の向上、高精度デバイスシミュレーションによる構造設計や微細加工技術を集約して、耐圧 1580 V、オン抵抗 $40 \text{ m}\Omega\text{cm}^2$ という優れた性能を達成した。この特性は Si デバイスの理論限界より 20 倍優れている。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006 年度	16,400,000	4,920,000	21,320,000
2007 年度	11,700,000	3,510,000	15,210,000
2008 年度	9,000,000	2,700,000	11,700,000
総計	37,100,000	11,130,000	48,230,000

研究分野：工学

科研費の分科・細目：電気電子工学／電子・電気材料工学

キーワード：シリコンカーバイド、パワーデバイス、超接合、MOSFET、イオン注入

1. 研究開始当初の背景

現在、電力変換(DC→AC、AC→DC など)機器に使われる大電流・高耐圧のパワー半導体デバイスは Si で作製されているが、そのデバイス性能は Si の物性で決まる性能限界に近づいており、飛躍的な発展は困難である。本研究で取り扱うワイドギャップ半導体シリコンカーバイド(SiC)は、Si に比べて絶縁破壊電界強度が約 10 倍、禁制帯幅と熱伝導率が約 3 倍という優れた物性値を持ち、しかも広範囲の伝導性制御(n 型、p 型とも)が容易で、Si と同様に熱酸化によって酸化膜(SiO₂)を形成できるので、これをパワー-MOSFET に適用すれば、オン抵抗(熱損失)を Si パワー-MOSFET の 1/10 以下に低減できる。

2. 研究の目的

SiC パワーデバイスの特性を極限まで向上

するためには、多層 pn 接合の多次元空乏化を利用する超接合構造が有望であると考えられる。そこで本研究では、(1)イオン注入や埋め込み再成長を駆使することにより、pn 接合が 2 次元あるいは 3 次元的に空乏化する超接合(多層 pn 接合)を SiC で作製すること、(2)SiC MOS 界面の欠陥を低減し、高性能 MOSFET 作製に十分なチャネル移動度を得ること、および(3)これらの成果を集約して超接合を有する高性能 SiC パワー-MOSFET を実現することの三つを目的とする。SiC 超接合の多次元空乏化を利用すれば、オン時の直列抵抗が極めて低いパワーデバイスを実現することができる。

3. 研究の方法

SiC 超接合デバイスを実現するための基盤技術として、(1)高エネルギーイオン注入による

る深い pn 接合の形成、および(2)トレンチ溝の埋め込み成長による pn 接合の形成に取り組む、両者の方法により作製した pn 接合特性を評価することにより、手法の優劣を論じる。また、SiC 超接合 MOSFET の性能向上のもう一つの鍵である MOS チャネル移動度の向上にも取り組み、その界面物性を学術的に明らかにする。さらに、超接合構造の作製、MOS 界面制御、微細加工技術などを集約して、Si 限界を大幅に突破する高性能 SiC 超接合 MOSFET を実現する。

4. 研究成果

(1) SiC への高エネルギーイオン注入

まず、SiC に縦方向超接合を形成するための基盤技術として、高エネルギーイオン注入による深い pn 接合の作製に取り組んだ。本研究で用いた試料は、CVD 法によって 4H 型 SiC(0001) 面オフ基板上に成長した窒素(N)ドープされた n 型 SiC エピタキシャル成長結晶である。SiC 成長層のドナー密度は $1 \times 10^{15} \text{cm}^{-3}$ 、膜厚は $18 \mu\text{m}$ である。Al および B のイオン注入は室温で行った。注入分布の設計は、TRIM(Transport of Ions in Matter) プログラムを用いて行った。深さ約 $3 \mu\text{m}$ の矩形分布形成に用いた注入エネルギーは、Al イオン注入の場合 $50 \text{keV} \sim 6.2 \text{MeV}$ の 13 段階、B イオン注入の場合 $30 \text{keV} \sim 3.36 \text{MeV}$ の 21 段階である。トータルドーズ量は $3.0 \times 10^{14} \text{cm}^{-2}$ で、注入層中の平均原子密度は $1 \times 10^{18} \text{cm}^{-3}$ である。イオン注入後のアニールは 1 気圧の Ar 雰囲気中、 $1500 \sim 1800^\circ\text{C}$ の温度で 30 分間行った。

Al、B イオン注入後、および 1800°C でアニールを施した後の注入分布を SIMS 測定によって調べたところ、注入直後の分布は TRIM シミュレーションと良く一致しており、設計通りの矩形分布が形成できることが確認された。Al 原子は 1800°C の高温アニールを施しても分布がほとんど変わらないのに対して、B 原子はアニールにより、試料の内方向への拡散(in-diffusion)と表面方向への拡散(out-diffusion)が見られた。

高エネルギーイオン注入層に対して、電気的活性化率のアニール温度依存性を調べたところ、Al イオン注入の場合、 1500°C アニールでは活性化率が 0.1%以下であるが、アニール温度の上昇と共に増大し、 1800°C アニールにより活性化率が 95%にまで向上した。B イオン注入の場合も同様に、 1500°C アニールでは活性化率が 2.7%であったのが、 1800°C のアニールを施すことにより 91%まで改善した。

高エネルギーイオン注入により形成された深い pn 接合は、縦方向超接合構造の基本構造となる。この場合、pn 接合の逆バイアス特性が重要となるので、高エネルギー注入により SiC pn 接合ダイオードを作製して主に逆方向特性を調べた。上述の条件でイオン注入および活性化アニールを行った後、RIE によりメサ形に加工し、熱酸化による表面保護膜、およびオーム性電極を形成した。オーム性電極として p 型層には Ti/Al、n 型基板には Ni を用いた。オーム性電極形成のための熱処理は 800°C で 10 分間行った。 1800°C でアニールしたダイオードの代表的な電流—電圧特性を図 1 に示す。Al イオン注入ダイオードで 2860V 、B イオン注入ダイオードで 3080V の高耐圧が得られた。今回作製したダイオードは、n 型層のドーピング密度と膜厚で決まる理想的な耐圧(約 3000V)を示した。また、アバランシェ電流を 2A/cm^2 程度まで増大させてもデバイス破壊に至らない安定したアバランシェ特性を得ることができた。アニール温度の上昇と共にダイオードの耐圧は上昇し、逆方向リーク電流は低減された。 1800°C でアニールすることによって、Al 注入、B 注入ダイオードとも、 -500V 印加時に $2 \sim 4 \times 10^{-8} \text{A/cm}^2$ という低いリーク電流が得られた。このように、イオン注入により形成した深い pn 接合は高温アニールを施すことで優れた特性を示すことが明らかになった。

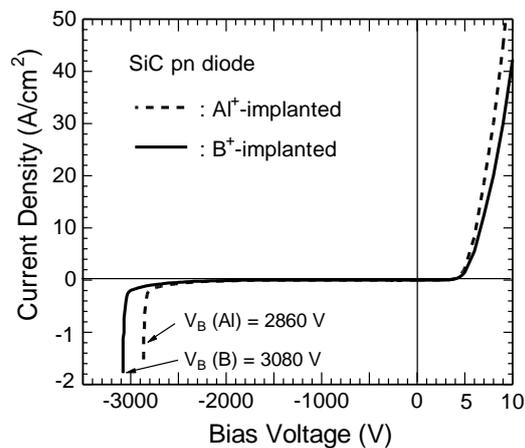


図 1 高エネルギーAl、B イオン注入により作製した SiC pn 接合ダイオードの電流—電圧特性

(2) SiC トレンチの埋め込み成長

SiC に縦方向超接合を形成するもう一つの基盤技術として、トレンチ溝への埋め込み成長による pn 接合の形成を試みた。N ドープ n 型 4H-SiC 基板にドライエッチングにより深さ約 $3 \mu\text{m}$ 、幅約 $2 \mu\text{m}$ のトレンチを形成し、

この基板の上に CVD 成長による Al ドープ p 型層の埋め込み成長を行った。成長速度、成長時の原料ガスの C/Si 比、ドーピング密度などを変化させて実験を行ったところ、低い C/Si 比で成長を行うほど、トレンチ側壁からの成長が促進され、良好な埋め込み成長が起こることを見出した。図 2 に 1550°C、4 時間、C/Si 比=1.0 の成長により埋め込み成長を行った試料の断面 SEM 像を示す。トレンチが空隙を生じることなく完全に埋め込まれていることが分かる。

次に、この埋め込み成長により形成した pn 接合部を RIE により電氣的に分離し、埋め込み pn 接合ダイオードの特性を評価した。ダイオードの容量—電圧特性を測定したところ、拡散電位が 2.7V と求まるなど基本的な理論に従う良好な特性が得られた。一方、電流—電圧特性には興味深い結晶方位依存性が観測された。長さ 200 μm 、幅 2 μm 、深さ 3 μm のトレンチを様々な結晶方位に合わせて形成して実験したところ、トレンチ側壁が (11 $\bar{2}$ 0)面と一致する場合に pn 接合ダイオードのリーク電流が最も小さくなり、トレンチ側壁が(1 $\bar{1}$ 00)面と一致する場合に pn 接合ダイオードのリーク電流が最も大きくなることを判明した。これは、SiC エピタキシャル成長層の結晶性やドーピング密度が成長する結晶面に強く依存するという研究者らの観測結果と合致する。いずれにせよ、埋め込み成長時には、トレンチ側壁を(11 $\bar{2}$ 0)面とすることが有効である。上述のイオン注入法と比較すると、イオン注入の方が超接合構造を作製する上でドーピング密度の制御性や再現性に優れることが分かった。

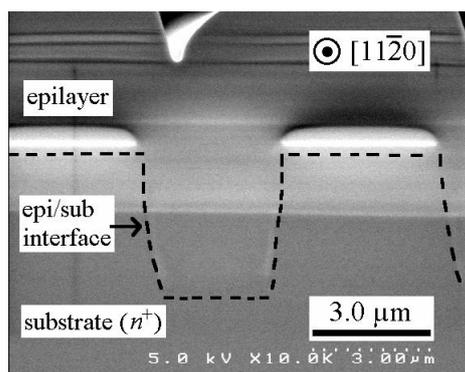


図 2 完全な埋め込み成長を行った SiC トレンチ部の断面 SEM 像

(3) 数値計算による SiC 超接合構造の設計

二次元デバイスシミュレーションによって、SiC 超接合構造の設計を行った。プロセス技術や微細加工などを考慮して現実的に

作製できる構造を仮定した場合、SiC 超接合デバイスは、同耐圧の SiC ユニポーラ限界より一桁程度オン抵抗を低減できることが判明した。端部での電荷バランスが特に重要であること、および各領域の電荷バランスが理想値からずれた場合に耐圧に及ぼす影響について定量的に明らかにした。また、オン抵抗の低減を目指す上で、ゼロバイアス時における pn 接合界面の空乏層の影響を考慮する必要があることが分かった。

(4) 界面酸化によるチャネル移動度の向上

SiC 超接合 MOSFET のオン抵抗は、耐圧維持領域の抵抗だけでなく、MOS チャネル抵抗や電極の接触抵抗など複数の要素から構成される。高性能 SiC 超接合 MOSFET を実現するためには、超接合構造の採用により耐圧維持領域の抵抗を低減するだけでなく、特に MOS チャネル抵抗の低減が重要となる。SiC MOSFET では、長年、MOS 界面に存在する高密度の界面準位に起因する低いチャネル移動度(5~8cm²/Vs)が問題となっていた。本研究では、従来の O₂ 酸化ではなく、高温での N₂O 酸化によって界面特性の向上を目指した。

CVD により形成した n 型 SiC エピ成長層を用いて MOS キャパシタ、p 型 SiC エピ成長層を用いて n チャネル MOSFET を作製した。成長層のドーピング密度は 0.7~1x10¹⁶ cm⁻³である。ソース、ドレインはリン(P)のイオン注入により形成し(ドーズ量 4x10¹⁵cm⁻²、300°C注入)、1600°Cで 30 分のアニールを行った。N₂O 10%、N₂ 90%、温度 1300°Cの条件でゲート酸化膜(厚さ 60~70nm)を形成後、パターニングを経て電極(Al)を形成した。MOSFET のチャネル長は 50~100 μm 、チャネル幅は 200 μm である。

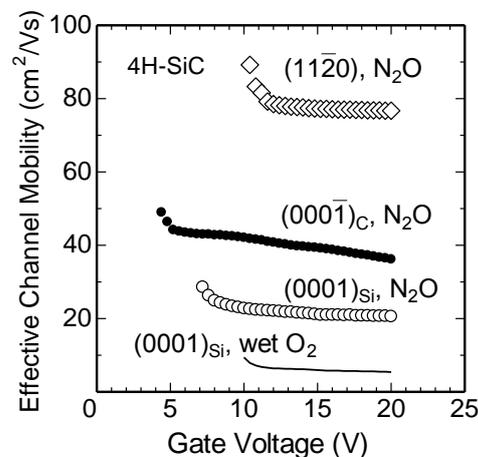


図 3 様々な結晶面に作製した SiC MOS FET のチャネル移動度のゲート電圧依存性

図3にチャンネル移動度のゲート電圧依存性を示す。N₂Oによる高温酸化を行うと、4H-SiC MOSFETで顕著な効果が確認され、(0001)Si面で21cm²/Vs、(000 $\bar{1}$)C面で42cm²/Vs、(11 $\bar{2}$ 0)面で78cm²/Vsという高い値を得た。MOSキャパシタを用いた評価でも、伝導帯端近傍の界面準位が大幅に減少することを確認した。界面の構造分析を行ったところ、N₂O酸化では通常のO₂酸化に比べて、SiO₂/SiC界面に存在するC過剰遷移層の厚さが減少していることが分かった。特にSiC(000 $\bar{1}$)C面および(11 $\bar{2}$ 0)面では比較的急峻な界面が得られており、これが低い界面準位密度、高いチャンネル移動度に繋がったものと考えられる。

(5) 高耐圧・低オン抵抗のSiC超接合MOSFETの作製

SiCにおいて超接合(多層pn接合)構造の効果を実証するために、横型MOSFETにおいてpn接合の二次元空乏化を利用するRESURF(REDUCED SURFACE FIELD)構造に着目した。この構造では、オフ時(ゼロ・ゲートバイアス時)にドレイン電圧を上昇させると、RESURF領域(n型領域)において、ソース側の端部からドレイン側に向かう方向(x方向)と、RESURF下のp型領域から表面側に向かう方向(y方向)の両方から空乏化が進行し、比較的低いドレイン電圧でRESURF領域が完全に空乏化され、高い電圧を阻止する。本研究では、超接合(多層pn接合)構造として、RESURF領域の表面にp型層を設けたダブルRESURF MOSFETを新たに作製した。図4にダブルRESURF MOSFETの断面構造の模式図を示す。

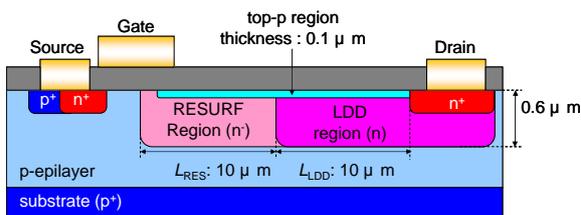


図4 本研究で作製したSiC超接合(ダブルRESURF)MOSFETの模式図

ダブルRESURF構造では、RESURF領域(n型)/p型成長層界面だけでなく、表面p型層/RESURF領域界面からも空乏化が進むため、RESURF領域のドーピング密度を上げることが可能であり、オン抵抗の低減に有効と考えられる。なお、SiCパワーデバイスも将来的には、駆動回路や制御回路との一体化

が進められ、高機能パワー集積回路(IC)のニーズが高まると予測される。特に、SiCの特徴を活かした高耐圧、低損失のパワーシステム・オンチップの実現が期待されており、本研究で作製した横型MOSFETは、上記の目的に適している。

本研究で最初に設計・作製した4H-SiCダブルRESURF MOSFETは、長さ20 μm、深さ0.6 μmのRESURF領域と深さ0.1 μmの表面p型層を有している。ゲート酸化膜厚は75nm、典型的なチャンネル長は2 μm、基板となるp型成長層の厚さは10 μm、アクセプタ密度は約7x10¹⁵cm⁻³である。まず、この構造において二次元デバイスシミュレーションにより構造の最適化を行った。様々なデバイス構造でシミュレーションを行った結果、MOSFETの耐圧はRESURFドーズだけで決まるのではなく、表面pドーズを差し引いた実効RESURFドーズ(D_{RES} - D_{TP})により支配されることが判明した。このことは、実効RESURFドーズ(D_{RES} - D_{TP})を一定にしながらRESURFドーズ(D_{RES})と表面pドーズ(D_{TP})をそれぞれ増大させることにより、耐圧の低下をもたらすことなくRESURF抵抗を低減できることを意味している。シングルRESURFからダブルRESURF構造にすることによって、耐圧の最大値が若干向上することも判明した。この原因を解析したところ、ダブルRESURF構造では、ゲート電極端の酸化膜直下にpn接合が形成されるために、この酸化膜中の電界が緩和され、酸化膜での絶縁破壊を抑制していることが分かった。したがって、ダブルRESURF構造はオン抵抗の低減だけでなく、耐圧の向上にも有効である。

次に、実際にp型4H-SiC{0001}エピ成長層を基板としてダブルRESURF MOSFETを作製した。RESURF領域はN⁺の室温イオン注入、表面p型層はAl⁺の室温イオン注入、ソース・ドレイン領域はP⁺の高温(300°C)イオン注入によって形成した。活性化アニールはAr雰囲気中1700°Cで20分間行った。ゲート酸化膜は1300°CのN₂O酸化により形成した。図5に4H-SiC(000 $\bar{1}$)C面上に作製した2ゾーンダブルRESURF MOSFETの出力特性を示す。ドリフト長が20 μmのデバイスではゼロゲートバイアスで耐圧1580V、酸化膜電界が3MV/cmのときのオン抵抗40 mΩcm²という優れた特性を示した。しきい値電圧は2.8Vのノーマリオフ特性である。ドリフト長が10 μmのデバイスでは耐圧1000V、オン抵抗30 mΩcm²の特性が得られた(図示していない)。本研究で作製したMOSFETでは、V_{BE}/R_{ON}で表される性能指数

として $62\text{MW}/\text{cm}^2$ という値が得られた。これはこれまでに報告のある横型 MOSFET として最高の特性である。また、多層 pn 接合構造では各々の領域のドーピング密度を高く設定できるため、温度上昇時のキャリア密度の増大率が大きく、かつ移動度の低下率が小さい。この結果、多層 pn 接合構造では従来構造に比べて高温での特性劣化を大幅に抑制できることを明らかにした。

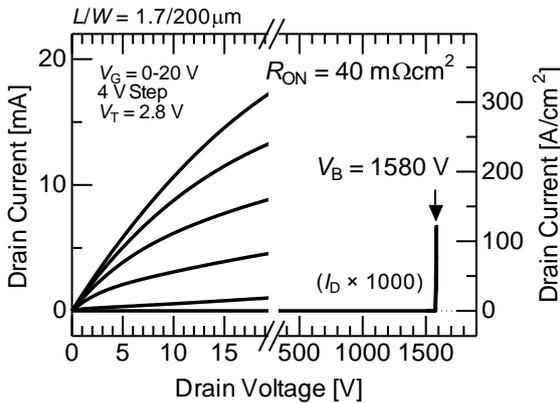


図5 4H-SiC(0001)C面上に作製した2ゾーンドブル RESURF MOSFET の出力特性

5. 主な発表論文等

〔雑誌論文〕(計 40 件)

- [1] M. Noborio, J. Suda, and T. Kimoto, "Improved performance of 4H-SiC double reduced Surface field metal-oxide-semiconductor field-effect transistors by increasing RESURF doses" Appl. Phys. Express. **1**, 101403 1-3(2008). 有
- [2] D. Nakamura, S. Yamaguchi, Y. Hirose, T. Tani, K. Takatori, K. Kajiwara, and T. Kimoto, "Direct determination of burgers vector sense and magnitude of elementary dislocations by synchrotron white x-ray topography", J. Appl. Phys. **103**, 013510 1-7(2008). 有
- [3] K. Senga, T. Kimoto, and J. Suda "Hydrogen implantation and annealing-induced exfoliation process in SiC wafers with various crystal orientations", Jpn. J. Appl. Phys. **47**, 5352-5354(2008). 有
- [4] T. Kimoto, K. Danno, and J. Suda, "Lifetime-killing defects in 4H-SiC epilayers and lifetime control by low-energy electron irradiation", Phys. Stat. Sol. (b) **245**, 1327-1336(2008). 有
- [5] M. Noborio, J. Suda, and T. Kimoto, "4H-SiC MIS Capacitors and MISFETs with deposited Si_n/SiO_2 stack-gate structures", IEEE Transaction on electron Devices. **55**, 2054-2060(2008). 有
- [6] T. Hiyoshi, T. Hori, J. Suda, and T. Kimoto,

"Simulation and experimental study on the junction termination structure for high-voltage 4H-SiC PiN diodes", IEEE Transaction on electron Devices. **55**, 1841-1846(2008). 有

- [7] K. Danno, D. Nakamura and T. Kimoto, "Investigation of carrier lifetime in 4H-SiC epilayers and lifetime control by electron irradiation" Appl. Phys. Lett. **90**, 202109 1-3(2007). 有
 - [8] K. Danno and T. Kimoto, "Deep level transient spectroscopy on as-grown and electron-irradiated p-type 4H-SiC epilayers", J. Appl. Phys. **101**, 103704 1-5(2007). 有
 - [9] G. Alfieri and T. Kimoto, "Deep level transient spectroscopy study of defects in hydrogen implanted p-type 4H-SiC", J. Appl. Phys. **101**, 103716 1-4(2007). 有
 - [10] D. Nakamura, S. Yamaguchi, I. Gunjishima, Y. Hirose and T. Kimoto, "Topographic study of dislocation structure in hexagonal SiC single crystals with low dislocation density", J. Crystal Growth. **304**, 57-63(2007). 有
- 他 30 件

〔学会発表〕(計 38 件)

- [1] M. Noborio, J. Suda, and T. Kimoto, "4H-SiC double RESURF MOSFETs with a record performance by increasing RESURF dose" 20th Int. Symposium on Power Semiconductor Devices & IC's, 263-266 May 21, 2008, Orlando.
- [2] G. Feng, J. Suda, and T. Kimoto, "Spatial profiling of planar defects in 4H-SiC epilayers using micro-photoluminescence mapping", Europ. Conf. on Silicon Carbide and Related Materials 2008, Mo-IP-2, September 8, 2008, Barcelona.
- [3] G. Alfieri, and T. Kimoto, "Capacitance spectroscopy study of midgap levels in n-type SiC polytypes", Europ. Conf. on Silicon Carbide and Related Materials 2008, Mo-P-5, September 8, 2008, Barcelona.
- [4] K. Kawahara, G. Alfieri, and T. Kimoto, "Deep levels generated by ion-implantation in n- and p-type 4H-SiC", Europ. Conf. on Silicon Carbide and Related Materials 2008, Mo-3-2, September 8, 2008, Barcelona.
- [5] M. Grieb, M. Noborio, D. Peters, A. J. Bauer, P. Friedrichs, T. Kimoto, and H. Ryssel, "Electrical characterization of MOS structure with deposited oxides Annealed in N_2O or NO ", Europ. Conf. on Silicon Carbide and Related Materials 2008, We1-2, September 10, 2008, Barcelona.
- [6] M. Horita, M. Noborio, T. Kimoto, and J. Suda, "First demonstration of SiC MISFETs with 4H-AIN gate dielectric

heteroepitaxially-grown on 4H-SiC (1120)", Europ. Conf. on Silicon Carbide and Related Materials 2008, WeP-23, September 10, 2008, Barcelona.

- [7] T. Hiyoshi, T. Hori, J. Suda and T. Kimoto, "Bevel mesa combined with implanted junction termination structure for 10 kV SiC PiN diodes", Int. Conf. on Silicon Carbide and Related Materials 2007, Tu-3B-3, October 16, 2007, Otsu.
- [8] A. Koizumi, J. Suda and T. Kimoto, "Temperature Dependence of Electrical Properties in Al-doped 4H-SiC Epitaxial Layers Investigated by Hall-Effect Measurements", Int. Conf. on Silicon Carbide and Related Materials 2007, We-P-9, October 17, 2007, Otsu.
- [9] G. Alfieri and T. Kimoto, "Search for hydrogen related defects in p-type 6H and 4H-SiC", Int. Conf. on Silicon Carbide and Related Materials 2007 Otsu, October 17, 2007, We-P-3, Otsu.
- [10] M. Noborio, J. Suda and T. Kimoto, "Enhanced Channel Mobility in 4H-SiC MISFETs by Utilizing Deposited SiN/SiO₂ Stack Gate Structures", Int. Conf. on Silicon Carbide and Related Materials 2007, We-3A-1, October 17, 2007, Otsu.

他 28 件

[図書] (計 3 件)

- [1] A. Suzuki, H. Okumura, T. Kimoto, T. Funaki, K. Fukuda, and S. Nishizawa, Trans Tech Publications "Silicon Carbide and Related Materials 2007", 2009, pp.3-1361.
- [2] K. Takahashi, A. Yoshikawa, A. Sandhu, T. Kimoto, 他, Springer "Wide Bandgap Semiconductors", 2007, pp.362-370.
- [3] 高橋清、長谷川文夫、吉川明彦、木本恒暢 他、森北出版株式会社 "ワイドギャップ半導体 光・電子デバイス" 2006, pp.334-342.

[その他]

ホームページ等

<http://semicon.kuee.kyoto-u.ac.jp/>

6. 研究組織

(1) 研究代表者

木本 恒暢 (Tsunenobu Kimoto)
京都大学工学研究科・教授
研究者番号：80225078

(2) 研究分担者

須田 淳 (Jun Suda)
京都大学工学研究科・准教授
研究者番号：00293887

(3) 連携研究者
なし