

平成21年 4月30日現在

研究種目：基盤研究(A)

研究期間：2006～2008

課題番号：18206041

研究課題名(和文) ノーマリオフ型 GaN HEMT の作製・評価の研究

研究課題名(英文) Fabrication and characterization of normally-off GaN HEMTs

研究代表者

水谷 孝(MIZUTANI TAKASHI)

名古屋大学・大学院工学研究科・教授

研究者番号：70273290

研究成果の概要：

本研究では、開発の期待が高い高性能ノーマリオフ型 GaN FET の課題を解決する方法として、InGaN cap 層導入によるひずみ分極制御 AlGaIn/GaN HEMT、および高誘電率を有する HfO<sub>2</sub> をゲート絶縁膜とする GaN MOSFET, AlGaIn/GaN MOSFET を提案した。さらにデバイス試作により本提案の有効性を示すとともに、しきい値がおのおの 1.1V, 3V のノーマリオフ動作を実現し、また高い電流駆動能力を実証した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	28,700,000	8,610,000	37,310,000
2007年度	6,400,000	1,920,000	8,320,000
2008年度	3,900,000	1,170,000	5,070,000
総計	39,000,000	11,700,000	50,700,000

研究分野：工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：GaN, HEMT、ノーマリオフ、MOSFET, InGaN cap, ひずみ分極

## 1. 研究開始当初の背景

GaN は大きなバンドギャップおよび高い電子飽和速度を有し、高出力・高周波デバイス応用の期待が高い。本デバイスの研究開発が精力的に行なわれた結果、ノーマリオン型 HEMT については実用化がなされつつある。一方ノーマリオフ型デバイスは負電源が不要で回路構成が簡単となるばかりか、大出力電

源系のフェールセーフシステム構築には不可欠でありその開発が強く求められている。しかしながら従来のノーマリオフ型 HEMT では、(1)ゲートリセスのための精密エッチングが必要である、(2)高いゲート順バイアスが印加できない、(3)寄生抵抗の増大、(4)オン電流の低下という課題は、ノーマリオフ型ではより顕著となり開発の大きな障害とな

っていた。

## 2. 研究の目的

本研究ではこれらの課題を解決し得る高性能ノーマリオフ型デバイスを実現することを目的とする。具体的には、InGaN cap 層導入によるひずみ分極制御 InGaN/AlGaN/GaN HEMT のノーマリオフ動作実現の可能性、および高誘電率を有する  $\text{HfO}_2$  をゲート絶縁膜とする GaN MOSFET, AlGaN/GaN MOSFET の可能性を明らかにすることを目的とする。

## 3. 研究の方法

### (1) InGaN cap によるノーマリオフ化

図 1 に示すように、通常の AlGaN/GaN HEMT 構造の上に InGaN cap 薄膜を形成し、InGaN cap 内分極により、ノーマリオフ化を実現する。すなわち、図 2 (a) に示すようにひずみ分極により伝導帯下端は持ち上げられ、ノーマリオフ動作が実現される。一方 InGaN cap がいない場合は図 2 (b) に示すとおりゲート電圧 ( $V_{GS}$ )=0V において伝導帯下端はフェルミレベルより下にくるため AlGaN/GaN 界面に二次元電子が誘起され、ノーマリオン動作となる。従ってゲート電極下のみ InGaN cap を残し、ゲート・ソース、ゲート・ドレイン間のアクセス領域の InGaN cap をエッチングにより除去すれば、寄生抵抗の小さなノーマリオフ HEMT が可能となる。本素子においてはしきい値電圧のばらつき・再現性低下の原因となるゲートリセスエッチングは不要という特徴を有する。

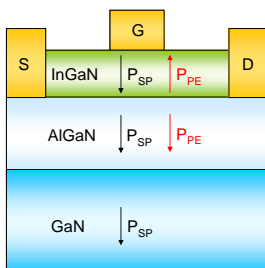


図 1 InGaN cap を有する AlGaN/GaN HEMTs の断面模式図。

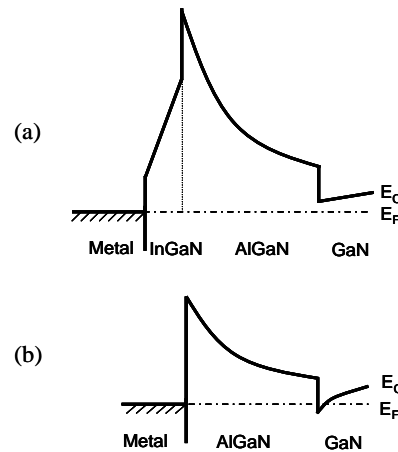


図 2 AlGaN/GaN HEMTs. のエネルギーバンド部  
(a) InGaN cap がある場合  
(b) InGaN cap のない場合

### (2) $\text{HfO}_2$ をゲート絶縁膜とした MOSFET の検討 ① $\text{HfO}_2$ GaN MOSFET

分極を利用した InGaN cap HEMT のゲートはショットキ接合であるためゲート順方向バイアスは 1V 以上には大きくできず、ON 電流をあまり大きくできない。このため小信号用にはよいが、大出力用途には適さない。この課題を解決し得る構造として、ゲート順バイアスリーク電流を小さくできる、図 3 に示す MOSFET を検討する。

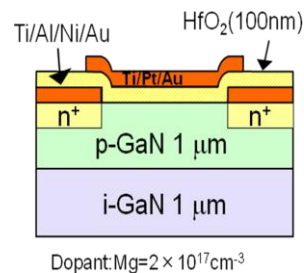


図 3. GaN MOSFET の断面構造

ソース・ドレイン  $n^+$  層としては、Si イオン注入は行わず、オーミックの合金処理で形成された電極/ $n^+$ 層を用いる。これによりイオン注入層の高温活性化アニール、低活性化率の問題を回避する。ゲート絶縁膜としては、high-k 材料である  $\text{HfO}_2$  を用い、高い電流駆動

能力の実現を狙う。またゲート電極はソース・ドレイン電極の一部にオーバーラップさせる。本構造により、ソース・ドレインの寄生抵抗の低減を可能とする。

## ②HfO<sub>2</sub> AlGaIn/GaN MOSFET

GaN MOSFET に比べてさらなる特性向上を目指して HfO<sub>2</sub>/AlGaIn/GaN MOSFET を検討する。素子構造と対応するエネルギーバンドを図 4 に GaN MOSFET と対比して示す。本構造では高品質の AlGaIn/GaN 界面をチャネルとして利用できるため、特性の向上が期待できる。

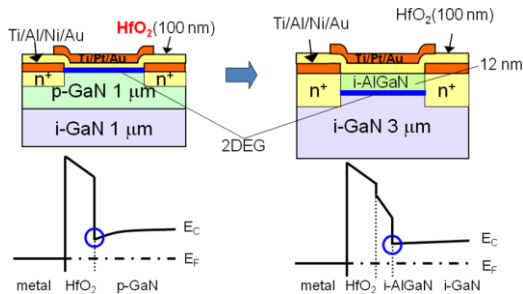


図 4. GaN MOSFET および AlGaIn/GaN MOSFET の断面構造とエネルギーバンド図

## 4. 研究の成果

### (1) InGaIn cap によるノーマリオフ化

図 5 の  $I_D$ - $V_{DS}$  特性および転送特性に示すように、しきい値電圧 0.4V のノーマリオフ動作が実現できた (InGaIn:アンドープ、In 組成は 0.2、厚み 5nm)。相互コンダクタンス  $g_m$  の最大値は 85mS/mm であった。参照用に作製した InGaIn cap の無いデバイスでは、しきい値電圧は -1.5V とノーマリオン動作であった。この結果は InGaIn cap の分極効果により 1.9V のしきい値電圧シフトが実現されたことを示している。

次に、より強いノーマリオフ化を実現するため、InGaIn cap に Mg をドーピングした p-InGaIn cap ( $1 \times 10^{20} \text{cm}^{-3}$ 、In 組成は 0.2、厚み 4nm) を

検討した。Mg の最適活性化アニール温度は 800°C であることを明らかにするとともに、i-InGaIn cap に比べてさらなるしきい値シフト (1.3V) を示し、しきい値電圧として 1.1V を実現した。

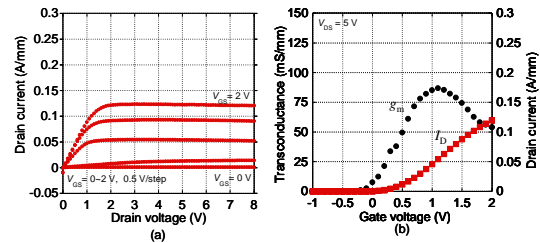


図 5 InGaIn cap を有する GaN HEMT の電流-電圧特性。

(a)  $I_D$ - $V_{DS}$  特性, (b) 転送特性。

### (2) HfO<sub>2</sub> をゲート絶縁膜とした MOSFET の検討

#### ①HfO<sub>2</sub> GaN MOSFET

図 6 の  $I_D$ - $V_{GS}$  特性で示すように、しきい値電圧約 8V のノーマリオフ MOSFET を実現した。また、ゲート順方向バイアスは 20V と、ショットキ障壁ゲート型デバイスにおける順方向ゲートバイアス 1~2V に比べるとはるかに大きい値である。ゲート電圧 20V におけるドレイン電流は 400mA/mm とノーマリオフ型としては比較的大きく、また最大の相互コンダクタンスは 45mS/mm と GaN MOSFET (ゲート絶縁膜: SiO<sub>2</sub>) のこれまでの最高値 6mS/mm に比べるとはるかに大きい値である。

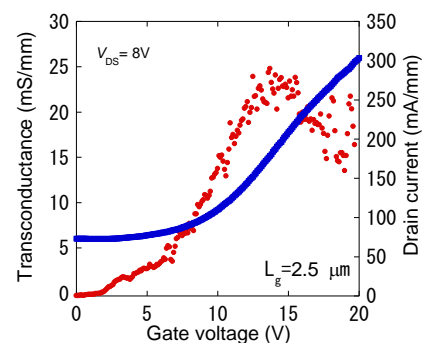


図 6. GaN MOSFET の  $I_D$ - $V_{GS}$  特性、 $g_m$ - $V_{GS}$  特性

図7のゲート電流  $I_G$ –ゲート電圧特性で示すように、 $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  をゲート絶縁膜とする MOSFET に比べてゲートリーク電流が最も少なく、この点でも  $\text{HfO}_2$  の優位性を示している。

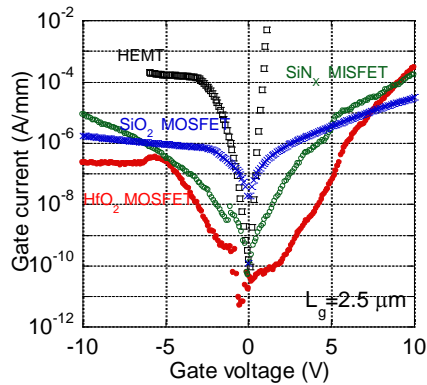


図7. 学種ゲート絶縁膜の  $I_D$ – $V_{GS}$  特性の比較

## ② $\text{HfO}_2$ AlGaIn/GaN MOSFET

図8のドレイン電流のゲート電圧 ( $V_{GS}$ ) 依存性から見積ったしきい値電圧は約 3V である。今回使用したエビ構造を用いて作製した通常 HEMT のしきい値電圧は 0.1V であったことから  $\text{HfO}_2$  膜中あるいは  $\text{HfO}_2/\text{AlGaIn}$  界面に負の電荷が導入されたものと思われる。

ドレイン電流は、ゲート電圧 10V において 730mA/mm とノーマリオフ型としては非常に大きな値が実現できた。また最大の相互コンダクタンスは 185mS/mm と上記 GaN MOSFET の値 45mS/mm に比べさらに 4 倍の改善が得られている。以上により、高品質の AlGaIn/GaN 界面をチャネルとして用いる本構造の有効性を明らかにできた。

さらにデバイスシミュレーションを行い、 $\text{HfO}_2/\text{AlGaIn}$  界面に界面準位が存在する場合、しきい値電圧がシフトするとともに  $g_m$  が低下することを明らかにした。なお界面準位密度を  $3.5 \times 10^{12} \text{cm}^{-2}$  以下に抑えれば  $g_m$  の低下を 10% 以下に、しきい値シフトを 0.3V 以下に抑

えることが可能であることを示した。

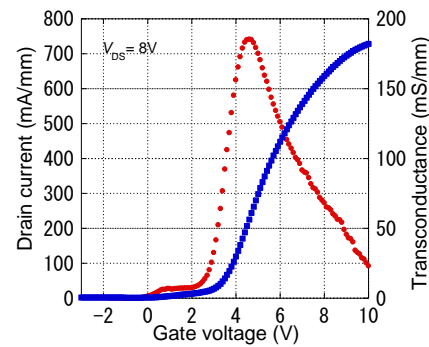


図8. AlGaIn/GaN MOSFET の  $I_D$ – $V_{GS}$  特性、

## 5. 主な発表論文等

[雑誌論文] (計 13 件)

1. M. Ito, S. Kishimoto, F. Nakamura, T. Mizutani, “Enhancement-mode AlGaIn/GaN HEMTs with thin InGaIn cap layer”, *phys. stat. sol. (c)*, Vol. 5, No. 6, pp. 1929-1931, Mar. 27, 2008, 査読有
2. S. Sugiura, S. Kishimoto, T. Mizutani, M. Kuroda, T. Ueda, T. Tanaka, “Normally-off AlGaIn/GaN MOSHFETs with  $\text{HfO}_2$  gate oxide”, *phys. stat. sol. (c)*, Vol. 5, No. 6, pp. 1923-1925, Mar. 25, 2008, 査読有
3. S. Sugiura, S. Kishimoto, T. Mizutani, M. Kuroda, T. Ueda, T. Tanaka, “Enhancement-mode *n*-channel GaN MOSFETs fabricated on *p*-GaN using  $\text{HfO}_2$  as gate oxide”, *Electronics Letters*, Vol. 43, No. 17, pp. 952-953, Aug. 16, 2007, 査読有
4. T. Mizutani, M. Ito, S. Kishimoto, F. Nakamura, “AlGaIn/GaN HEMTs with Thin InGaIn Cap Layer for Normally Off Operation”, *IEEE Electron Device Letters*, Vol. 28, No. 7, pp. 549-551, July, 2007, 査読有

[学会発表] (計26件)

1. T. Mizutani, S. Sugiura, S. Kishimoto, M. Kuroda, T. Ueda, T. Tanaka, “Normally-off AlGa<sub>N</sub>/Ga<sub>N</sub> MOSFETS with HfO<sub>2</sub> Gate Oxide Deposited by Pulsed-Laser Deposition”, Workshop on Compound Semiconductor Devices and Integrated Circuits Held in Europe (WOCSDICE 2008), Leuven, Belgium, May 18-21, 2008

2. 水谷 孝, “ノーマリオフ型 Ga<sub>N</sub> 電界効果トランジスタ”, 学術振興会 162 委員会第 58 回研究会、2008 年 5 月 18-21 日

3. M. Ito, S. Kishimoto, F. Nakamura, T. Mizutani, “Enhancement-Mode AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs with Thin InGa<sub>N</sub> Cap Layer”, 7th Int'l Conference of Nitride Semiconductors (ICNS-7), Las Vegas, Nevada, USA, September 16-21, 2007

4. S. Sugiura, S. Kishimoto, T. Mizutani, M. Kuroda, T. Ueda, T. Tanaka, “Normally-Off AlGa<sub>N</sub>/Ga<sub>N</sub> MOSFETs with HfO<sub>2</sub> Gate Oxide”, 7th Int'l Conference of Nitride Semiconductors (ICNS-7), Las Vegas, Nevada, USA, September 16-21, 2007

[産業財産件]

○出願状況 (計1件)

名称：電界効果トランジスタおよびその製造方法

発明者：水谷 孝, 田中 毅, 上田哲三,

権利者：名古屋大学、松下電器産業

種類：特許

番号：特願 2007-78987

出願日：2007.3.26

国内外の別：国内

#### 6. 研究組織

##### (1) 研究代表者

水谷 孝 (MIZUTANI TAKASHI)

名古屋大学・大学院工学研究科・教授

研究者番号：70273290

##### (2) 研究分担者

岸本 茂 (KISHIMOTO SHIGERU)

名古屋大学・大学院工学研究科・助教

研究者番号：10186215

大坂 次郎 (OSAKA JIRO) (H18)

名古屋大学・大学院工学研究科・教授

研究者番号：20377849

黒内 正仁 (MASAHITO KUROUCHI) (H19, H20)

名古屋大学・大学院工学研究科・研究員

研究者番号：10452187