

平成 21年 5月 21日現在

研究種目：基盤研究 (B)
 研究期間：2006～2008
 課題番号：18300012
 研究課題名 (和文) 多値双方向同時データ転送技術に基づく高速 LDPC デコーダ VLSI の開発
 研究課題名 (英文) Implementation of a High-Speed LDPC Decoder LSI Based on a Multiple-Valued Full-Duplex Data-Transfer Technique
 研究代表者
 羽生 貴弘 (HANYU TAKAHIRO)
 東北大学・電気通信研究所・教授
 研究者番号：40192702

研究成果の概要：

データ通信において優れた誤り訂正復号能力を有する方式「Low-Density Parity-Check(LDPC)復号方式」では、1000 ビット以上の復号処理において 10Gbps 以上の高速化と実用的な低消費電力化が望まれている。我々は、高速化が同期式制御の最悪遅延に律速されている点に着目し、これを解決するために、非同期式制御の活用と、電流モード多値回路による非同期回路の効率的実現を行った。まず、非同期データ転送の利点を最大限に活用するために、「前後のデータの類似性が極めて高い」ことに着目したフラッティングアルゴリズム(一部のデータ更新だけで演算を実行)を考案し、BER にほとんど影響を与えることを確認した。また、信号線の多値符号化に基づいた双方向同時非同期データ転送方式を考案し、LDPC デコーダ内のデータ転送スループットの倍増化と共に、演算ノードの稼働率を倍増させた。さらに、具体例として、1024 ビット LDPC デコーダ LSI を設計し、従来手法による実現と比較し、1.65 倍に高性能化できることを確認すると共に、256 ビット LDPC デコーダ LSI を 90nmCMOS プロセスで試作して基本原理動作の検証を行った。このフラッティングアルゴリズムの特長を最大限に生かせる方式として、部分パイプライン方式についても検討し、従来困難であった 10Gbps の高速化が達成できることもシミュレーションで明らかにした。以上の成果は、国際ジャーナルとして著名な IEEE Transaction on VLSI に採択決定されるなど、学術雑誌論文に 8 件、学会発表 4 2 件に取りまとめた。

交付額

(金額単位：円)

| | 直接経費 | 間接経費 | 合計 |
|--------|------------|-----------|------------|
| 2006年度 | 5,900,000 | 1,770,000 | 7,670,000 |
| 2007年度 | 4,700,000 | 1,410,000 | 6,110,000 |
| 2008年度 | 4,000,000 | 1,200,000 | 5,200,000 |
| 年度 | | | |
| 年度 | | | |
| 総計 | 14,600,000 | 4,380,000 | 18,980,000 |

研究分野：総合領域

科研費の分科・細目： [分科]情報学, [細目]計算機システム・ネットワーク

キーワード：情報機器

1. 研究開始当初の背景

近年の微細加工技術の進展に伴い、トランジスタ自体のスイッチングは高速になっている一方、配線遅延の増大が深刻になってきている。現在主流のクロックを用いる同期式制御では、この配線遅延によるクロックスキューに伴う演算遅延の増大およびクロック分配に伴う配線充放電の電力消費の増大が顕著になっている。このため、上記のようなクロック問題を根本から解決する新方式の考案が必要不可欠である。

一方、現在の情報通信分野では、伝送路の雑音品質に応じてさまざまな誤り訂正符号方式が使い分けられてきた。しかし、次世代高度情報化社会においては、すべての場面・状況・用途において「シームレス」な情報通信を実現するために、1種類だけで全ての状況をカバーできるような新たな誤り訂正符号が必須であると考えられる。このような符号化方式の1つとして、「Low-Density Parity Check (LDPC) 符号」が知られている。LDPC 符号は雑音の多い環境から雑音の低い環境まで幅広い分野で高い誤り訂正能力を発揮できる方式であり、さまざまな通信応用分野において「シームレス」に通信を行うことができる次世代の誤り訂正符号の最有力候補として期待されている。

LDPC デコーダでは、2つの演算ノード間で数十回程度メッセージを伝搬させることで高い誤り訂正符号を得る。高速なデコーディングを実行するためには、この演算ノード間データ転送を「全ノード並列に」行わなければならない。実用的な LDPC 符号長は少なくとも「1024 ビット」程度必要とされており、かつ各ノードが3個～6個程度のノードと接続されるため、ノード間相互配線数が莫大な量となる。この結果、従来までの同期式に基づく実現では、演算ノード間の最悪データ転送速度でデコーダ全体の性能が支配的に決定されてしまう。データ転送速度は、チップ内の配線長が大きくばらついてしまうため、クロック制御に基づく同期式実現の場合、はらつきの最悪値までを見込んでクロック周波数を低く設計しなければならず、高速化が極めて困難になっている。さらにクロック分配に伴う配線充放電の電力も高性能化を阻害する大きな要因である。特に、LDPC デコーダのような通信用 VLSI チップでは、配線数がより一層増大する傾向にあるため、配線に起因する電力消費の低減は極めて重要な課題である。このように、LDPC デコーダチップの実現においては、チップ内データ転送の高速化、および低消費電力化を達成する手法が強く望まれている。

2. 研究の目的

本研究代表者らの研究グループが考案し

た「多値符号化に基づく双方向非同期データ転送」方式は、クロックを用いることなく2線のみで高速なデータ転送を実現する方法である。この方式を LDPC デコーダに積極的に活用することで、①クロック分配に伴う配線充放電の電力が不要となり、大幅な低消費電力化が期待できる。実際、同期式に基づいて構成された 54 ビット浮動小数点乗算器では、チップ全体の消費電力のうち、クロック分配に伴う部分だけで 80%程度の電力を消費している (2005 年 ISSCC にて IBM 社より発表)。もし非同期式制御に基づいて VLSI チップが実現されれば、クロック分配に起因する電力消費を完全にカットできるため、大幅な低電力化が期待できる。また、ノード間データ転送速度が、同期式制御では「最悪遅延」に律速されるのに対し、非同期式制御では「平均遅延」となるため、非同期化を導入することである程度の高速化は期待されるものの、非同期化によるオーバーヘッドを軽減した上で、チップ全体としての性能向上を図ることが重要である。そこで、②LDPC 符号における前後のデータの類似性に着目した超高速デコードアルゴリズムを考案することで、データ転送速度を平均遅延から配線自体の遅延である最小遅延まで高速化させることができる。さらに、③双方向非同期データ転送方式を用いることで、2つの符号語の同時転送・復号が実現され、スループットの大幅な向上が達成される。本課題では、このような視点のもと、双方向非同期データ転送方式に基づく高速・低電力 LDPC デコーダの設計・試作を行うと共に、その性能評価を通じて LDPC デコーダの高性能化を明らかにすることを目的とする。

3. 研究の方法

多値符号化に基づく非同期データ転送技術を活用した、高性能 LDPC デコーダ VLSI では、バリエブル・ノードとチェック・ノード間のデータ転送を非同期化し、データ転送ボトルネックを解消することで処理の高速化と低消費電力化を同時に達成することを目指す。これを実現するためには、以下のような研究項目を実施していく：

- 非同期 LDPC デコーダ実現のための基本構成要素の実現・性能評価：
- ・非同期 LDPC コーディング・アルゴリズムの考案・動作検証
- ・双方向同時非同期データ転送方式を活用したスループットの倍増化
- ・同期・非同期混在形 LDPC 基本回路の設計・動作検証
- 非同期 LDPC デコーダ VLSI の試作・動作検証：
- ・90nmCMOS プロセスによる非同期 LDPC デコーダ VLSI の試作

- ・同等機能の同期式実現との性能比較
- ・電流モード多値回路の VLSICAD 環境の構築

上記の具体的研究計画は以下の通りである：

[1] 非同期 LDPC デコーダ実現のための基本構成要素の実現・性能評価：

1) データの類似性に着目した「非同期 LDPC デコーディング・アルゴリズム」の検討：

LDPC デコーダ内のノードにおける演算は接続された他のノードからデータの到着を待ってから行われるため、同期式制御では遅延時間は接続された配線の中における最悪遅延に依存してしまう。非同期式制御だけを用いることで、遅延時間をノード単位で平均遅延まで高速化できるが、各ノードでは全データの到着を待つ以上、処理性能は依然として最悪遅延に依存してしまう。そこで、LDPC 符号における前後のデータの類似性に着目すると、データの到来を待たずに前のデータを用いても、BER にほとんど影響を与えることなく同等の演算が実現できる。非同期式データ転送と提案アルゴリズムの融合により、下図のように最悪遅延・平均遅延に依らずに、配線自体の遅延である最小遅延でデータ転送を実現できるために、大幅な高速化が達成されることを明らかにする。

より詳細には高水準プログラミング言語 C++ による提案アルゴリズムをモデル化して、データの依存性によるデコードアルゴリズムの動作検証および BER の検証を行う。同期式の場合、非同期式の場合、データの到来を待たずに処理を行うアルゴリズムを導入した非同期式の場合と、それぞれ符号長や遅延情報を変化させて BER の比較を行う。これによりアルゴリズムレベルにおいて非同期化することの優位性を定量的に評価できる。さらに、チップ内における配線情報をフィードバックし適用することで、実際にハードウェア化された LDPC デコーダにおける所望の BER を見積もることができるため、ソフトウェアシミュレーションのレベルでチップレベルの性能向上を定量的に見積もる。このデータは試作したチップの検証にも用いる。これによりアルゴリズムと非同期データ転送の融合による効果を定量的に評価することが可能となる。

2) 双方向同時非同期データ転送方式を活用したスループットの倍増化：

従来の同期式制御による LDPC デコーダではクロックスキューの問題により、片側の演算ノードでしかクロック制御を行うことができず、1 つの符号語のみを復号していた。そのため、一方の演算ノードで演算している際、もう一方の演算ノードでは何の処理も行

うことができず、ハードウェアを最大限に生かすことができなかつた。そこで、クロックを使わない非同期制御である双方向非同期データ転送方式をノード間データ転送に適用することで、2 つのデータの同時転送を行うことができるため、2 つの符号語の同時並列処理が実現する。その結果、2 つの符号語の同時復号が可能となるため、従来の同期式制御に比べて、スループット 2 倍が達成されることを明らかにする。

2 つの独立した符号語を扱う場合、転送するデータ量が倍増してしまうため配線数の増加やそれにもなう配線遅延の増加が懸念される。そこで、多値符号化を活用することで、ハードウェアオーバーヘッドなしに 2 線のみデータ転送を実現する符号化の考案を行う。多値符号の中に双方のノードからの制御信号とデータを重畳するが、重畳されていても双方のノードが正しくデータの到来を確認できるよう符号を設定する。多値符号化の活用により配線数を増加させることなく、スループット 2 倍の処理性能向上が可能であるあることを示す。

3) 同期・非同期混載形 LDPC デコーダ基本回路の設計・試作・動作検証：

上記 1) で検討した非同期 LDPC デコーディング・アルゴリズムと、2) で提案した非同期データ転送技術を融合させ、高性能な LDPC デコーダを設計・試作する。最初のステップとして、「同期・非同期混載形 LDPC デコーダ」の構成について検討する。すなわち、

- ① 演算ノード自体の演算処理はローカルクロックに基づいた同期式制御で実行し、
- ② 演算ノード間のデータ転送部分を非同期式制御で実行する。

この実現方法では、演算ノード部分の設計は従来までの同期式で培った設計資産を活用でき、同期式制御と非同期式制御を切り替える部分の設計について検討することが重要となる。具体的には、演算ノード部分は VHDL で動作記述し、これを自動合成することでハードウェアを自動生成する。一方、非同期式制御回路の設計に関しては、VLSI 設計・検証ツールが完備されていないため、人手によるフルカスタム設計となる（そのため、実験補助のための謝金を計上している）。多値符号化を活用した双方向非同期データ転送部分を、アナログ回路を基本とするフルカスタム設計によりハードウェア実現するためには、以下のような手順で行う：

- a) 演算ノードと双方向非同期データ転送回路、およびその両者を接続する制御回路という 3 種類の基本回路を人手によりフルカスタム設計およびその LSI チップ

試作：

演算ノードと制御回路は VHD L を用いて設計し、論理合成・配置配線ツールを用いてレイアウトまで行い、非同期データ転送部分はフルカスタム設計を行う。レイアウトの段階で演算ノードと制御回路と非同期データ転送部分をフルカスタムで接合させチップを試作する。なお、LSI チップ試作は東大 VDEC を通じてチップ試作サービス ASPLA 社 90 nm CMOS プロセスを用いる（そのため、LSI チップ試作費を計上している）。

b) フルカスタム設計された基本回路の動作検証、および非同期データ転送を用いた LDPC デコーダの復号処理の実証：
試作したチップに入力パターンを入れ所望の出力波形を確認することで同期・非同期の融合動作を検証することができる。

[2]非同期LDPCデコーダVLSIの試作・動作検証：

1)LDPC デコーダ全体のレイアウトおよびチップ試作および評価：

前年度の計画 3)で作成した基本回路を拡張して、実用的な長符号長 (256bit, 1024bit) の非同期 LDPC デコーダを設計する。大規模な回路設計となるため、演算ノード自体の論理動作の検証は VHD L によって行う。制御回路部を含めた非同期データ転送回路の動作検証は、シミュレーションツール「nanosim」を用いて行う。演算ノード数が多くなると相互配線が複雑となり、人手によるフルカスタム設計が困難となる。そこで、フルカスタム設計で生成した非同期データ転送回路のレイアウトをモジュール化 (セル化)・ライブラリ化し、自動配置配線ツールを用いて自動レイアウト設計を行う。試作したチップに、ノイズを重畳した符号テストパターンを入力して、元の符号パターンは正しく復号されているかどうかを、ビットエラー率 (BER) で検証する。

2)同等機能の同期式実現との性能比較：

クロックスキューの影響や実際の配線のばらつき具合など、LSI チップのパラメータ変動全てを反映させて、総合的な復号化の性能を計算機シミュレーションだけで評価することは極めて困難である。そこで、試作した提案方式による非同期 LDPC デコーダの優位性を正しく評価するには、機能を同等にした、従来までの同期式制御による LDPC デコーダを設計・試作する必要がある。研究協力者・V.Gaudet 助教授 (カナダ・アルバータ大学) は同期式 LDPC デコーダ VLSI に関して十分な知識・経験を有しているため、アルバータ大学グループと連携を取りながら、同等機能の LDPC デコーダ VLSI の設計

を行う。なお、同期式 LDPC デコーダ VLSI の設計に際しては、符号長と検査行列を同等にし、BER・スループット・消費電力の実データを比較することで、非同期式制御による性能向上を定性的に評価する。また、配線数や相互配線網の面積や配線超ばらつきの分布などを調べることにより、非同期制御を活用した影響によるハードウェアオーバーヘッドを定量的に評価・比較する。

3)電流モード多値回路のVLSICAD環境の構築：

電流モード多値回路を用いた同期・非同期混在システムを設計し、その動作を検証するためには、人手による方法だけでは、設計時間の増大や設計ミスが発生などの問題が顕著となる。そこで、現有の2値 CMOS 回路設計とコンパクトな VLSI 設計 CAD 環境を構築することが重要となる。特に、大規模な回路・システムを構築する上で、回路の基本構成要素を自動配置・配線する (place&route) と共に、そのタイミング検証を HSPICE などの回路設計ツールだけでなく、Static Timing Analysis(STA)レベルで実行できる検証環境の構築が重要となる。本研究では、電流モード多値回路の基本構成要素が、多レベル信号比較器、多レベル信号発生器等であることに着目し、これらをセルライブラリに登録、およびその入出力仕様を定義することで、既存の2値 CMOS 回路の place&route ツールが2値・多値混在回路にも適用できることを見出す。また、多レベル信号の遷移動作を、複数個の2レベル信号遷移動作に分解することで、多値回路においても既存の STA ツールが活用できることを示す。

4. 研究成果

まず、非同期 LDPC 復号アルゴリズム自体の効率化方法として、非同期データ転送の利点を最大限に活用するために、アルゴリズム自体を変更した。すなわち、LDPC 符号では、復号途中での「前後のデータの類似性が極めて高い」ことに着目すると、各ノードにて「必ずしも全てのデータ到来を待たずに (つまり、前のデータを用いて)」演算しても、BER にほとんど影響を与えることなく同等の演算が実現できる (フラットニングアルゴリズム)。また、多値符号化に基づく双方向同時非同期データ転送方式を用いて、LDPC デコーダ内のデータ転送スループットを倍増化した。従来の同期式制御による LDPC デコーダではクロックスキューの問題により、片側の演算ノードでしかクロック制御を行うことができず、1つの符号語のみを復号していた。そのため、一方の演算ノードで演算している際、もう一方の演算ノードでは何の処理

も行うことができず、ハードウェアを最大限に生かすことができなかつた。そこで、非同期制御である双方向非同期データ転送方式をノード間データ転送に適用することで、2つのデータの同時転送を行うことができるため、2つの符号語の同時並列処理が可能となった。

また、フラットニングアルゴリズムの有用性を、大規模な同期式 LDPC デコーダ上にて検証した。すなわち、1024 ビット LDPC デコーダ LSI をレイアウト設計までし、長配線部分にレジスタを挿入して時分割して転送するアーキテクチャを考案した。長配線で接続されたノード間は、レジスタが挿入されているため、2クロックで新しいデータが更新される。一方、短配線部分は毎クロックごとデータが更新されるため、各ノードにおいては、一部のデータのみが更新される状況となる。このアーキテクチャを活用することで、復号化データ収束までのイタレーション（繰り返し）回数は多少増加するが、長配線がなくなるため、クロック周波数を2倍程度向上できる。実際、1024 ビット LDPC デコーダ LSI において、従来手法による実現と比較し、1.65 倍の高性能化に成功した。また、この基本動作を検証するため、256 ビット LDPC デコーダ LSI を 90nm CMOS プロセスで試作し、良好な復号処理が実行できることを確認した。また、上記技術をさらに加速できる非同期化を達成するための電流モード多値回路技術として、ノイズ耐性を含めた改良を行うと共に、その VLSI 設計・検証 CAD 環境の構築も同時に進めた。

さらに、フラットニングアルゴリズムを①バリエブル・ノードとチェック・ノード間データ転送を異なるステップ数で送付する「部分パイプライン方式」と②部分パイプライン方式をさらに徹底活用した「非同期双方向同時データ転送方式」の2方式について、設計およびチップ試作を行い、その基本原理と有用性について評価した。①部分パイプライン方式では、まずノード間配線長のバラツキ度合いを抽出し、最長配線の半分の配線長以上の配線にパイプラインレジスタを挿入し、2ステップでデータが更新される形とし、それ以外の短配線にはレジスタは挿入せず、1ステップでデータ転送を実行する形とする。この結果、LDPC デコーディングを 10Gbps 以上で実行できるシミュレーション結果を得た。また、実チップも試作し、原理動作を検証した。

以上の成果は、国際ジャーナルとして著名な IEEE Transaction on VLSI に採択決定されるなど、学術雑誌論文に8件、学会発表42件に取りまとめた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者に

は下線)

[雑誌論文] (計 8 件)

1. N. Onizawa, T. Hanyu, and V. C. Gaudet, "Design of High-Throughput Fully-Parallel LDPC Decoders Based on Wire Partitioning," IEEE Trans. on VLSI Systems, (掲載決定)2009. (査読有)

2. N. Onizawa, T. Hanyu, and V. C. Gaudet, "High-Throughput Bit-Serial LDPC Decoder LSI Based on Multiple-Valued Asynchronous Interleaving," IEICE Trans. Electron. (掲載決定)2009. (査読有)

3. K. Mizusawa, N. Onizawa, and T. Hanyu, "Power-Aware Asynchronous Peer-to-Peer Duplex Communication System Based on Multiple-Valued One-Phase Signaling," IEICE Trans. Electron., Vol.E91-C, No.4, pp.581-588, April 2008. (査読有)

4. M. Miura and T. Hanyu, "Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Operation," IEICE Trans. Electron., Vol.E91-C, No.4, pp.589-594, April 2008. (査読有)

5. A. Mochizuki, H. Shirahama and T. Hanyu, "Design and Evaluation of a 54x54-bit Multiplier Based on Differential-Pair Circuitry," IEICE Trans. on Electronics, Vol.E90-C, No.4, pp. 683-691, April 2007. (査読有)

6. N. Onizawa and T. Hanyu, "Design and Evaluation of a NULL-Convention Circuit Based on Dual-Rail Current-Mode Differential Logic," IEICE Trans. on Electronics, Vol.E89-C, No.11, pp.1591-1597, Nov. 2006. (査読有)

7. T. Takahashi and T. Hanyu, "Implementation of a High-Speed Asynchronous Data-Transfer Chip Based on Multiple-Valued Current-Signal Multiplexing," IEICE Trans. on Electronics, Vol. E89-C, No.11, pp. 1598-1604, Nov. 2006. (査読有)

8. A. Mochizuki, H. Shirahama and T. Hanyu, "Design of a Low-Power Quaternary Flip-Flop Based on Dynamic Differential Logic," IEICE Trans. on Electronics, Vol.E89-C, No.11, pp. 1575- 1580, Nov.

2006. (査読有)

[学会発表] (計 42件)

1. T. Matsuura, H. Shirahama, M. Natsui and T. Hanyu, "Timing-Variation-Aware Multiple-Valued Current-Mode Circuit for a Low-Power Pipelined System," Naha, Okinawa, Japan, May 21, 2009.
2. N. Onizawa and T. Hanyu, "Robust Multiple-Valued Current-Mode Circuit Components Based on Adaptive Reference-Voltage Control," Naha, Okinawa, Japan, May 21, 2009.
3. T. Funazaki, N. Onizawa, A. Matsumoto and T. Hanyu, "Asynchronous Multiple-Valued Data Transfer and Its Application," Chengdu, China, October 30, 2008.
4. T. Arimitsu, T. Nagai, M. Natsui and T. Hanyu, "Systematic Design and Verification of Binary/Multiple-Valued Fused Logic Circuits," Chengdu, China, October 30, 2008.
5. H. Shirahama and T. Hanyu, "Design of a Processing Element Based on Multiple-Valued Current-Mode Logic for a Many-Core Processor," Sendai, Japan, October 17, 2008.
6. N. Onizawa and T. Hanyu, "Asynchronous data-transfer interface for an interleaver in fully-parallel low-density parity-check decoders," Sendai, Japan, October 17, 2008.
7. 夏井雅典, 羽生貴弘, "次世代VLSI向き多値回路の系統的設計," 沖縄, 2008年9月12日.
8. 松浦貴史, 白濱弘勝, 夏井雅典, 羽生貴弘, "適応的電流源制御に基づくパイプライン電流モード多値演算回路の低電力化," 沖縄, 2008年9月12日.
9. 大竹遥, 鬼沢直哉, 松本敦, 羽生貴弘, "電流モードsingle-track方式に基づく非同期データ転送の高速化," 福島, 2008年8月22日.
10. 松浦貴史, 白濱弘勝, 夏井雅典, 羽生貴弘, "出力状態モニタリングに基づく電流モード多値順序回路の低消費電力化," 福島,

2008年8月22日.

11. A. Matsumoto, T. Yoneda and T. Hanyu, "High-level Synthesis of Asynchronous Circuits and Its Optimization," Dallas, TX, USA, May 24, 2008.
12. T. Nagai, N. Onizawa, and T. Hanyu, "High-Speed Timing Verification Scheme Using Delay Tables for a Large-Scaled Multiple-Valued Current-Mode Circuit," Dallas, TX, USA, May 22, 2008.
13. A. Hirosaki, M. Miura, A. Matsumoto, and T. Hanyu, "Vth-Variation Compensation of Multiple-Valued Current-Mode Circuit Using TMR Devices," Dallas, TX, USA, May 22, 2008.
14. H. Shirahama and T. Hanyu, "Design of High-Performance Quaternary Adders Based on Output-Generator Sharing," Dallas, TX, USA, May 22, 2008.
15. 松本敦, 羽生貴弘, "多値符号化に基づく非同期式転送方式の検討," 兵庫, 2008年1月13日.
16. 白濱弘勝, 羽生貴弘, "電流モード多値回路および電圧モード多値回路の構成と評価," 兵庫, 2008年1月13日.
17. 鬼沢直哉, 羽生貴弘, Vincent Gaudet, "多値非同期データ転送方式に基づく高性能LDPCデコーダLSIの実現," 福岡, 2007年11月20日.
18. T. Matsuura, H. Shirahama, T. Hanyu, "Design and Evaluation of a Multiple-Valued Full Adder," Sendai, Japan, November 12, 2007.
19. Y. Otake, K. Mizusawa, N. Onizawa, and T. Hanyu, "High-speed Asynchronous Data Transfer Scheme Based on One-Phase Dual-Rail Coding," Sendai, Japan, November 12, 2007.
20. H. Shirahama, T. Hanyu, M. Nakajima, A. Mochizuki, and K. Arimoto, "Quaternary Processing Element for a Multi-Core VLSI processor," Sendai, Japan, November 12, 2007.
21. 永井亮, 鬼沢直哉, 羽生貴弘, "電流モード多値回路の高速動作検証手法," 青森, 2007年8月24日.

22. 白濱弘勝, 羽生貴弘, 中島雅美, 望月明, 有本和民, "超並列プロセッサ内多値データ転送方式," 神奈川, 2007年8月21日.
23. N. Onizawa, T. Ikeda, T. Hanyu, and V. C. Gaudet, "3.2-Gb/s 1024-b Rate-1/2 LDPC Decoder Chip Using a Flooding-Type Update-Schedule Algorithm," Montreal, Canada, August 5, 2007.
24. 松本敦, 米田友洋, 羽生貴弘, "非同期式回路のFPGA実現とその評価," 北海道, 2007年8月2日.
25. N. Onizawa, T. Hanyu, and V. Gaudet, "Implementation of an Asynchronous LDPC Decoder Using Multiple-Valued Duplex Interleaving," Montreal, Canada, May 24, 2007.
26. A. Mochizuki, M. Miura, and T. Hanyu, "Active-Load Differential Comparator for Crosstalk-Noise Reduction," Oslo, Norway, May 15, 2007.
27. H. Shirahama, A. Mochizuki, T. Hanyu, M. Nakajima, and K. Arimoto, "Design of a Processing Element Based on Quaternary Differential Logic for a Multi-Core SIMD Processor," Oslo, Norway, May 15, 2007.
28. T. Takahashi, K. Mizusawa, and T. Hanyu, "Asynchronous Peer-to-Peer Simplex/Duplex-Compatible Communication System Using a One-Phase Signaling Scheme," Oslo, Norway, May 15, 2007.
29. 鬼沢直哉, 羽生貴弘, "多値電流モード非同期データ転送方式に基づくLDPCデコーダLSIの実現," 愛知, 2007年3月21日.
30. 高橋知宏, 羽生貴弘, "電流モード多値回路の信頼性評価," 愛知, 2007年3月20日.
31. T. Takahashi and T. Hanyu, "A Simplex/Duplex-Compatible System for Asynchronous Peer-to-Peer Communication Using One-phase Signaling," Sendai, Japan, January 25, 2007.
32. N. Onizawa and T. Hanyu, "Implementation of a High-Throughput LDPC Decoder Chip Using an Asynchronous Interleaving Scheme," Sendai, Japan, January 25, 2007.
33. T. Hanyu, T. Takahashi, and S. Matsunaga, "Novel Circuit Techniques for High-Speed Intra-Chip Communication," Sendai, Japan, January 23, 2007.
34. T. Nagai, T. Takahashi, N. Onizawa, and T. Hanyu, "Automatic Place and Route Scheme in Multiple-Valued Current-Mode Circuit Design," Gyeongju, Korea, November 17, 2006.
35. H. Shirahama, A. Mochizuki, and T. Hanyu, "Low-power Latch Based on Dynamic Differential Logic," Gyeongju, Korea, November 17, 2006.
36. 高橋知宏, 水澤一泰, 羽生貴弘, "多値2線符号化に基づく高性能非同期データ転送VLSI," 宮城, 2006年10月27日.
37. 水澤一泰, 高橋知宏, 羽生貴弘, "多値2線符号化に基づく双方向非同期データ転送LSIの高性能化," 秋田, 2006年9月1日.
38. 三浦成友, 望月明, 羽生貴弘, "2線差動論理に基づくノイズフリー多値集積回路," 秋田, 2006年9月1日.
39. 池田智和, 鬼沢直哉, 羽生貴弘, "隣接データの類似性に着目した高速LDPC復号化とその評価," 秋田, 2006年9月1日.
40. 望月明, 羽生貴弘, "差動ロジックに基づく高性能VLSIの展望," 宮城, 2006年8月23日.
41. A. Mochizuki, T. Kitamura, H. Shirahama and T. Hanyu, "Design of a Microprocessor Data Path Using Four-Valued Differential-Pair Circuits," Singapore, May 18, 2006.
42. A. Mochizuki and T. Hanyu, "Highly Reliable Multiple-Valued Circuit Based on Dual-Rail Differential Logic," Singapore, May 18, 2006.

6. 研究組織

(1) 研究代表者

羽生 貴弘 (HANYU TAKAHIRO)
 東北大学・電気通信研究所・教授
 研究者番号:40192702

(2) 研究分担者

[平成18年度参画]

望月 明 (MOCHIZUKI AKIRA)

東北大学・電気通信研究所・助教
研究者番号:40359542

[平成 19～20 年度参画]

松本 敦 (MATSUMOTO ATSUSHI)
東北大学・電気通信研究所・助教
研究者番号:40455853

[平成 20 年度参画]

夏井 雅典 (NATSUI MASANORI)
東北大学・電気通信研究所・助教
研究者番号:10402661

(3)連携研究者

なし