

研究種目：基盤研究（B）

研究期間：2006～2009

課題番号：18300016

研究課題名（和文）大規模数値計算向けリコンフィギャラブルプロセッサの研究

研究課題名（英文）Research of Reconfigurable Processor for Large-scale numerical computation

研究代表者

弘中 哲夫（HIRONAKA TETSUO）

広島市立大学・大学院情報科学研究科・教授

研究者番号：10253486

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：計算機アーキテクチャ，リコンフィギャラブルプロセッサ，高精度数値計算

### 1. 研究計画の概要

本研究課題は大規模数値計算向けリコンフィギャラブルプロセッサの研究開発を目的とする。具体的には、大規模数値計算向けリコンフィギャラブルプロセッサの構成要素となる次の3つの研究開発が本研究課題の研究目的である。

- (1) 従来型の演算器より圧倒的に小面積であり、高い演算精度を実現する整数、および、浮動小数点用ディジットシリアル演算演算器の研究開発。
- (2) 大規模数値計算向けリコンフィギャラブルプロセッサアーキテクチャの研究開発。
- (3) 大規模数値計算向けリコンフィギャラブルプロセッサを活用するアプリケーションの研究開発。

### 2. 研究の進捗状況

本研究の目的達成に必要な4つの研究開発についてそれぞれ述べる。

- (1) ディジットシリアル演算器アーキテクチャに基づく、整数演算器と8倍精度浮動小数演算器の開発を終え、特に8倍精度浮動小数演算器演算器において従来のパラレル型演算器と比較して面積あたりの性能にして加減算で0.5倍、乗算器2.87倍、除算器で4.36倍の性能を達成する事ができた。
- (2) 大規模数値計算向けリコンフィギャラブルプロセッサアーキテクチャの前段階として整数演算を主体としたDS-HIEプロセッサを提案し、プロトタイププロセッサのシミュレーション評価を行った。その結果、個々の演算器の単体性能が低くとも面積あたりの演算性能が高ければ、高い総合性

能が実現できる事を確認した。また、これまでDS-HIEで演算器間ネットワークとして提案した Benes 網ベースのネットワークの活用方法、および、メモリアーキテクチャの有効性をシミュレーション評価により示す事ができた。

- (3) 大規模数値計算向けリコンフィギャラブルプロセッサを活用するアプリケーションとしてCG法を8倍精度のディジットシリアル浮動小数点演算器で実現する方法を研究した。その結果開発した8倍精度浮動小数点演算器を用いてCG法により数値計算の解を求めるアクセラレータを実現する事で、従来のパラレル演算器で実現したものと比較して同一面積であれば、14.8倍の演算性能を達成できる事が分かった。また、同じ性能であれば、消費エネルギーを83.4%削減できる事が分かった。これによりリコンフィギャラブルプロセッサへのアプリケーション搭載の準備ができた。

### 3. 現在までの達成度

②おおむね順調に進展している。

(理由) 8倍精度浮動小数演算器の開発を終えていること。大規模数値計算向けリコンフィギャラブルプロセッサアーキテクチャのベースとなるDS-HIEの有効性を整数演算で示しており、大規模数値計算向けリコンフィギャラブルプロセッサアーキテクチャの前段階評価を終えていること。大規模数値計算向けリコンフィギャラブルプロセッサを活用するアプリケーションとしてCG法を実現していること。さらに本年度の研究計画により、当初計画の1年遅れであるが、浮動小数点演算器を大規模数値計算向けリコンフィ

ギャラブルプロセッサの詳細設計の段階にあり、計画年度までに目標としている研究をすべて実現できる状況にあるため。

#### 4. 今後の研究の推進方策

今後の研究の推進策としては、当初計画で1年遅れで行う規模数値計算向けリコンフィギャラブルプロセッサの詳細設計、および、LSI 試作を今年度2月までに実施し、その試作 LSI の評価を研究期間内に行うことで、DS-HIE アーキテクチャの大規模数値計算向けリコンフィギャラブルプロセッサのアーキテクチャとしての適合性評価を研究期間内に行う予定である。

#### 5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計26件)

- ① K. Tanigawa and T. Hironaka,  
"Evaluation of Compact High-Throughput Reconfigurable Architecture Based on Bit-Serial Computation," International Conference on Field-Programmable Technology, 2008, pp.273-276, December 7-10 2008, Taipei Taiwan.
- ② Kazuya Tanigawa, Tetsuya Zuyama, Takuro Uchida and Tetsuo Hironaka,  
"EXPLORING COMPACT DESIGN ON HIGH THROUGHPUT COARSE GRAINED RECONFIGURABLE ARCHITECTURES," In Proceedings of the 18th International Conference on Field Programmable Logic and Applications (FPL), pp. 543-546, September 08-10 2008, Heidelberg Germany.
- ③ Tomoyuki Kawamoto, Kazuya Tanigawa, Tetsuo Hironaka and Yuhki Yamabe  
"Development and Evaluation of Raytracing Acceleration Engine with Bit Serial Arithmetic Units," Proceedings of the ITC-CSCC 2008, pp.237-240, July 6-9, 2008, Yamaguchi-Pref. Japan.
- ④ Yasuhiro Nishinaga, Takuro Uchida, Tetsuya Zuyama, Kazuya Tanigawa, Tetsuo Hironaka  
"Development of Compiler which Supports High-level Programming Language for Dynamic Reconfigurable Architecture DS-HIE," Proceedings of the ITC-CSCC 2008, pp. 405-408, July 6-9, 2008, Yamaguchi-Pref. Japan.

- ⑤ Takuro Uchida, Yasuhiro Nishinaga, Tetsuya Zuyama, Kazuya Tanigawa, Tetsuo Hironaka  
"Development of Heterogenous Multi-core Processor "Hy-DiSC" with Dynamic Reconfigurable Processor," Proceedings of the ITC-CSCC 2008, pp145-148, July 6-9, 2008, Yamaguchi-Pref. Japan.

[その他]

- ① 内田琢郎, 西永康弘, 頭山哲也, 谷川一哉, 弘中哲夫, "再構成型プロセッサを含んだ非対称型マルチプロセッサ Hy-DiSC", 第10回IPアワード(東芝MeP賞)受賞, 2008年4月24日, 品川 日本.