

平成22年6月7日現在

研究種目：基盤研究(B)
 研究期間：2006～2009
 課題番号：18300016
 研究課題名（和文） 大規模数値計算向けリコンフィギャラブルプロセッサの研究
 研究課題名（英文） Research of the reconfigurable processor for large-scale numerical computation
 研究代表者
 弘中 哲夫 (HIRONAKA TETSUO)
 広島市立大学・情報科学研究科・教授
 研究者番号：10253486

研究成果の概要（和文）：

科学技術計算分野において多倍長浮動小数点演算を必要とするアプリケーションとしてループ積分やCG法がある。本研究ではそれらのアプリケーションで使用される多倍長浮動小数点演算の高速化を実現するHP-DSFPアーキテクチャを提案する。HP-DSFPでは、ディジットシリアル演算方式を採用することで同一チップ面積では従来型演算器を用いた場合より2.4倍高い性能を達成できることを示した。

研究成果の概要（英文）：

Scientific calculations such as Loop integrals and CG methods require multiple-precision floating-point operations. In this project, to achieve faster multiple-precision floating-point operations used in these applications, we propose HP-DSFP architecture. In HP-DSFP architecture, by using the digit-serial computation scheme, we achieved 2.4 times higher performance compared with the conventional arithmetic unit using the same chip area.

交付決定額

(金額単位：円)

| | 直接経費 | 間接経費 | 合計 |
|--------|------------|-----------|------------|
| 2006年度 | 2,900,000 | 0 | 2,900,000 |
| 2007年度 | 4,400,000 | 1,320,000 | 5,720,000 |
| 2008年度 | 1,100,000 | 330,000 | 1,430,000 |
| 2009年度 | 4,400,000 | 1,320,000 | 5,720,000 |
| 総計 | 12,800,000 | 2,970,000 | 15,770,000 |

研究分野：総合領域

科研費の分科・細目：情報学・計算機アーキテクチャ

キーワード：リコンフィギャラブルプロセッサ，高精度数値計算

1. 研究開始当初の背景

CPU や GPU 等のプロセッサに搭載されている倍精度浮動小数点演算器を利用した、多倍長精度演算の高速化手法の研究が行われている。このような手法を用いた多倍長精度演算の実装は容易であるが、各プロセッサに搭載されている倍精度浮動小数点演算器を複数利用したエミュレーションであるため、演算速度の面で有利とは言えない。また一方で、近年リコンフィギャラブルデバイスを用いた多倍長精度演算の高速化として、FPGA に多倍長精度演算器を多数アプリケーションの構造に合わせて柔軟に構成することで専用エンジンを実現し、高速化を図る研究が行われている。しかし、一般には FPGA 実装した多倍長精度演算器は ASIC 実装されたものと比べ性能が低く、かつ、回路面積も大きくなるため、多数の多倍精度演算器を用いた効果的なストリーミング演算を行う事が難しい。

そこで、高性能な多倍長精度演算器を柔軟に相互接続して効果的なストリーミング演算を行う大規模数値計算向けリコンフィギャラブルプロセッサの研究開発が多倍精度演算を必要とするアプリケーション向けに必要であった。

2. 研究の目的

本研究課題は多倍精度演算を用いた大規模数値計算向けリコンフィギャラブルプロセッサの研究開発を目的とする。具体的には、大規模数値計算向けリコンフィギャラブルプロセッサの構成要素となる次の4つの研究開発が本研究課題の研究目的である。

- (1) リコンフィギャラブルプロセッサ要素演算器となる小面積、かつ、多倍精度演算が可能な浮動小数点演算器の研究開発。
- (2) リコンフィギャラブルプロセッサ用メモリアーキテクチャの研究開発。
- (3) リコンフィギャラブルプロセッサの演算器間ネットワークの研究開発。
- (4) 大規模数値計算向けリコンフィギャラブルプロセッサを活用するアプリケーションの研究開発。

3. 研究の方法

多倍精度演算用の大規模数値計算向けリコンフィギャラブルプロセッサの4つの研究目的についてそれぞれ、研究方法を説明する。

- (1) リコンフィギャラブルプロセッサ要素演算器となる小面積、かつ、多倍精度演算が可能な浮動小数点演算器としてディジット単位で演算を行うディジットシリアル演算

器方式の検討を行った。先行研究では既に様々なディジットシリアル演算器が提案されているが、いずれも整数演算用の演算器であり、浮動小数点演算器は調査した範囲では見つける事が出来なかった。そこで、まず、①ディジットシリアル浮動小数点演算器の要素部品となる、ディジットシリアル整数演算器の詳細設計と評価を行った。次に、これらの整数演算器を用いることで、②ディジットシリアル浮動小数点演算器の詳細設計と評価を行った。

(2) リコンフィギャラブルプロセッサ用メモリアーキテクチャの研究開発では、多数のディジットシリアル高精度浮動小数点演算器に連続的に供給するためのデータ供給アーキテクチャについて研究を行った。具体的には、リコンフィギャラブルプロセッサへのメモリからのデータ供給方法の性能を評価するシミュレータを作成し評価を行った。

(3) リコンフィギャラブルプロセッサの演算器間ネットワークの研究開発では、①演算器間ネットワークの実現に必要なトランジスタ数の算出と、演算器間ネットワークにより得られる演算性能の評価を行うシミュレータを作成した。リコンフィギャラブルプロセッサに最適な演算器間ネットワークの構成方式の研究を行った。その結果から、②リコンフィギャラブルプロセッサの全体アーキテクチャを明らかにした。その後、③リコンフィギャラブルプロセッサの詳細設計を行い、LSI テクノロジーを用いて設計試作を行い、実チップでの動作確認を行う。

(4) 大規模数値計算向けリコンフィギャラブルプロセッサを活用するアプリケーションの研究開発。①提案するリコンフィギャラブルプロセッサアーキテクチャで動作する8倍精度浮動小数点演算器を用いたCG法、ループ積分アプリケーションを開発し、設計したリコンフィギャラブルプロセッサでの性能評価を行う。

4. 研究成果

多倍精度演算を用いた大規模数値計算向けリコンフィギャラブルプロセッサの研究開発において次のような研究成果が得られた。

- (1) 小面積、かつ、多倍精度演算が可能なディジットシリアル浮動小数点演算器の詳細設計結果とその性能評価結果を得た。

詳細は以下のとおりである。本研究では、8倍精度浮動小数点演算を対象として、性能、面積、消費電力の点で最も効率が良いディジット幅を持つ浮動小数点演算器を明らかにするために、異なるディジット幅を持つディ

ジットシリアル演算器を設計し、評価した。この時使用したディジットシリアル演算器は浮動小数点演算器の中で使用されるユニットの中で最も多くの面積を占めている整数乗算器を用いて評価した。その結果、ディジット幅 8 のディジットシリアル乗算器がパラレル乗算器と比較して、面積あたりのスループットにおいて 3.21 倍良く、消費電力あたりのスループットにおいて 3.00 倍良いことが分かった。

次に、上記により求めたディジット幅を用いて、ディジットシリアル浮動小数点演算器を設計し、パラレル浮動小数点演算器とスループット性能、面積、消費電力の点で比較した。今回設計した浮動小数点演算器は浮動小数点加減算器と浮動小数点乗算器であり、Rohm 0.18 μm のテクノロジーを使用し、論理合成を行う事で評価した。その結果、ディジットシリアル浮動小数点乗算器はパラレル浮動小数点乗算器と比較して、面積あたりのスループット性能において 1.25 倍、消費電力あたりのスループット性能において 5.01 倍の性能であった。浮動小数乗算器ではディジットシリアル演算器の方が有利である事がわかった。しかしながら、ディジットシリアル浮動小数点加減算器においては、パラレル浮動小数点加減算器と比較して、面積あたりのスループット性能において 0.23 倍、消費電力あたりのスループット性能において 0.15 倍の性能であり、浮動小数点加減算器ではパラレル演算器の方が有利である事がわかった。

(2) リコンフィギャラブルプロセッサ用メモリアーキテクチャ、演算間配線アーキテクチャの研究開発成果として次の物が得られた。

①リコンフィギャラブルプロセッサ用メモリアーキテクチャ、演算器間ネットワークアーキテクチャについてシミュレータを用いて詳細な評価、および、対象アプリケーションに対する適合性などを検討した結果、次のようなリコンフィギャラブルプロセッサ用アーキテクチャを研究成果として得た。これを図 1 に示す。以下 HP-DSFP アーキテクチャを構成する各ユニットについて解説する。

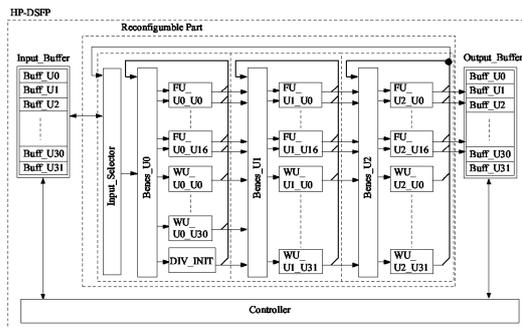


図 1 HP-DSFP のブロック図

| | |
|---------------|--|
| 演算精度 | 256-bit floating-point |
| 動作周波数 | 133MHz |
| FU | 48[個] |
| Wait Unit | 96[個] |
| Input Buffer | 32[個] |
| Output Buffer | 16[個] |
| Benes Network | 128 x 128 Benes network x 3[個] |
| 演算機能 | 加算, 減算, 乗算, 除算 (Goldschmidt 法) 条件分岐, 定数計算, 絶対値, シグマ計算 |
| パッケージ | PGA257 |

表 1HP-DSFP の仕様

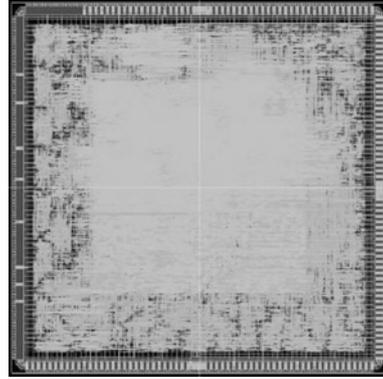


図 2 HP-DSFP チップのレイアウト図

Input Buffer/Output Buffer: Input Buffer は演算対象のデータをプロセッサ外部からパラレルデータとして取り込み、これをディジットシリアルデータとして、Reconfigurable Part にデータを伝達する機能を持つユニットである。Output Buffer は、Reconfigurable Part から送られてくる演算結果をパラレルデータに変換して外部に出力する機能を持つ。また Input Buffer/Output Buffer はダブルバッファ構成とした。

FU: 加算, 減算, 乗算, 条件分岐, 定数計算, 絶対値, シグマ計算の演算を行う浮動小数点ユニットである。再構成が可能となっており、1つ1つのFUを各演算機能に切り替える事ができる。

DIV INIT: 除算の初期化を行う回路である。今回の FU 数においては除算を実現する Goldschmidt 法が 1 個程度実装できる FU 数であったので、DIV INIT ユニットは 1 つだけ用意した。

WU: WU (Wait Unit) はディレイとしての機能のみを持つユニットである。ディレイが必要な場合にこれを用いる。

Benes Network: FPU, WU を接続するための配線ネットワークである。再構成が可能となっており、構成情報によって、それぞれの接続関係を設定することができる。

Controller: 各ユニット、外部入出力とデータの送受信を行うユニットである。

②次に検討した HP-DSFP アーキテクチャを CMOS Rohm 0.18 μm テクノロジーを用いて、7.5mm 角チップに実装した。その仕様が表 1 であり、チップレイアウトが図 2 である。

HP-DSFP を実装したチップの動作周波数はレ

アウト後シミュレーションの結果 133MHzであった。

③チップに実装した DS-HPFP の性能評価を行うため、ディジットシリアル演算器ではなく、パラレル演算器で実装したリコンフィギャラブルプロセッサと性能の比較評価を行った。その結果、ディジットシリアル演算器を用いた場合、使用回路面積とチップの入出力ピン数を同一にした条件において、DS-HPFP はパイプライン化したパラレル演算器を用いたリコンフィギャラブルプロセッサより、2.4 倍性能がよかった。また試作したチップを LSI テスタ上で動作確認を行った結果、設計通り動作している事を確認している。

(3) 大規模数値計算向けリコンフィギャラブルプロセッサを活用するアプリケーションの研究開発。

HP-DSFP で実行するアプリケーションとして FFT, ループ積分, CG 法の 3 つを作成し、性能評価を行った。なお、性能の比較対象としては、マイクロプロセッサ Intel Xeon CPU X3350 (クロック周波数: 2660MHz システムバス: 1333MHz 二次キャッシュ: 12288KB) を搭載した Linux ワークステーションで多倍精度浮動小数点演算ライブラリ GNU mpfr で同じ問題について HP-DSFP と同様に 8 倍精度で演算した場合の実行時間を比較対象とした。なお、このとき、HP-DSFP はシミュレーション評価通り 133MHz で動作するものと仮定した。その結果、実行時間を比較した時、データ数 131,072 点の FFT においては 7.41%, データ数 1,000,000 点のループ積分においては 9.20%, 行列サイズ 2,000 の行列に対する CG 法では 21.51%にまで実行時間を Intel Xeon CPU X3350 に対して削減し、商用プロセッサに対して圧倒的に高い性能を達成できる事を示した。

5. 主な発表論文等

[雑誌論文] (計 1 件)

① 谷川一哉, 梅田賢一, 弘中哲夫, “ビットシリアル演算を導入した再構成型プロセッサにおける再構成部の性能評価,” 電子情報通信学会論文誌 D, 査読有, Vol. J92-D No. 12 pp. 2089-2104, 2009.

[学会発表] (計 20 件)

- ① Tetsuya Zuyama, Kazuya Tanigawa, Tetsuo Hironaka, “Development of DS-HIE Architecture,” Proceedings of the ITC-CSCC 2007, 査読有, Vol. 1, pp. 47-48, 2007.
- ② 山辺裕樹, 谷川一哉, 弘中哲夫, “ディジット幅変換機能付きメモリとその応用,” 信学技報, 査読無, vol. 107, no. 225, RECONF2007-15, pp. 1-6, 2007 年.
- ③ 頭山哲也, 谷川一哉, 弘中哲夫,

“DS-HIE アーキテクチャにおける配線構造の検討”, 信学技報, 査読無, vol. 107, no. 225, RECONF2007-17, pp. 13-18, 2007 年.

- ④ 山辺裕樹, 谷川一哉, 弘中哲夫, “ディジットシリアル演算器を用いた FIR フィルタの設計と初期評価”, 信学技報, 査読無, vol. 107, no. 334, VLD2007-81, pp. 67-72, 2007 年.
- ⑤ 内田琢郎, 頭山哲也, 谷川一哉, 弘中哲夫, “ディジットシリアル演算を導入した再構成型アーキテクチャの性能評価”, 信学技報, 査読無, vol. 107, no. 342, RECONF2007-44, pp. 7-12, 2007 年.
- ⑥ K. Tanigawa and T. Hironaka, “Evaluation of Compact High-Throughput Reconfigurable Architecture Based on Bit-Serial Computation,” International Conference on Field-Programmable Technology, 査読有, 2008, pp. 273-276, 2008
- ⑦ 伴大雅, 白石雄, 谷川一哉, 弘中哲夫, “科学技術計算機エンジンに使用するディジットシリアル浮動小数点演算器の開発”, 信学技報, 査読無, vol. 108, no. 220, RECONF2008-32, pp. 57-62, 2008 年.
- ⑧ Kazuya Tanigawa, Tetsuya Zuyama, Takuro Uchida and Tetsuo Hironaka, “EXPLORING COMPACT DESIGN ON HIGH THROUGHPUT COARSE GRAINED RECONFIGURABLE ARCHITECTURES,” In Proceedings of the 18th International Conference on Field Programmable Logic and Applications (FPL), 査読有, pp. 543-546, 2008.
- ⑨ Tomoyuki Kawamoto, Kazuya Tanigawa, Tetsuo Hironaka and Yuhki Yamabe “Development and Evaluation of Raytracing Acceleration Engine with Bit Serial Arithmetic Units” Proceedings of the ITC-CSCC 2008, 査読有, pp. 237-240, 2008.
- ⑩ 西永康弘, 内田琢郎, 頭山哲也, 谷川一哉, 弘中哲夫, “ディジットシリアル演算器を導入した動的再構成型アーキテクチャ DS-HIE 用コンパイラの開発,” 査読無, vol. 108, no. 48, RECONF2008-17, pp. 25-30, 2008 年.
- ⑪ 西永康弘, 梅田賢一, 谷川一哉, 弘中哲夫, “再構成型プロセッサ DS-HIE における遅延ノード挿入による性能向上の評価,” 査読無, pp. 12 - 13, 平成 21 年度 電気・情報関連学会中国支部第 60 回連合大会, 2009 年.
- ⑫ 梅田賢一, 西永康弘, 谷川一哉, 弘中哲夫, “再構成によるデータ転送オーバ

一ヘッドを削減した再構成型プロセッサ DS-HIE の性能評価,” 査読無, pp. 491-492, 平成 21 年度 電気・情報関連学会中国支部第 60 回連合大会, 2009 年.

- ⑬ 白石雄, 伴大雅, 谷川一哉, 弘中哲夫, ”FPGA を用いた共役勾配法の高速度化の検討”, 査読無, pp. 20-21, 平成 21 年度 電気・情報関連学会中国支部第 60 回連合大会, 2009 年.
- ⑭ 川本智之, 伴大雅, 吉岡佑記, 谷川一哉, 弘中哲夫, ”CG 法計算用再構成プロセッサ HP-DSFP に用いる演算ユニットの構成検討,” 査読無, pp. 487 - 488, 平成 21 年度 電気・情報関連学会中国支部第 60 回連合大会, 2009 年.
- ⑮ 梅田賢一, 西永康弘, 谷川一哉, 弘中哲夫, ”再構成型プロセッサ DS-HIE における入出力データ転送機構の検討,” 信学技報, 査読無, vol. 109, no. 198, RECONF2009-29, pp. 61-66, 2009 年.
- ⑯ 西永康弘, 梅田賢一, 谷川一哉, 弘中哲夫, ”ビットシリアル演算器を用いた再構成型プロセッサ DS-HIE におけるデータフロー生成の最適化手法の提案,” 信学技報, 査読無, vol. 109, no. 198, RECONF2009-28, pp. 55-60, 2009 年.
- ⑰ 吉岡佑記, 川本智之, 伴大雅, 谷川一哉, 弘中哲夫, ”高精度浮動小数点演算用リコンフィギャラブルアクセラレータに用いる数学関数の実装手法に関する検討,” 信学技報, 査読無, vol. 109, no. 198, RECONF2009-28, pp. 119-124, 2009 年.
- ⑱ 梅田賢一, 内田琢郎, 谷川一哉, 弘中哲夫, ”MeP の拡張機能を用いた再構成型プロセッサ Hy-DiSC の性能評価,” 信学技報, 査読無, vol. 109, no. 26, RECONF2009-1, pp. 1-6, 2009 年.
- ⑲ 谷川一哉, 伴大雅, 弘中哲夫, ”高精度な科学技術計算エンジン向きディジッ トシリアル浮動小数点演算器,” 信学技報, 査読無, vol. 110, no. 32, RECONF2010-6, pp. 31-36, 2010 年.
- ⑳ Kazuya Tanigawa, Ken'ichi Umeda, Tetsuo Hironaka, ”Comparison of Bit Serial Computation with Bit Parallel Computation for Reconfigurable Processor”, In Proceedings of the 6th International Workshop on Applied Reconfigurable Computing (ARC 2010), 査読有, pp. 388-393, 2010.

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

名称 :

発明者 :

権利者 :

種類 :

番号 :

出願年月日 :

国内外の別 :

○取得状況 (計 0 件)

名称 :

発明者 :

権利者 :

種類 :

番号 :

取得年月日 :

国内外の別 :

[その他]

6. 研究組織

(1) 研究代表者

弘中 哲夫 (HIRONAKA TETSUO)

広島市立大学・情報科学研究科・教授

研究者番号 : 1 0 2 5 3 4 8 6

(2) 研究分担者

なし

(3) 連携研究者

谷川 一哉 (TANIGAWA KAZUYA)

広島市立大学・情報科学研究科・助教

研究者番号 : 8 0 3 8 2 3 7 3