

研究種目：基盤研究 (B)

研究期間：2006～2008

課題番号：18360137

研究課題名 (和文)

SiC パワーデバイスの EMC を考慮したパワー配線回路設計および集積化

研究課題名 (英文)

Design and Integration of Power Line Circuit for SiC Power Devices
Considering EMC

研究代表者 引原 隆士 (HIKIHARA TAKASHI)

京都大学・大学院工学研究科・教授

研究者番号：70198985

研究成果の概要：

本研究は、SiC パワーデバイスの優位な特性の一つである高速スイッチング特性を生かす回路設計を検討すると同時に、そのパワー配線および大電流のスイッチングによって発生する電磁放射の問題等に、実験的に検討を加えたものである。その結果、SiC デバイスの開発に合わせて物性物理に立脚したデバイスモデルを構築し、高速スイッチングを実現するための駆動回路の開発を行い、SiC パワーデバイスの集積化に向けてパワー配線の設計およびその EMC 特性と抑制に関する知見を得た。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	7,100,000	2,130,000	9,230,000
2007年度	4,400,000	1,320,000	5,720,000
2008年度	2,800,000	840,000	3,640,000
年度			
年度			
総計	14,300,000	4,290,000	18,590,000

研究分野：電力工学・電気機器工学

科研費の分科・細目：パワーエレクトロニクス

キーワード：SiC, パワーデバイス, EMC, 回路実装, 集積化

1. 研究開始当初の背景

近年半導体スイッチによる小容量から大容量までのシームレスな電力変換技術の確立が望まれており、電力用半導体デバイスに対する高速化、高耐電圧化、大容量化の一層の要求が高まっている。しかしながら、回路及び機器において、Si ベースのパワー素子の物理限界から回路および制御手法が複雑

化し、要求に合致した特性を持たすことが困難となっている。環境問題、エネルギー問題への対応も加わり、ワイドギャップ半導体である SiC デバイスに期待が集まっている。

研究開始当初、SiC パワーデバイスは漸く SBD の商品化が実現したのみで、能動素子の開発は十分ではなく、素子のモデリングおよび実装に関する技術は確立していなかった。

SiC パワーデバイスの優位な特性を生かす回路設計は、未だ開発段階に在る。特に、高速スイッチング特性を利用した回路において、そのパワー配線および大電流のスイッチングによって発生する電磁放射 (EMI) の問題、熱伝導の問題を無視して行うことはできない。これらの問題を、デバイスモジュール開発の段階から検討を加えることが不可欠となっていた。本研究は、以上の様な背景の下に申請し、遂行したものである。

2. 研究の目的

本研究は、SiC パワーデバイスの優位な特性の一つである高速スイッチング特性を生かす回路設計を検討すると同時に、そのパワー配線および大電流のスイッチングによって発生する電磁放射 (EMI) の問題、熱伝導の問題を考慮した、総合的な SiC パワーデバイス応用の基礎を確立するために遂行することを目的としている。より具体的には、デバイスの集積化を目指した、SiC パワーデバイスを用いた電力変換回路のパワー配線、および配線設計最適化のために不可欠な条件をまとめることを目的としている。

3. 研究の方法

本申請では、申請者のグループが中心となって行ってきた、SiC パワーデバイスのモデリングおよび回路実装に関するこれまでの成果、さらに EMI の抑制と EMC (他の機器との電磁的両立性) を考慮した回路設計・実装技術の蓄積に基づき、SiC パワーデバイスの回路実装と集積化およびその可能性を検討する。この集積化における課題は、パワー配線の引き回しによる誘導性成分、容量性成分の発生と、スイッチングに伴って生じる EMI の抑制である。また、このような回路設計においては、素子の非線形特性を十分に考慮することが重要となる。その意味で、本グループは電気電子回路の非線形理論に関して従来より蓄積してきた解析理論と技術を適用した。これらに合わせて、SiC パワーデバイスとその制御系の SoI 技術の確立に向けて、少容量から大容量までの電気エネルギーの変換技術を回路理論に則って検証し、その知見を実装技術にまで適用する技術的基礎を確立することを考えた。

まず、これまで申請者のグループがそれぞれのテーマの遂行において蓄積してきたパワー半導体回路の実装技術、およびその解析技術を用いて、新しい SiC パワーデバイスの応用に向けた連携を行い、集中的に検討した。SiC パワーデバイスとその応用に関する研究は、デバイス開発においてはウエハの生成におけるマイクロパイプの解消等、既に大きな峠を越え、回路実装およびその集積化に向けた段階にある。SiC パワーデバイスの回路実装は、従来の SiC パワーデバイスの個別素子によるディスクリートな回路実装と異なり、SiC パワーデバイス的高速スイッチング動作、高耐圧、低導通抵抗、高温耐性に基づく、高圧・大電流回路の小型化を行うための実装化、集積化がキーテクノロジーとなる。パワー回路の集積化は電子回路の集積化と大きく異なり、パワー配線の設計とその EMI (電磁干渉) による回路及び周辺の制御系等への影響を評価した上で電磁的両立性を考慮した設計 (EMC 設計) を行う必要がある。また、SiC パワーデバイスの制御系は、従来のアナログ系の制御方式を用いることが出来ず、デジタル系との融合が重要となる。従って、EMI の影響評価と EMC 実現は回路自らの動作に対しても律則条件となる可能性が高い。このような点に基づき、SiC パワーデバイスのパワー配線設計を行うと同時にデバイスのゲートドライブの検討を含めた集積化の可能性を、実験、シミュレーション、回路設計により推進した。

4. 研究成果

本研究は、SiC パワーデバイスの優位な特性の一つである高速スイッチング特性を生かす回路設計を検討すると同時に、そのパワー配線および大電流のスイッチングによって発生する電磁放射 (EMI) の問題、熱伝導の問題を考慮した、総合的な SiC パワーデバイス応用の基礎を確立するために遂行した。

具体的には 2006 年度は、この観点から特に SiC パワーデバイスの開発とデバイスのモデリングおよび回路実装に関して集中的に検討した。さらにそれらを回路実装した際に重要となる、EMC の解析技術についてまとめている。特に同年度は研究開始年度であるため、分担者個々の研究の成果を高め、それぞれの研究の中で EMC を考慮した研究課題を抽

出すことにも重点を置いた。さらに SiC パワーデバイスの集積化に向けて、電子回路およびパワー回路の中におけるエネルギーおよびパワーの再定義についても集中的に行った。

2007 年度は、前年度の検討に加え、特に SiC デバイスの物性物理に立脚したデバイスモデルを構築し、デバイスの駆動特性に関する外部回路の制約の下、高速スイッチングを実現するためのゲート駆動回路の検討を行った。さらに、その際に発生する EMC の評価方法を検討した。特に同年度は分担者個々の研究成果を総合し、EMC を考慮した検討を進め、回路設計に向けた準備を行った。

2008 年度は (1) SiC パワーデバイスの静特性、動特性検討のための計測システムの確立、(2) SiC 能動素子 Pspice モデルの確立、(3) 電力変換回路への SiC パワーデバイスの実装と高速スイッチング法の確立、(4) SiC パワーデバイスのパッケージ化とパワー配線の設計およびその EMC 特性の検証と利用、(5) SiC パワーデバイスを含む回路への共振型変換技術の適用の検討 について集中的に検討をすすめた。その結果、それぞれの技術的問題を明らかにし、特に数 MHz オーダーの高速パワースwitchingを達成できるゲートドライブ回路を開発すると同時に共振型変換器を製作してその高周波での可能性を示した。

以上の通り、本研究では、SiC パワーデバイスの集積化に向けて、パワー配線の最適設計のための基礎的な知見を得ることができた。それらの成果の多くは、次に示す通り査読付きの国内外の論文誌、国際会議報告、国内の研究集会で報告している。その成果のレベルは極めて高く、同分野において今後研究開発を進める上で、まず最初の方向性を示したものと言える。

加えて、従来ほとんど協力関係になかったデバイス開発の物性分野の研究者と、EMC 関係の設計者、電力変換回路の研究者および非線形回路の研究者が、相互の連携を取りながら、これまでに無い SiC パワーデバイスの回路実装技術の検討をすすめたという連携の効果は非常に大きく、若い研究者が活躍できる新しい研究領域を創成したと言える。その意味でも本研究の成果は、有形なものだけでなく、無形なより価値の高い成果となったと

判断できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

本研究に関連して発表した論文は以下の通りである。

[雑誌論文] (計 10 件)

1. T. Funaki, N. Phankong, T. Kimoto, and T. Hikihara, Measuring terminal capacitance and its voltage dependency for high-voltage power devices, IEEE Transaction on Power Electronics (2009) (to appear). (査読有り)
2. U. Paoletti, T. Hisakado, and O. Wada, Indirect extension of the image theory to partial inductance calculations, IEICE Electronics Express, vol. 5, no. 17, 644-649 (2008). (査読有り)
3. M. Noborio, J. Suda, and T. Kimoto, Improved Performance of 4H-SiC Double Reduced Surface Field Metal-Oxide-Semiconductor Field-Effect Transistors by Increasing RESURF Doses, Applied Physics Express, No. 1, 101403 (2008). (査読有り)
4. T. Funaki, T. Kimoto, and T. Hikihara, Evaluation of High Frequency Switching Capability of SiC Schottky Barrier Diode, Based on Junction Capacitance Model, IEEE Transaction on Power Electronics, Vol. 23, No. 5, pp. 2602-2611 (2008). (査読有り)
5. T. Funaki, T. Kimoto and T. Hikihara, Evaluation of capacitance-voltage characteristics for high voltage SiC-JFET, IEICE Electron. Express, Vol. 4 No. 16, pp. 517-523 (2007). (査読有り)
6. M. Noborio, J. Suda and T. Kimoto, 4H-SiC lateral double RESURF MOSFETs with low on resistance, IEEE Trans. Electron Devices, Vol. 54, pp. 1216-1223 (2007). (査読有り)
7. U. Paoletti and O. Wada, De-embedding Technique for the Extraction of Parasitic and Stray Capacitances from 1-Port Measurements, IEICE Trans. Commun., Vol. E90B, No. 6, pp. 2298-2304 (2007). (査読有り)
8. 中村克己, 南澤裕一郎, 豊田啓孝, 和田修己, 斎藤義行, 中村篤, マイクロコントローラの多電源ピン LECCS-core モデルの構築, 電子情報通信学会論文誌 C,

- Vol. J89-C, No.11, pp. 833-842 (2006).
(査読有り)
9. M. Noborio, J. Suda, and T. Kimoto, Reduction of on-resistance in 4H-SiC multi-RESURF MOSFETs, Materials Science Forum, Vol.527-529, pp.1305-1308, (2006.10). (査読無し)
 10. T. Funaki, S. Matsuzaki, T. Kimoto and T. Hikiyara, Characterization of punch-through phenomenon in SiC-SBD by capacitance-voltage measurement at high reverse bias voltage, IEICE Electron. Express, Vol.3, No.6, pp. 379-384 (2006). (査読有り)

[学会発表] (計 15 件)

1. U. Paoletti, T. Hisakado, and O. Wada, On the Extension of the Image Theory to Partial Inductance Calculation, 2008 Electrical Design of Advanced Packaging & Systems Symposium (2008 EDAPS), Seoul, Korea (2008.12.11)
2. N. Phankong, T. Funaki, and T. Hikiyara, Modeling of Power MOSFET Based on Capacitance-Voltage Characteristics, 平成 20 年電気学会産業応用部門大会, 高知 (2008.8.29).
3. 宅野嗣大, 引原隆士, SiC JFET のゲートドライブ回路とスイッチング特性, 電気学会産業応用部門全国大会, 高知 (2008.8.29).
4. U. Paoletti, T. Hisakado, and O. Wada, Effect of Package Common-Mode Current on PCB Power Bus Noise and Radiation, International Conference on Electronics Packaging (ICEP 2008), Tokyo (2008.6.11)
5. M. Noborio, J. Suda, and T. Kimoto, H-SiC double RESURF MOSFETs with a record performance by increasing RESURF dose, Proc. of 20th Int. Symp. on Power Semiconductor Devices & IC's, Orlando, USA (2008.5.19).
6. U. Paoletti, T. Hisakado, and O. Wada, Effect of Package Parasitics on Conducted and Radiated Emission with Mixed-Mode Analysis, 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, Singapore (2008.5.15)
7. U. Paoletti, T. Hisakado, and O. Wada, Importance and Limitations of Modeling Parasitic Capacitance Between Package and PCB for Power Bus Noise and Radiation, Pan-Pacific EMC Joint Meeting, 武蔵野市, (2008.5.15).
8. 引原 隆士, 宅野 嗣大, 電力変換回路近傍

に配置したグラウンドの放射電磁界強度分布への影響について, 平成 19 年電気関係学会関西支部連合大会, 神戸, G4-11 (2007.11.17).

9. 澤田 高志, 舟木 剛, 引原 隆士, 少数キャリア蓄積を考慮した SiC パワー・ダイオードの逆回復現象のモデリングに関する検討, 電気学会 電子デバイス/半導体電力変換回路研究会, ECD-07-72/SPC-07-98, 三重 (2007.10.25).
10. M. Noborio, J. Suda and T. Kimoto, Enhanced Channel Mobility in 4H-SiC MISFETs by Utilizing Deposited SiN/SiO₂ Stack Gate Structures, Int. Conf. on Silicon Carbide and Related Materials 2007, Ohtsu, Japan (2007.10.17).
11. T. Hisakado, A. Koyama, O. Wada, Time-domain Simulation of CMOS Output Buffer with LECCS-I/O Model and Time-variant Linear Switches, IEEE Int. Symp. on Electromagnetic Compatibility, WE-PM-2-SS-1, Honolulu, Hawaii, USA (2007.7.11)
12. U. Paoletti, T. Hisakado, O. Wada, Analytical Calculation of Point-to-Point Partial, Inductance of a Perfect Ground Plane, IEEE Workshop on Signal Propagation on Interconnects (SPI 2007), pp.217-220, Genova, Italy (2007.5.15)
13. 舟木 剛・澤田高志・引原隆士, 逆回復特性と空乏層蓄積電荷を考慮したパワー・ダイオードモデルについての一検討, 信学技報 CAS, Vol.106, No. 272, 大阪 (2006.10.4).
14. Y. Susuki, Y. Yokoi, and T. Hikiyara, Energy-based analysis of frequency entrainment described by van der Pol and PLL equations, 信学技報 NLP2006-100, 函館(2006.7.4).
15. Y. Sakai, T. Watanabe, O. Wada, T. Matsushima, K. Iokibe, Y. Toyota, and R. Koga, EMI Antenna Model Based on Common-Mode Potential Distribution for Fast Prediction of Radiated Emission, IEEE International Symposium on Electromagnetic Compatibility (EMC2006), Pennsylvania, USA (2006.6.28-30).

[図書] (計 1 件)

Howard Johnson Martin Graham 著
須藤 俊夫 監訳 和田修己 他 10 名 訳,
ハワード・ジョンソン 高速信号ボードの設計 基礎編, 丸善, 2007, 総ページ数 462.

〔産業財産権〕

○出願状況（計 1 件）

名 称：半導体スイッチング装置

発明者：澤田研一，築野孝，引原隆士，宅野
嗣大

権利者：住友電工株式会社，京都大学

種類：特許

番号：特願 2008-213101

出願年月日：2008 年 8 月 21 日

国内外の別：国内

6. 研究組織

(1) 研究代表者

引原 隆士 (HIKIHARA TAKASHI)

京都大学・大学院工学研究科・教授

研究者番号：70198985

(2) 研究分担者

和田 修己 (WADA OSAMI)

京都大学・大学院工学研究科・教授

研究者番号：10210973

木本 恒暢 (KIMOTO TSUNENOBU)

京都大学・大学院工学研究科・教授

研究者番号：80225078

舟木 剛 (FUNAKI TSUYOSHI)

大阪大学・大学院工学研究科・教授

(元 京都大学・大学院工学研究科・准教授)

研究者番号：20263220

薄 良彦 (SUSUKI YOSHIHIKO)

京都大学・大学院工学研究科・助教

(分担する理論的検討については，平成 19
年度に十分な成果を上げる事ができたため，
分担者から外した)

研究者番号：40402961

(3) 連携研究者

連携研究者は設定せず