

平成 21 年 3 月 31 日現在

研究種目：基盤研究 (C)

研究期間：2006 年度 ～ 2008 年度

課題番号：18500055

研究課題名 (和文) 組み込みシステムに対するソフト/ハード協調テスト法の開発

研究課題名 (英文) Development of Soft/Hard Co-Test Method for Embedded Systems

研究代表者

高松 雄三 (TAKAMATSU YUZO)

愛媛大学・大学院理工学研究科・教授

研究者番号：80039255

研究成果の概要：

本研究では、組み込みシステムに対して自動的にテストケースを生成する手法を開発した。開発した手法では、システムをハードウェアとソフトウェアにく別することなく、システム全体をテストすることが可能となる。また、テスト生成においては、仕様で与えられたシステムの動作やテスト生成時の様々な制約を論理回路で表現し、ハードウェアテスト生成ツールを用いた手法を開発することで、実用化が容易となるようにした。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	1,400,000	0	1,400,000
2007年度	1,200,000	360,000	1,560,000
2008年度	800,000	240,000	1,040,000
年度			
年度			
総計	3,400,000	600,000	4,000,000

研究分野：計算機工学

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：組み込みシステム，テスト，ハードウェア，ソフトウェア，協調テスト

1. 研究開始当初の背景

現代社会においては、電子機器、輸送機器、医療機器など様々な組み込みシステムと呼ばれる機器が我々の生活の基盤をなしている。これらの機器やシステムが誤動作を行った場合には、経済的に大きな損失をもたらしたり、人命に関わる場合も少なくない。したがって、システムが正常に動作するよう高い信頼性が要求されている。高い信頼

性を得るためには、システムのテストを厳密に行う必要があるが、システムが複雑になるにつれ、テストが非常に困難となってきた。またそれがたとえ可能であったとしても、非常に大きなテストコストが必要な場合があり、効率的なテスト法が求められている。

2. 研究の目的

組み込みシステムのテストにおいては、ソフトウェアとハードウェアを共にテストする必要があり、ソフトウェア、ハードウェアそれぞれに対する効率的なテスト法と、ソフトウェアとハードウェアを協調的にテストする手法の両面について、効果的な手法を開発する必要がある。

そこで本研究では、次のような目的で研究開発を行った。

- (1) 組み込みシステムに対してソフトウェアとハードウェアを協調させたテスト法を開発する
- (2) ハードウェア論理回路に対して、テスト・診断を効率的に行う手法を開発する。

ソフトウェアの設計・開発に対する定量的な品質管理法を開発する。

3. 研究の方法

本研究では以下のような方向で研究を行った。

- (1) 組み込みシステムの設計・製造技術が進歩するにつれ、高性能な機器が低コストかつ短期間で設計・製造可能となってきているが、その反面これらの機器をテストすることは益々困難、または高コストとなってきている。そこで、ソフトウェアとハードウェアを区別することなくシステム全体に対して、テストケースを自動的に生成する手法が求められている。本研究では、フローチャートで記述されたシステムに対して、原因-結果グラフから変換された論理回路図を用いて、ハードウェアテスト生成ツールを適用する手法を開発した。ハードウェアテスト生成ツールを用いることで、システムに矛盾が存在した場合には、それを指摘することができ、またフロ

ーチャート上に表せない入力制約なども付加回路を用いることで、テストケース生成時にそれらの制約などを反映させることが可能となる。提案法をプリンタシステムに適用することで、有効性を確認した。また、システムの規模を設計の早期の段階で見積もることを目的とした、ソフトウェアメトリクスの技法を用いた論理回路の評価手法を開発した。この手法では、ハードウェア記述言語で記述された論理回路に対して、様々なメトリクスを定義し、それらを測定することで、論理回路規模などを見積もることを可能にした。

- (2) 近年のハードウェア論理回路では、テスト・診断が非常に困難となってきたおり、解決すべき多くの課題が残されている。故障が存在すると判明した論理回路に対して故障位置を求める故障診断においても、高精度に故障位置を求める手法の開発や、診断コスト削減の手法が求められている。そこで本研究では、論理ゲート内のトランジスタショートを対象に高精度に故障診断を行う手法、故障診断に用いるテストパターン数を削減することで診断コストを低減する手法を開発した。トランジスタショートの故障診断においては、トランジスタレベルの故障を論理値でモデル化し、従来から用いられているゲートレベルのツールを利用することで、高速かつ高精度に診断を行うことを可能にした。ベンチマーク回路に対する実験の

結果、平均 2~9 個程度の故障位置に絞り込むことができた。また、故障診断コスト削減手法においては、故障シミュレーションを繰り返すことによって、不要なテストパターンを発見し、それらを削除することでテストパターン数の圧縮を可能にした。ベンチマーク回路に対する実験の結果では、元のテストパターンから 50~90%のテストパターンを削減することができた。さらに、与えられたテスト系列中のドントケアを発見する手法を開発した。この手法では与えられたテスト系列を部分系列に分割することによって、計算の効率化を行っている。ベンチマーク回路に対する実験の結果、最大で約 80%の入力値をドントケア値とすることができた。

- (3) ソフトウェアはその設計から開発、保守のすべての工程がほとんど人手で行われている。これは組み込みシステムといえども例外ではない。それゆえ、人為的なミスが仕様、設計並びにソースコードへ含まれる可能性があり、そこでの徹底した品質管理が必要とされている。しかし、現実には時間やコストの制約により、十分な実施が行われないまま組み込みシステムの製造工程に移行することも少なくない。したがって、効率的なテスト手法や効果的な品質評価・予測手法の研究が望まれている。本研究では、従来からソフトウェアのテスト並びに品質管理について行われている研究を調査・検討し、組み込みシステムにおいて特に重要と考えられる信頼性保証に重点を置いた品質管理法の開発を行った。具体的には、近年ソフトウェ

アテストの分野で注目を集めている直交表の概念を応用し、機能の組み合わせを効率的にテストするための手法と支援ツールの開発やシステムの仕様作成を支援する手法の開発を行った。また、近年はオープンソースソフトウェアが組み込みシステムに搭載される場面も増えてきたため、オープンソース開発に対する品質管理、特に信頼性の評価・予測に関する研究も行った。信頼度成長曲線モデルをオープンソース開発におけるバグ情報の解析に応用することで安定版リリースの時期や残存しているバグの件数を予測するといったことが可能になり、組み込みシステムに搭載するオープンソースソフトウェアの選択や管理の一助になると考えられる。

4. 研究成果

目的に対して研究を行った結果、次のような研究成果を得た。

- (1) 組み込みシステムに対して、ハードウェアテスト生成ツールを用いて、システム全体をテストするようなテストケースを自動的に生成する手法を開発し、小規模なサンプルシステムに対して有効性を確認した。
- (2) ハードウェア記述言語により設計された論理回路に対して、ソフトウェアメトリクスの技法を応用し、ゲート規模を早期に見積もる手法を開発した。ベンチマーク回路に対するシミュレーション実験の結果、提案手法の有効性を確認した。
- (3) 論理回路に対する故障診断の問題において、テストベクトル数を削減する手法を開発した。また、トランジスタショート故障の故障位置を正確に指摘する手法を開発した。提

案手法の有効性を、ベンチマーク回路に対する実験で確認した。

- (4) 論理回路のテスト系列において、論理値の変更が故障検出率に影響を与えないようなドントケア値をできるだけ多く求める手法を開発した。得られたドントケア値を含むテスト系列を利用することで、テスト系列の短縮や、テスト時の消費電力削減などの効果が期待できる。
- (5) 組込みシステムの設計において、その基盤となるシステム仕様やテストケースの作成に直交表の概念を応用し、見落とされがちな機能の組み合わせを効率的に指摘する支援手法を開発した。これにより、システム開発の初期段階で仕様の問題点を検出できた、また、効率的なテストケースの生成もできるため、後工程でのテストコストの削減が期待される。
- (6) オープンソース開発に対する品質管理モデルの開発を行った。開発したモデルを用いることで、ソフトウェアに潜在する欠陥総数とその検出までに要する時間を見積ることができ、オープンソースソフトウェアが組込みシステムに搭載される場合のリリース時期や搭載すべきモジュールの決定に役立つといった効果が期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 3 件)

- [1] 樋上喜信, 藤尾昇平, 阿萬裕久, 高橋寛, 高松雄三, “ハードウェアテスト生成ツールを用いた組込みシステムに対するテストケース生成法,” 組込みシステムシンポジウム論文集, pp. 151-157, 2008, 査読有.
- [2] Y. Higami, S. Kajihara, I. Pomeranz,

S. Kobayashi and Y. Takamatsu, “On Finding Don’t Cares in Test Sequences for Sequential Circuits,” *IEICE Trans. on Inf. & Syst.*, vol. E89-D, no. 11, pp.2748-2755, 2006, 査読有.

[3] 樋上喜信, Kewal K. Saluja, 高橋寛, 小林真也, 高松雄三, “組合せ回路および順序回路に対する検出・非検出情報に基づく診断用テスト圧縮法,” *情報処理学会論文誌*, vol. 47, no. 5, pp. 1269-1277, 2006年5月, 査読有.

[学会発表] (計 8 件)

[1] 黒川耕平, 阿萬裕久, “オープンソース開発におけるバグ報告累積数の成長曲線モデルを用いた分析,” *電子情報通信学会技術報告*, vol.108, no.326, pp.61-66, 2008年11月28日, 査読無.

[2] 藤尾昇平, 阿萬裕久, 樋上喜信, 高橋寛, 高松雄三, “原因-結果グラフを用いた組込みシステムに対する自動テストケース生成法,” *電気関係学科四国支部連合大会論文集*, p. 300, 2008年9月27日, 査読無.

[3] 阿萬裕久, “要求仕様作成に対する直交表を用いた支援法について,” *ソフトウェアシンポジウム 2008 Proceedings*, pp.154-155, 2008年6月25日, 査読無.

[4] 高橋寛, 樋上喜信, 阿萬裕久, 釜山天平, 小林真也, 高松雄三, “ハードウェアテスト生成ツールを用いた組み込みシステムのテストケース生成について,” *電子情報通信学会総合大会*. 2008年3月18日, 査読無.

[5] 山田輝, 阿萬裕久, 高松雄三, “直交表を用いた単体テストに関する考察 ~ JUnit 支援ツールの試作 ~,” *電子情報通信学会技術報告*, vol.107, no.5, pp.1-6, 2007年4月19日, 査読無.

[6] 阿萬裕久, 池田裕輔, 市川直樹, 樋上喜信, 高橋寛, 高松雄三, “ハードウェア設計に対するソフトウェアメトリクスの適用,” *電子情報通信学会総合大会*, 2007年3

月 21 日, 査読無.

[7] 樋上喜信, K. K. Saluja, 高橋寛, 小林真也, 高松雄三, “ゲートレベルを用いたトランジスタショートに対するテスト生成法,” 電子情報通信学会技術報告 (DC 研究会), vol. 106, no. 476, pp. 34-39, 2007 年 2 月 9 日, 査読無.

[8] Y. Higami, K. K. Saluja, H. Takahasi, K. Kobayashi and Y. Takamatsu, “Diagnosis of Transistor Shorts in Logic Test Environment,” Proc. IEEE Fifteenth Asian Test Symposium, pp. 354-359, 2006 年 11 月 26 日, 査読有.

6. 研究組織

(1) 研究代表者

高松 雄三 (TAKAMATSU YUZU)
愛媛大学・大学院理工学研究科・教授
研究者番号: 80039255

(2) 研究分担者

高橋 寛 (TAKAHASHI HIROSHI)
愛媛大学・大学院理工学研究科・准教授
研究者番号: 80226878

樋上 喜信 (HIGAMI YOSHINOBU)
愛媛大学・大学院理工学研究科・准教授
研究者番号: 40304654

阿萬 裕久 (AMAN HIROHISA)
愛媛大学・大学院理工学研究科・講師
研究者番号: 50333513

(3) 連携研究者

なし