

平成 21 年 5 月 26 日現在

研究種目：基盤研究（C）

研究期間：2006～2008

課題番号：18560274

研究課題名（和文） シリコンカーバイド静電誘導デバイスの限界性能の究明

研究課題名（英文） Research on the maximum performance of silicon carbide static induction devices

研究代表者

矢野 浩司（YANO KOJI）

山梨大学・大学院医学工学総合研究部・准教授

研究者番号：90252014

研究成果の概要：

我々は次世代省エネデバイスとして期待されている超低損失の炭化ケイ素静電誘導トランジスタを開発してきた。本研究では同デバイスの限界性能を明らかにする為に、スイッチング時間および負荷短絡耐量を評価した。その結果、ターンオン時間 30ns、ターンオフ時間は 80ns を実現した。また DC-DC コンバータの実機試験を行い、周波数 100kHz、電源電圧 400V、電流値 4.3A、デューティ比 50%の条件で行い安定な動作を確認できた。さらに 30 μ s 間の負荷短絡状態で 3500A/cm²の電流値を保証できた。これらの性能は同定格の Si-IGBT よりも大きく、今後の SiC パワーデバイスの研究開発において意義深い結果である。

交付額

（金額単位：円）

	直接経費	間接経費	合計
2006 年度	2,300,000	0	2,300,000
2007 年度	500,000	150,000	650,000
2008 年度	500,000	150,000	650,000
年度			
年度			
総計	3,300,000	300,000	3,600,000

研究分野：工学

科研費の分科・細目：電気電子工学 ・ 電力工学・電力変換・電気機器

キーワード：パワーデバイス、シリコンカーバイド、ワイドバンドギャップ、静電誘導トランジスタ

1. 研究開始当初の背景

SiC は Si の約 8 倍の降伏臨界電界強度および高い電子移動度を持つことからパワーデバイスとして理論上 Si の 161 倍の性能が実現できる。また熱伝導率が Si の 3 倍であることから破壊耐量、高温動作に優れ、「頑強な材料」とされている。資源エネルギー庁「省エネルギー戦略 2008」において、SiC パワーデバイスは次世代省エネデバイスとしてエ

ネルギー問題および地球温暖化問題を解決する重要技術とされている。

SiC 静電誘導トランジスタは MOS 構造を含んでおらず、SiC 材料本来の電子移動度が得られるとともに、絶縁層の低信頼性とは無関係になるため、超低損失性能および高信頼性が期待できる。これまでの我々の研究開発で、埋め込みゲート構造の SiC 静電誘導トランジスタ (SiC-BGSIT) を試作し、特性オン抵抗 1m Ω cm²、降伏電圧 700V の世界最高性能を実現

した。今後、同素子の実用化の為には、素子のスイッチングスピードや破壊耐量の限界値を明らかにする必要がある。

2. 研究の目的

本研究では、SiC-BGSITの超低損失性能、高速性能、高信頼性の限界性能を解明するために、同素子のスイッチング速度および負荷短絡耐量の評価を行った。

達成目標は以下の通りである。

- スwitching時間（ターンオン及びターンオフ時間）：20ns以下を実現する。（Si-IGBTの1/2）
- 逆バイアス安全動作領域(RBSOA)：500A/cm²までの出力電流密度で素子動作の信頼性を確保する。
- 負荷短絡耐量：30μs間の負荷短絡状態で3000A/cm²の電流値での非破壊を保証する（Si-IGBTの4倍）

3. 研究の方法

デバイスシミュレーションで素子の動作機構を解明するとともに主要な構造パラメータがオン抵抗、降伏電圧、スイッチング速度、負荷短絡耐量などの素子特性に与える影響を検討し、それを素子設計に反映させた。特に素子特性に影響を与えると予測されるソース長 W_s 、チャンネル幅が異なる素子を評価デバイスとした。

これに従い素子を試作した。試作においては、チャンネル部の微細化を実現するために、我々独自の製造手法である、異方性エッチングと埋め戻しエピタキシャル成長を組み合わせた製法を用いている。試作した素子は、モールド樹脂パッケージを施した。これらに対し、スイッチング時間、負荷短絡耐量を測定するとともに、DC-DCコンバータの実機動作を実施した。

4. 研究成果

まず試作した素子のスイッチング時間を測定した。BGSIT構造では埋め込まれているゲートフィンガー中に寄生する抵抗がスイッチング時間に影響する可能性がある。従ってゲートフィンガー長に対応するソース長 W_s が 174, 489, 1014 μm の3種類のTEGを測定した。図1に測定したターンオフ波形を示す。 W_s の減少に伴いターンオフ時間が減少していることが分かる。図2に W_s に対するターンオン遅延時間 $t_{d(ON)}$ 、ターンオフ遅延時間 $t_{d(OFF)}$ 、上昇時間 t_r 、下降時間 t_f を示す。本結果より $W_s=174\mu\text{m}$ の素子では室温で $t_r=80\text{ns}$, $t_{d(ON)}=30\text{ns}$, $t_f=90\text{ns}$, $t_{d(OFF)}=30\text{ns}$ であ

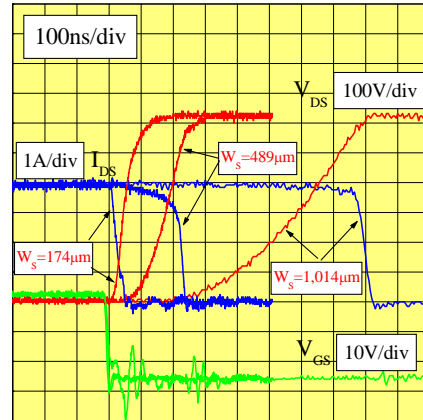


図1：試作したSiC-BGSITのターンオフ特性

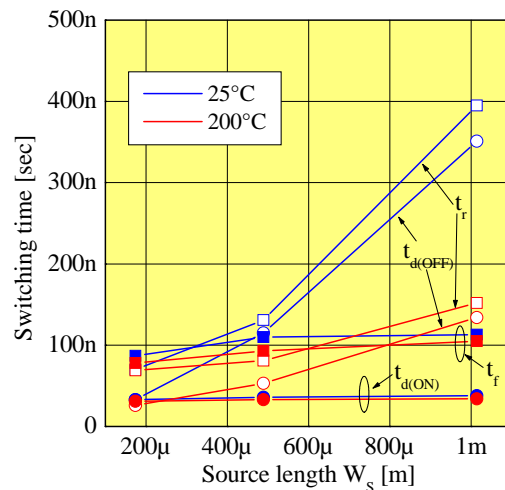


図2： W_s およびヒートシンク温度のスイッチング特性への影響。

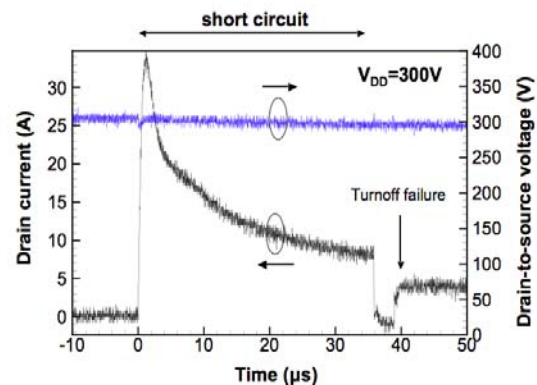


図3：SiC 静電誘導トランジスタの負荷短絡波形。

ることがわかる。これは目標となるスイッチング時間 20ns を達成できなかったものの、SI-IGBT を上回るスイッチング速度を確認できた。またヒートシンク温度の上昇でスイッチング時間が改善される傾向にある。これは温度上昇でゲートフィンガー中のアクセプターの活性化率が増加し、寄生抵抗が増加したためであると考えられる。p⁺ゲートフィンガー中のアクセプター不純物である Al は、そのレベルが 0.1eV 程度であり、Si における B 等の不純物レベルに比べ大きい。従って、室温で SiC の p 領域のアクセプターは完全にイオン化しておらず、温度上昇により活性化率が増加する。これに伴いゲートフィンガー部の抵抗成分が低下するためスイッチング速度が改善されていると予測できる。

また DC-DC コンバータの実機試験を行い、周波数 100kHz、電源電圧 400V、電流値 4.3A、デューティ比 50%の条件で行い安定な動作を確認できた。

さらに試作素子の負荷短絡測定を行った。測定ではヒートシンク温度を室温とし、電源電圧を 300V に固定し、短絡パルス幅を素子が破壊するまで増加させた。図 3 は素子破壊時の負荷短絡波形である。IGBT や MOSFET にくらべ電流波形において短絡初期に大きなピーク (3.5A) が観測されている。電流密度に換算すると 3500A/cm² に相当する。また、その後急激に電流が減少している。これは短絡期間中に素子温度が上昇し、それに伴い電子の移動度が低下するためである。この電流抑制効果は素子の熱暴走による破壊を抑制し、安全動作領域を拡大するのに都合がよい。また素子は一旦ターンオフしその数 μ s 後に破壊している。測定の結果、電流密度 3500A/cm² での負荷短絡動作に成功した。この数値は当初の目標値をクリアしている。また最大負荷短絡耐量は 18J/cm² であった。これは同定格の Si-IGBT の 2~3 倍の耐量である。

更にチャンネル幅を適宜減少させることにより短絡初期のピーク電流を減少させ、それにより内部温度上昇率を低下させることに

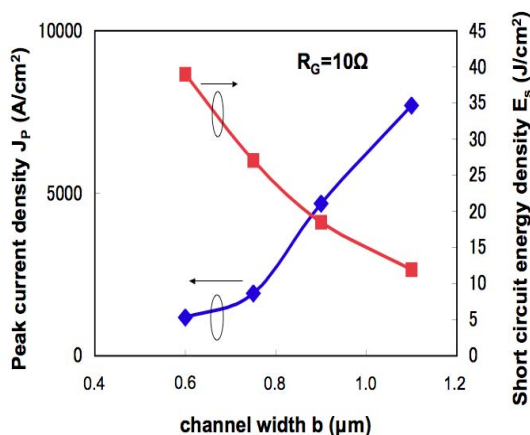


図 4 : チャンネル幅の短絡エネルギーへの効果

より、負荷短絡耐量を増加させる設計コンセプトを提案した。図 4 にチャンネル幅に対するピーク電流密度 J_p と最大短絡エネルギー密度のシミュレーション結果を示す。この結果によりチャンネル幅の減少によりピーク電流値が減少し、それに伴い短絡エネルギー密度が上昇していることが分かる。そして W_s を 0.6 μ m に設定したとき 40J/cm² の短絡エネルギーが実現可能であることも予想できた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① K. Yano, Y. Tanaka, T. Yatsuo, A. Takatsuka, M. Okamoto, and K. Arai, "Three dimensional analysis of turnoff operation of SiC buried gate static induction transistors (BG-SITs)," Materials Science Forum, pp. 1075-1078, 2009. 査読あり
- ② Y. Tanaka, K. Yano, M. Okamoto, A. Tanaka, K. Arai, and T. Yatsuo, "1270V, 1.21m Ω cm² SiC buried gate static induction transistors (SiC-BGSITs), Materials Science Forum, pp. 1071-1074, 2009 査読あり

[学会発表] (計 2 件)

- ① Y. Tanaka, K. Yano, A. Takatsuka, K. Arai, and T. Yatsuo, Application of SiC-BGSITs for DC-DC converters, European Silicon Carbide and Related Materials, Barcelona, Sept. 10th 2008
- ② K. Yano, Y. Tanaka, T. Yatsuo, A. Takatsuka, and K. Arai Short circuit operation of SiC buried gate static induction transistors (SiC BGSITs), European Silicon Carbide and Related Materials, Barcelona, Sept. 9th 2008.

6. 研究組織

(1) 研究代表者

矢野 浩司 (YANO KOJI)
山梨大学・大学院医学工学総合研究部・准教授
研究者番号 : 90252014

(2) 研究分担者

なし

(3) 連携研究者

田中 保宣 (TANAKA YASUNORI)
産業技術総合研究所・エネルギー半導体エレ

クトロニクス研究ラボ・主任研究員
研究者番号：20357453

八尾 勉(YATSUO TSUTOMU)
産業技術総合研究所・エネルギー半導体エレ
クトロニクス研究ラボ・招聘研究員
研究者番号：10399503