

研究種目：基盤研究(C)

研究期間：2006～2009

課題番号：18560334

研究課題名(和文) 新材料及び新構造 MOSFET の準バリスティック量子輸送モデリングに関する研究

研究課題名(英文) Quasi-ballistic transport modeling of emerging MOSFETs with new channel materials and new structures

研究代表者

土屋 英昭 (TSUCHIYA HIDEAKI)

神戸大学・大学院工学研究科・准教授

研究者番号：80252790

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス・集積回路

1. 研究計画の概要

本研究では、高度情報処理社会を支える半導体集積回路を構成する MOSFET の性能向上を実現することを目的として、新材料及び新構造を導入した新しい MOSFET の研究を行っている。

2. 研究の進捗状況

半導体集積回路の発展は、これまで基本的に、回路の最小構成ユニットである Si MOSFET の高性能化によって支えられてきた。そして、この Si MOSFET の性能向上の指導原理は、ムーアの法則すなわち比例縮小(スケールリング) 則であった。しかしながら、最小微細化寸法が 100nm 以下の技術世代を迎えるに従い、チャンネル長の縮小化やゲート酸化膜の薄膜化といった寸法スケールリングだけでは、十分な性能向上が難しいことが顕在化してきた。このため、スケールリング則という従来の概念を超えた、新しい材料や素子構造の導入による性能向上の実現が不可欠となってきた。本研究では、このようなポストスケールリング時代の MOSFET の新しい設計指針を構築するために、量子効果を考慮した新型のデバイスシミュレータの開発と、それに基づく新型 MOSFET の性能予測シミュレーションを実施している。

これまでに、高移動度チャンネル材料として期待されているひずみ Si、Ge 及び III-V 族半導体をチャンネルとする UTB 構造 MOSFET に適応した量子補正モンテカルロシミュレータを開発し、バリスティック極限においては、1 軸性引張りひずみ Si と Ge(111) 面チャンネルが有望であることを見出した。さらに、III-V 族チャンネルの特質である高移

動度性を発揮させるには、ソース・ドレイン電極のドーピング密度を IV 族と同じレベルにまで高密度化することが不可欠であることを明らかにした。

新構造に関しては、上記 UTB 構造の他に、ナノワイヤ構造(3次元 Fin 構造)に注目し、量子力学的輸送モデルであるウィグナー関数モデルを基礎とした Si ナノワイヤの3次元量子輸送シミュレータを開発した。そして、チャンネル長が 6nm 以下にまで微細化された場合、バリスティック輸送による駆動力向上が期待できる半面、ソース・ドレイントンネリングに起因するオフリーク電流の増大が発生し、MOSFET としての正常動作が困難になることを見出した。

上記の成果はいずれも、新型 MOSFET の研究開発において大変重要な知見を与えている。

3. 現在までの達成度

②おおむね順調に進展している。

本研究課題は、新構造に関しては3次元 Fin 構造、新材料に関してはひずみ Si と Ge のチャンネル性能を明らかにすることを当初研究目的とした。したがって上記 2. で述べたとおり、おおむね順調に進展していると考えている。

4. 今後の研究の推進方策

今後は、新材料として新たにグラフェンを研究対象に含め、これまでに得られたシリコンナノワイヤや III-V 族チャンネルの結果と比較することにより、その優位性を検証する予定である。

5. 代表的な研究成果
(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 7 件)

- ① Y. Yamada, H. Tsuchiya, and M. Ogawa, Quantum Transport Simulation of Silicon Nanowire Transistors Based on Direct Solution Approach of the Wigner Transport Equation, to be published in IEEE Trans. on Electron Devices, Vol. 56, No. 7, 2009. 査読有.
- ② T. Maegawa, T. Yamauchi, T. Hara, H. Tsuchiya, and M. Ogawa, Strain Effects on Electronic Bandstructures in Nanoscaled Silicon: From Bulk to Nanowire, IEEE Trans. on Electron Devices, Vol. 56, No. 4, pp. 553-559, 2009. 査読有.
- ③ H. Tsuchiya and S. Takagi, Influence of Elastic and Inelastic Phonon Scattering on the Drive Current of Quasi-Ballistic MOSFETs, IEEE Trans. on Electron Devices, Vol. 55, No. 9, pp. 2397-2402, 2008. 査読有.
- ④ T. Hara, Y. Yamada, T. Maegawa, and H. Tsuchiya, Atomistic Study on Electronic Properties of Nanoscale SOI Channels, J. Physics: Conference Series, Vol. 109, 012012, 2008. 査読有.
- ⑤ Y. Azuma, T. Mori, and H. Tsuchiya, Drive Current of Ultrathin Ge-on-Insulator n-Channel MOSFETs, Phys. Stat. Sol. (c), Vol. 5, No. 9, pp. 3153-3155, 2008. 査読有.
- ⑥ T. Mori, Y. Azuma, H. Tsuchiya, and T. Miyoshi, Comparative Study on Drive Current of III-V Semiconductor, Ge and Si Channel n-MOSFETs based on Quantum-Corrected Monte Carlo Simulation, IEEE Trans. on Nanotechnology, Vol. 7, No. 2, pp. 237-241, 2008. 査読有.
- ⑦ H. Tsuchiya, K. Fujii, T. Mori, and T. Miyoshi, A Quantum-Corrected Monte Carlo Study on Quasi-Ballistic Transport in Nanoscale MOSFETs, IEEE Trans. on Electron Devices, Vol. 53, No. 12, pp. 2965-2971, 2006. 査読有.

[学会発表] (計 38 件)

- ① 土屋英昭, 前中章宏, 森隆志, 東祐介, 高移動度チャンネルMOSトランジスタの性能予測シミュレーション (招待講演), 応用物理学会ゲートスタック研究会—材料・プロセス・評価の物理—, pp. 25-28, 2009年1月23日. 査読無.
- ② 山田吉宏, 土屋英昭, 小川真人, シリコンナノワイヤトランジスタの三次元量子輸送シミュレーション, 応用物理学会分科会

シリコンテクノロジー, No. 105, pp. 76-81, 2008年11月14日, 機械振興会館(東京). 査読無.

- ③ 前川忠史, 山内恒毅, 原孟史, 土屋英昭, 小川真人, 第一原理計算によるひずみシリコンナノ構造チャンネルの電子状態解析, 応用物理学会分科会 シリコンテクノロジー, No. 105, pp. 82-87, 2008年11月14日, 機械振興会館(東京). 査読無.
- ④ Y. Yamada and H. Tsuchiya, Three-Dimensional Quantum Transport Simulation of Si-Nanowire Transistors Based on Wigner Function Model, Extended Abstracts of the 2008 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Hakone, pp. 281-284, 9-11 Sep., 2008. 査読有.
- ⑤ H. Tsuchiya and S. Takagi, Influences of Elastic and Inelastic Scatterings on Ballistic Transport in MOSFETs, Extended Abstracts of Int'l Conf. on Solid State Devices and Materials (SSDM07), Tsukuba, pp. 44-45, 19-21 Sep., 2007. 査読有.
- ⑥ H. Tsuchiya, K. Fujii, T. Mori, Y. Azuma, K. Okuda, and T. Miyoshi, On the Performance Limits of Emerging Nano-MOS Transistors: A Simulation Study (invited), Proceedings of 2007 7th IEEE Int'l Conf. on Nanotechnology (IEEE-NANO2007), Hong Kong, pp. 530-535, 2-5 August, 2007. 査読有.

[図書] (計 1 件)

- ① 三好旦六, 小川真人, 土屋英昭, ナノエレクトロニクスの基礎, 培風館, 2007年11月2日). 261頁