

平成 21 年 3 月 31 日現在

研究種目： 基盤研究(C)
 研究期間： 2006～2008
 課題番号： 18560679
 研究課題名(和文) SOQ基板を何にどう使うか？

研究課題名(英文) Exploration of feasible applications of SOQ wafers to various fields

研究代表者

花尻 達郎(HANAJIRI TATSURO)
 東洋大学・工学部・教授
 研究者番号： 30266994

研究成果の概要：SOQ基板(silicon on quartz)の有用性について、基板の基礎物性評価から、デバイスの試作に至るまで様々な視点からの検証を試みた。SOQ MOSFET 試作の準備段階として、まずSOQ基板の代替としてSOI基板を用いて、基板におけるナノオーダー級超薄膜の基礎物性評価方法を確立した。SOI/BOX(Buried Oxide、埋込み酸化膜)界面近傍において高密度のキャリア捕獲中心の定量的に評価することに初めて成功した。さらにSOQ基板の応用分野としてエレクトロニクスに留まらず μ -TAS(micro-total-analysis system)のプラットフォームとしての有用性について提案した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	500,000	0	500,000
2007年度	900,000	270,000	1,170,000
2008年度	500,000	150,000	650,000
年度			
年度			
総計	1,900,000	420,000	2,320,000

研究分野：工学

科研費の分科・細目：材料工学 ・ 構造・機能材料

キーワード： 新機能材料,MOSFET, SOI, SOQ

1. 研究開始当初の背景

SOQ基板とは、単結晶シリコン膜が Quartz 基板上に存在する基板であり、歴史的に見ても技術的に見ても、SOI(Silicon On Insulator)基板の一種であると見做してよい。そこでここでは本研究の対象であるSOQ基板の理解の為に、まずSOI基板について簡単に概説し、それとの比較の中でSOQ基板の特徴を説明する。SOI(Silicon On Insulator)基板とはその名の通り、単結晶シリコン膜が絶縁物の基板上に存在する基板である。過去20-30年に涉りシリコン集積回路の高性能化にSOI基板が非常に

有用であることは指摘されており、学問分野においては世界中で精力的に研究されてきた。本研究の申請グループにおいても、花尻・鳥谷部らは過去7-8年に涉り、SOI基板の中でも熱酸化膜上の単結晶シリコン膜(以下、「上部シリコン層」)を10ナノメートル以下まで薄膜化した超薄膜SOI基板が極微細な電子デバイスの特性向上に有効であることをデバイスシミュレーションにより世界的にいち早く定量的に示し、学会および学術論文において報告を行ってきた。しかしながらその有用性が世界的に広く認識され始めていたにもかかわらずSOI基板は製造の困難さ、経済性からその採用に踏

み切る半導体メーカーが出でこない時代がしばらく続いたが、1997年にIBMがSOI基板の採用を発表して以来、状況は一変した。今やSOI基板及びそれを用いた先端情報機器はシステムLSI時代の寵児となり、その研究・開発に世界中の研究機関・メーカーが日夜、鎬を削っているホットな状態となっている。従って、ここ数年間はSOI基板の需要と供給とのポジティブフィードバックによりSOI基板は仕様・品質・価格全ての面で劇的に進歩し続けている。その流れの中で、最新のSOI基板作製プロセス技術の応用により、従来は作製が殆ど不可能とされていたSOQ基板もソイテック社(仏国)やキヤノン社(日本)の努力によりここ3-4年は市販ベース生産可能な段階にまできている。

右下写真はSOQウェーハの一例である。製法はSOI基板作成に用いられている技術をそのまま応用したものである。写真のウェーハは現在の最先端集積回路で用いられているシリコンウェーハの12インチ径に一代だけ遅れの8インチ径もの大面積のサイズである。また半透明に見えるのは100nmの厚さを有する上部シリコン層の干渉色によるものであるが、写真に示すように肉眼的にも全く色のむらが認められず、厚さばらつきが5nm以下の極めて均一な膜であることがわかる。(分光エリブソメーターや透過電子顕微鏡観察による実測でも、厚さばらつきが5nm以下である。)

これほど均一な上部シリコン薄膜層を有する大面積のSOQウェーハが1枚5万円程度で入手できるまでになってきている。これは面積当たりの価格ではまだシリコン基板の数倍程度であるが、ガリウム砒素などの化合物半導体の数分の一~十分の一程度であり、コストの面からも、シリコン基板に替わる次世代大規模集積回路用の新素材基板になりうるポテンシャルを十分に有するまでになってきている。

従って、SOI基板の場合と全く同様に、一旦火が付きさえすればSOQ基板の研究・開発も需要と供給の相乗効果によって世界中で爆発的に発展するものと確信している。その為には、産業界に対して明確な指針を与え得よう、SOQ基板を何にどう使えばどのような効果が期待でき、そうする為には現在何が問題であり、その解決のためにはいつまでに何をすればよいか、のの一つ一つに関してまず学術的に明らかにする必要がある。

2. 研究の目的

本研究の目的は、SOQ(Silicon On Quartz)基板が、特に電子デバイス応用の観点から見て何に使えるのか?その有用性・可能性をできる

だけ具体的に明らかにすることである。

3. 研究の方法

SOQ基板の唯一かつ最大の特徴は、単結晶シリコン膜下が全て石英であることであるが、本研究においては、大別すると電気的特性からと光学的特性からの2つの視点から、理論的および実験的にSOQ基板のデバイスへの有用性を明らかにする。

電気的特性に関するSOQ基板の有用性については、本研究開始時にその具体例としてSOQ基板上に作製した電子デバイスについてデバイスシミュレーションおよび実際に試作したデバイスの評価によって示しつつあり、従って、本研究期間においては、現在研究成果が上がり始めている電気的特性の面からのSOQ基板の有用性について引き続いて明らかにしていくことに並行して、あらたに光学的特性の面からのSOQ基板の有用性についてデバイスシミュレーションおよび実験的検証により明らかにすることを計画した。

3カ年の内、初年度前半において垂直立ち上げを行い、初年度前半から次年度において様々な観点からのSOQ基板の有用性を明らかにすべく複数のサブテーマを併行して進める。

研究初年度においては以下の3項目のサブテーマについて研究を進める。

- A. SOQ基板における電気伝導特性の基礎評価(花尻+鳥谷部+柏木)
- B. SOQ基板の光学的特性評価(花尻+森川+柏木+鳥谷部)
- C. SOQ基板上MOSFETの有用性の実験的検証(花尻)

研究代表者である花尻は全てのサブテーマに関わり、本研究を総括する。鳥谷部も物理現象のモデリング及びシミュレーションを担当する性質上、複数のサブテーマに横断的に関わる。



4. 研究成果

初年度においては SOQ MOSFET 試作の準備段階として、まず SOQ 基板の代替として SOI 基板を用いて、基板におけるナノオーダー級超薄膜の基礎物性評価方法を確立した。具体的には、SOI 基板の一種である SIMOX (Separation by implanted oxygen) 基板上に存在する高密度のキャリア捕獲中心について、SOI 層の膜厚をナノオーダーの精度で制御して作製した MOSFET のバックバイアス特性およびフロントバイアス特性から、高密度のキャリア捕獲中心が膜中の厚さ方向について分布を有することを実験的に初めて明らかにした。またさらに、その起源を解明するために、SIMOX 基板の評価を行なった。高分解能 SEM (Scanning Electron Microscope) および TEM (Transmission Electron Microscope) による局所的な原子像からは、SIMOX 基板でも SOI / BOX 界面は原子オーダーで非常に平坦に見えるが(図1)、

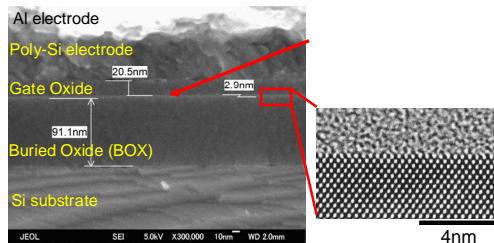


図1. SIMOX MOSFET の断面 SEM 像(左) および断面 TEM 像(右)

一方では SPM(走査プローブ顕微鏡)、顕微ラマン分光装置、走査型 AES (オージェ電子分光) 装置などを用いて基板の評価を行なった(図2)。その結果、キャリア捕獲中心の密度は SOI / BOX (Buried Oxide, 埋込み酸化膜) 界面近傍における凹凸と強い相関を有することが明らかとなった。以上の成果は、IEEE ED に掲載された。

また、新規 SOQ MOSFET 開発の準備段階として、先端ナノ電子デバイスの一つとして SOIMOSFET について、空乏層の広がりによるチャネル遮断によってデバイスをオフにするノーマリー・オン型のデバイス(空乏型 SOI MOSFET)を提案しているが、デバイスシミュレーションによりその有用性を検証した。

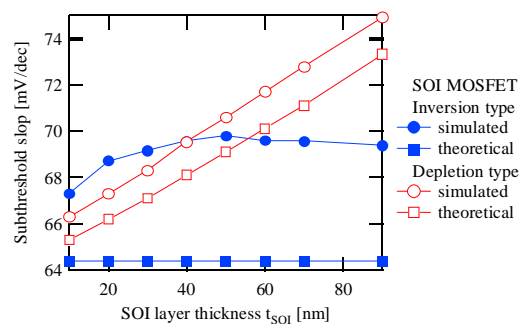


図3. 反転形 SOI MOSFET および空乏型 SOI MOSFET におけるサブスレッドショルド係数の SOI 膜厚依存性

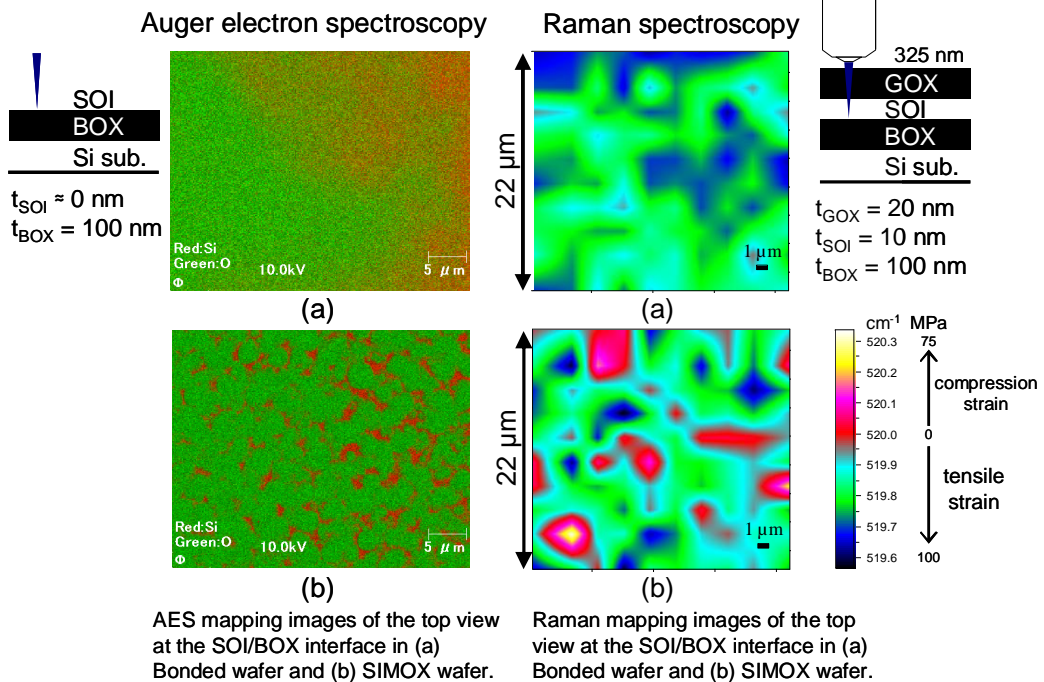


図2. SOI/BOX 界面におけるオージェ電子分光による元素マッピング像および顕微ラマン分光による応力マッピング像。貼り合わせ基板(左)、SIMOX 基板(右)。

よるサブスレッドシールド係数の制御が容易であり、SOI 膜厚を 40nm 程度以下の超薄膜にすることにより通常の反転形 MOSFET よりもサブスレッドシールド係数を低減できることが示すことができた(図3)。また、簡単な等価回路モデルによってこのデバイスシミュレーションによる結果を説明することができた。現在、実験的検証に着手している。この成果についてはIMAT2007などで報告を行なった。

次年度においてはエレクトロニクスにおいて Si 基板の最も有力な代替候補として注目を集めている SOI(Silicon On Insulator) 基板について SOI 基板上に作製した MOSFET のデバイス特性から、キャリア捕獲中心の評価を定量的に行なう方法を提案した。その結果、SOI 基板の一種である SIMOX(Separation by implanted oxygen) 基板上においては SOI / BOX(Buried Oxide、埋込み酸化膜)界面近傍において高密度のキャリア捕獲中心があることを明らかにし、そのエネルギー分布や表面再結合速度についても定量的に評価することに初めて成功した。表面再結合速度については時間分解フォトルミネッセンス(PL)とそのデバイスシミュレーションによる解析によって、非破壊で迅速に且つ定量的に評価する方法も確立した。これにより、エレクトロニクスにとどまらず、バイオ・ナノ融合デバイスのプラットフォームとして我々が期待している SOI および SOQ 基板の活用について有効な指針が得られる。ソース、ドレインに新たな pn 接合を有する新規な SOI MOSFET を提案し、その有用性をデバイスシミュレーションにより検証した。また、空乏層の広がりによるチャネル遮断によってデバイスをオフにするノーマリー・オン型のデバイス(空乏型 SOI MOSFET)を提案し、その有用性をデバイスシミュレーションにより検証した。また、さらにこれに加えて、BOX 層が一部だけに存在するいわゆる選択 BOX 構造を有する SOI 基板を用いることにより MOSFET の諸特性が向上することをデバイスシミュレーションにより検証した。これら新規な SOI MOSFET 特性のデバイスシミュレーションから得られたデバイスの設計指針は、SOQ MOSFET の設計にも活用することができる。

最終年度にあたっては、SOQ 基板(silicon on quartz)の応用分野としてエレクトロニクスに留まらず μ -TAS(micro-total-analysis system)のプラットフォームとしての有用性について、検証を行なった。具体的には、分析機能まで含んだセルソーターのオール・イン・ワン化のためには SOQ 基板が非常に有望なプラットフォームであることを提案し、そのための基礎的な実験的検証を行なった。近年、再生医療研究や創薬活動において、特定の細胞(セル)を分取して培養す

る、あるいは単一の細胞に特定の分子を導入、観察して薬剤の挙動を分析するなどの研究が盛んに行われている。例えば、ある細胞に対する特定の分子の影響を評価する場合には、各臓器培養細胞ライブラリーを作成し、これらの培養細胞を分離・精製して品質を管理したり、物質投与後の各細胞を分別して状態を観察したりすることが必要になり、このような細胞の分別には、現在、フローサイトメトリーもしくはセルソーターが用いられているが、システム全体としてはポータブルなものにはまだ程遠く、価格も数千万円オーダーと非常に高い。それを解決するために、SOQ 基板の準備段階としてガラス基板上にチップ・セルソーターを用いて細胞の反応量とゼータ電位との相関を極めて定量的に評価する方法を開発することに成功した。その一方でエレクトロニクス分野においても、もっとも代表的な半導体デバイスである MOSFET (Metal Oxide Semiconductor Field Effect Transistor)の基板として現行の Si 基板や、ポスト Si 基板の最有力である SOI(silicon on insulator)基板を用いるよりも SOQ 基板を用いた方がデバイス特性が向上することをデバイスシミュレーションおよび実験により検証することに成功した。

以上の成果は、英文原著論文(審査付き)3編、国際会議予稿集(審査付き)6編、国内学会(審査なし)6件、国際セミナー/シンポジウム等(審査なし)13件により報告を行なっている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計3件)

(英文原著論文)(審査付き)

K.KAJIWARA, Y.NAKAJIMA, T. HANAJIRI, T.TOYABE, and T.SUGANO, "Characterization of distribution of trap states in silicon-on-insulator layers by front-gate characteristics in n-channel SOI MOSFETs," IEEE trans. Electron Devices, vol. 55, pp. 1702-1707, 2008. (査読あり)

N. URUSHIHARA, S. IIDA, N. SANADA, M. SUZUKI, D.F. PAUL, S. BRYAN, Y. NAKAJIMA, T. HANAJIRI, K. KAKUSHIMA, P. AHMET, K. TSUTSUI, and H. IWAI, "Three dimensional image construction and spectrum extraction from two dimensional elemental mapping in Auger electron spectroscopy," Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films,

vol. 26, pp. 668-672, 2008. (査読あり)

Y. NAKAJIMA, K. SASAKI, T. HANAJIRI, T. TOYABE, and T. SUGANO, "Drive current enhancement in silicon on quartz MOSFETs," IEEE Electron Device Lett., vol. 29, pp. 944-945, 2008. (査読あり)

[学会発表](計12件)

(国際会議)(審査付き)

T. YAMADA, Y. MIYAZAWA, Y. NAKAJIMA, T. HANAJIRI, T. TOYABE, and T. SUGANO, "Improvement of performance of Drain-Source-On-Insulator MOSFETs by using heavily doped-Si region between local BOX regions," Proc. of 10th International Conference on Ultimate Integration of Silicon, pp.341-344, 2009. (審査あり)

S. ABE, Y. MIYAZAWA, Y. NAKAJIMA, T. HANAJIRI, T. TOYABE, and T. SUGANO, "Suppression of DIBL in deca-nano SOI MOSFETs by controlling permittivity and thickness of BOX layers," Proc. of 10th International Conference on Ultimate Integration of Silicon, pp.329-332, 2009. (審査あり)

Y. NAKAJIMA, T. TODA, T. HANAJIRI, T. TOYABE, and T. SUGANO "Discussion of origins of high-density trap states in SIMOX wafers," Proc. of 10th International Conference on Ultimate Integration of Silicon, pp. 185-188, 2009. (審査あり)

戸田貴大, 中島義賢, 花尻達郎, 鳥谷部達, 菅野卓雄: 「ゲート酸化膜のトラップが SOI MOSFET トンネル電流に与える影響の評価」第 56 回応用物理学関係連合講演会 30p-T-8 pp.872 (筑波大学 2009 年(平成 21 年)3 月 30 日)(審査なし)

山田辰哉, 宮澤吉康, 中島義賢, 花尻達郎, 鳥谷部達, 菅野卓雄: 「局所 BOX 間高不純物ドーピングによる DSOI MOSFET の特性改善」第 69 回応用物理学学会学術講演会 予稿集 3p-P11-8 pp.779 (中部大学 2008 年(平成 20 年)9 月 3 日)(審査なし)

阿部俊平, 宮澤吉康, 中島義賢, 花尻達郎, 鳥谷部達, 菅野卓雄: 「BOX 比誘電率および BOX 膜厚制御による DIBL の抑制効果」第 69 回応用物理学学会学術講演会予稿集 3p-P11-7 pp.779 (中部大学 2008 年(平成 20 年)9 月 3 日)(審査なし)

前川貴信, 山田辰哉, 宮澤吉康, 中島義賢, 花尻達郎, 鳥谷部達, 菅野卓雄: 「選択的 BOX を有する SOI MOSFET の有用性」第 54 回応用物理学関係連合講演会講演予稿集 29aP11-12 p.920 (日本大学理工学部

2008(平成 20 年)3 月 29 日)(審査なし)
宮澤吉康, 中島義賢, 花尻達郎, 小室修二, 鳥谷部達: 「SOI 基板における表面再結合速度の光学的測定による評価 (2)」第 54 回応用物理学関係連合講演会講演予稿集 28p-K-2 p.825 (青山学院大学 2007(平成 19 年)3 月 28 日)(審査なし)

N.URUSHIHARA, S.IIDA, N.SANADA, D.F.PAUL, S.BRYAN, M.SUZUKI, Y.NAKAJIMA and T.HANAJIRI, "3D Image Acquiring and Spectrum Extraction from 2D Elemental Mapping in Auger Electron Spectroscopy", AVS 54th Int. Symposium Paper AS-TuA10 (October 16 2007) Washington State Convention Center, Seattle, WA, USA. (審査あり)

K. MIYAZAWA, Y. MIYAZAWA, Y.NAKAJIMA, T.HANAJIRI and T.TOYABE, "Advantages of Depletion Type SOI MOSFETs", Abst. of symposium E (Nanodevices and Nanofabrication), 4th Int. Conf. on Materials for Advanced Technologies 2007, p66 (July 3 2007) Convention Center, Singapore. (審査あり)

Y.MIYAZAWA, Y.NAKAJIMA, T.HANAJIRI, S.KOMURO and T.TOYABE, "Quantitative Estimation of Surface Recombination Velocity of SOI wafers by PL Decay Method", Abst. of symposium E (Nanodevices and Nanofabrication), 4th Int. Conf. on Materials for Advanced Technologies 2007, p43 (July 3 2007) Convention Center, Singapore. (審査あり)

宮沢健司, 宮澤吉康, 中島義賢, 花尻達郎, 鳥谷部達: 「空乏型 SOI MOSFET の有用性 (2)」第 67 回応用物理学学会学術講演会 講演予稿集 31a-ZR-1 p. 798 (立命館大学 2006 年(平成 18 年)8 月 31 日)(審査なし)

[その他]

(国際シンポジウム(審査なし)招待講演)

T.YAMADA, Y. MIYAZAWA, Y. NAKAJIMA, T. HANAJIRI, T.TOYABE and T. SUGANO, "Improvement of performance of DSOI MOSFETs by heavily doping between local BOX regions,"6th Int. Symp. on Bioscience and Nanotechnology p.49(November 7 2008) Tokyo.(審査なし)

S. ABE, Y. MIYAZAWA, Y. NAKAJIMA, T. HANAJIRI, T.TOYABE and T. SUGANO, "Suppression of DIBL in deca-nano SOI MOSFETs by controlling permittivity and thickness of BOX layers,"6th Int. Symp. on Bioscience and Nanotechnology p.48 (November 7 2008) Tokyo. (審査なし)

T. TODA, Y. NAKAJIMA, T. HANAJIRI and T. SUGANO, "Clarification of origins of

high-density trap states in SIMOX wafers,"6th Int. Symp. on Bioscience and Nanotechnology p.47(November 7 2008) Tokyo. (審査なし)

T. HANAJIRI, Y. NAKAJIMA, T. TOYABE, A.I NOUE, T. SUGANO and T. MAEKAWA, "Nanoelectronics and its application to Bio-Nano Devices,"6th Int. Symp. on Bioscience and Nanotechnology p.6 (November 7 2008) Tokyo. (審査なし)
T.TODA, T.YAMASHITA, Y.NAKAJIMA, T.HANAJIRI and T.TOYABE, "Characterization of mobility and stress in strained MOSFETs",5th Int. Symp. on Bioscience and Nanotechnology p.74(December 5 2007) Kawagoe. (審査なし)

T.YAMADA, Y.MIYAZAWA,Y.NAKAJIMA, T.HANAJIRI and T.TOYABE, "Development of a three-dimensional general-purpose device simulator for advanced electron devices",5th Int. Symp. on Bioscience and Nanotechnology p.73(December 5 2007) Kawagoe. (審査なし)

Y.MIYAZAWA, Y.NAKAJIMA, T.HANAJIRI, S.KOMURO and T.TOYABE, "Non-destructive characterization of surface recombination velocity at SOI/BOX interfaces by PL decays",5th Int. Symp. on Bioscience and Nanotechnology p.69(December 5 2007) Kawagoe (審査なし)

Y.NAKAJIMA,T.HANAJIRI and T.SUGANO, "Microscopic structure at SOI/BOX interface in SIMOX wafers",5th Int. Symp. on Bioscience and Nanotechnology p.68 (December 5 2007) Kawagoe. (審査なし)

T.HANAJIRI, Y.NAKAJIMA, T.TOYABE, A.IOUE, T.SUGANO and T.MAEKAWA, "Nanoelectronics for Bio-Nano devices",5th Int. Symp. on Bioscience and Nanotechnology p.12(December 5 2007) Kawagoe. (審査なし)

Y.MIYAZAWA, T.YAMADA, Y.NAKAJIMA, T.HANAJIRI, S.KOMURO and T.TOPYABE, "Estimation of Surface Recombination Velocity at silicon on insulator (SOI)/buried oxide (BOX) interface,"4th Int. Symp. on Bioscience and Nanotechnology p.94 (November 2006) Okinawa. (審査なし)

K.ODA, Y.NAKAJIMA, T.HANAJIRI and T.SUGANO, "Characterization of electric characteristics of SOI wafers,"4th Int. Symp. on Bioscience and Nanotechnology p. 92 (November 2006) Okinawa. (審査なし)

T.TOYABE, T. HANAJIRI and . NAKAJIMA, "Development of nano/micro electron devices", Brighton University-Toyo University COE Seminar, (September 2006) Brighton,UK. (招待) (審査なし)

T.TOYABE, T. HANAJIRI and . NAKAJIMA, "Development of nano/micro electron devices", Brighton University-Toyo University COE Seminar, (September 2006) Brighton,UK. (招待) (審査なし)

6 . 研究組織 (1) 研究代表者

花尻 達郎(HANAJIRI TATSURO)
東洋大学・工学部・教授
研究者番号 30266994

(2) 研究分担者

鳥谷部 達(TOYABE TORU)
東洋大学・工学部・教授
研究者番号 20266993

柏木 邦宏(KASHIWAGI KUNIHIRO)
東洋大学・工学部・教授
研究者番号 30058094

森川 滝太郎(MORIKAWA TAKITARO)
東洋大学・工学部・教授
研究者番号 80191013