

平成 2 1 年 5 月 2 5 日現在

研究種目：若手研究（B）

研究期間：2006～2008

課題番号：18700049

研究課題名（和文） ディープサブミクロン技術を想定した  
次世代高位合成システムに関する研究研究課題名（英文） Next-Generation High-Level Synthesis System Based on  
Deep Submicron Technology

研究代表者

戸川 望（TOGAWA, Nozomu）

早稲田大学・理工学術院・准教授

研究者番号：30298161

## 研究成果の概要：

システム LSI 設計技術は、配線幅が 90nm や 65nm といったディープサブミクロン時代に突入し、その設計生産性を向上するには、システムの動作レベルからシステム LSI を自動設計することを可能とした「高位合成技術」が極めて有効である。本研究ではディープサブミクロン技術を想定した物理設計指向の高位合成アルゴリズムを提案しならびに高位合成フローを構築した。構築した高位合成フローを利用することにより、従来の設計フローに比較して、30%以上の動作速度向上を確認した。

## 交付額

（金額単位：円）

	直接経費	間接経費	合計
2006年度	1,500,000	0	1,500,000
2007年度	1,000,000	0	1,000,000
2008年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,500,000	300,000	3,800,000

研究分野：システム LSI 設計

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：システム LSI，高位合成，動作合成，物理合成，最適化アルゴリズム

## 1. 研究開始当初の背景

半導体微細加工技術の進歩に伴い、現在では、配線幅が 90nm や 65nm のプロセス技術が主流となってきた。このような数十 nm 以下といったディープサブミクロン技術を想定したシステム LSI(システムを LSI として集積化したチップ)では、論理ゲートの遅延に比較して相対的に配線遅延の比率が大きくなる傾向がある。一方、大規模化、複雑化するシステム LSI 設計の設計生産性を向上するには、システムの動作レベルからシステム LSI を自動設計することを可能とした「高位合成技術」が極めて有効である。高位合成技術は、現在実用段階に至るまで成熟して来ているが、実用化段階の高位合成は、後工程となるフロアプラン、配置配線合成といった「物理合成」を完全に切り離して考えている。そのため、現在の高位合成技術では、論理ゲート、論理モジュール間の配置関係や配線遅延情報を、高位合成の段階では考慮できておらず、比較的近い将来、現在の高位合成技術は限界に到達するものと予想される。実用化に近いレベルにて、物理合成を陽に採り入れた高位合成システムに対する研究が急務と言える。

ところが、高位合成問題および物理合成問題、あるいはその部分問題自体は、それぞれ組合せ問題として最も難しい問題(NP 完全問題)である場合が多い。単純に高位・物理合成問題として統一化し、これを解法するアルゴリズム、システムを開発することは、実用上意味がない。研究代表者は、物理合成を陽に採り入れた高位合成では、(a)高位合成にとって必要十分な「物理レベルのシステム LSI 抽象化」、(b)(a)を可能とする「システム LSI 論理モデル」を構築することが鍵であると考え、そして、これら(a)、(b)を陽に採り入れた、次世代高位合成アルゴリズム設計が求められると考える。

研究代表者は、まず上記(a)の答えとして、高位合成に対する物理レベルのシステム LSI 抽象化が「機能モジュール間配線遅延」であると考え、ここで機能モジュールとは、演算モジュール、マルチプレクサ、バス、レジスタ、制御モジュールなど、システム LSI のレジスタトランスファレベル(RT レベル)での部分部品を指す。さらに、上記(b)の答えとして「レジスタ体型機能モジュール」を提案する。これは、入出力レジスタと一体となった機能モジュールの論理モデルである。レジスタ体型機能モジュールは、物理的にレジスタと機能モジュールが一体化されることを意味するのではなく、論理モデルとして近接配置されたレジスタと機能モジュールを指す。レジスタ体型機能モジュールの概念を導入することで、高位合成の段階で、配線遅延を「制御」することが可能となる。これ

ら「機能モジュール間配線遅延」と「レジスタ一体型機能モジュール」とを導入することで、実設計に対応した上で、物理合成を採り入れた高位合成フローを確立することができ、その結果、高位合成と物理合成の本質的な融合が達成されるものとする。

## 2. 研究の目的

「1. 研究開始当初の背景」で述べた背景のもと、本研究ではディープサブミクロン技術を想定した物理設計指向の高位合成アルゴリズムの構築と、その実装・実評価を目的とする。構築する高位合成アルゴリズムでは、「機能モジュール間配線遅延」と「レジスタ一体型機能モジュール」を導入することによって、高位合成と物理合成の本質的な融合を達成する。加えて、このようなアルゴリズムを計算機上に実装し、アルゴリズムの有効性を評価する。

## 3. 研究の方法

提案する次世代高位合成システムは、物理レベルのシステム LSI 抽象化として「機能モジュール間配線遅延」を採用し、なおかつ、「レジスタ一体型機能モジュール」を導入することにより、高位レベルにて機能モジュール間の遅延制御を可能とし、その結果、物理合成を採り入れた高位合成フローを確立するものである。想定する高位合成フローを図 1 に示す。また、図 1 が前提とするレジスタ一体型機能モジュールの概念図を図 2 に示す。

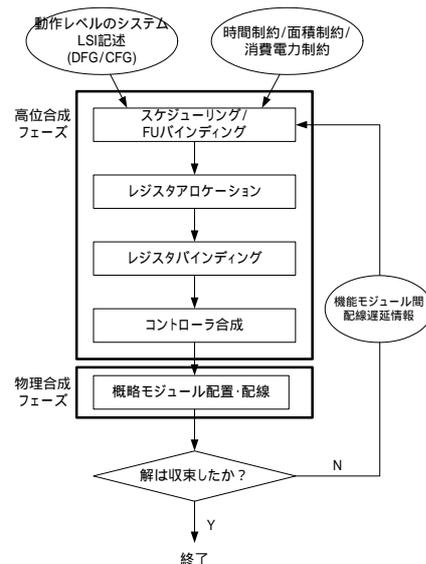
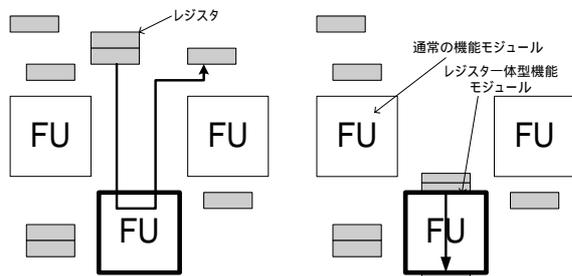


図1. 提案する高位合成フロー



(a) 従来の物理モデル。配線遅延を事前に予測できない。

(b) レジスタ体型機能モジュールと通常の機能モジュールが混在した物理モデル。レジスタ体型機能モジュールではレジスタ・FU間の配線遅延が論理的に0である。事前の配線遅延予想を容易にする。

図2. レジスタ体型機能モジュール

平成 18 年度には、第一段階の高位合成システム構築として、図 1 の高位合成フローにて、データフローグラフ (DFG) のみを対象とした高位合成フェーズ、ならびに、概略配置のみを対象とした物理合成フェーズを考えたアルゴリズムを構築する。この結果、提案する機能モジュール間配線遅延/レジスタ体型機能モジュールの導入の正当性を実証した。図 1 のフローに従って、以下の手順に従って研究を遂行した。

18-1. 高位合成フェーズとして、まず、リストスケジューリングアルゴリズムを基本に、機能モジュールの割り付け (FU バインディング) ならびに機能モジュール間配線遅延情報を考慮することで、スケジューリング/FU バインディング同時処理手法を構築する。

18-2. 通常レジスタ、ならびに、レジスタ体型機能モジュールによるレジスタを対象に、必要なレジスタの個数を算出し、割り付けるアルゴリズムを構築する (レジスタアロケーション、バインディング)。ここで、従来なされて来たような機能モジュール・レジスタ間データ転送だけでなく、レジスタ・レジスタ間データ転送、機能モジュール・機能モジュール間データ転送を採り入れ、データのパイプライン処理、チェイニング処理を実現する。レジスタ体型機能モジュールによるレジスタ割り付けを陽に考慮することで高位合成の段階で遅延最適化を図る。

18-3. コントローラ合成アルゴリズムを構築する。ここでも、18-2 と同様に、レジスタ体型機能モジュールの制御を陽に採り入れたアルゴリズムを構築する。

18-4. 物理合成フェーズとして、配置アルゴリズムを構築する。第一段階では、処理の高速性と機能モジュール間配線見積りの精度とのトレードオフを考え、ミンカット配置、シミュレテッドアニーリングに基づく反復改良ベースの配置など、いくつかの既存配置アルゴリズムの中で、最良のものを選択することを考える。

18-5. 機能モジュール間遅延情報の見積り手法を構築する。第一段階では、18-4 と同様に、単純に既存手法を試行し、最良のものを選択することとする。

18-6. 上記 18-1 ~ 18-5 までのアルゴリズムを計算機上に実装し、評価実験を行う。

平成 19 年度は、次世代高位合成システムの構築にあたり、配線遅延の見積り手法に焦点を当てる。ディープサブミクロン技術を想定した上で、概略配置・配線の情報から、いかに高速に配線遅延を見積もるかという観点から、RC (抵抗・容量) だけでなく、L (インダクタ) を考慮した高速配線遅延見積り手法に取り組む。以下の手順により研究を進めた。

19-1. 前年度の研究において構築された、レジスタ体型機能モジュールを含む高位合成・物理合成最適化アルゴリズムに対し、各種データを適用させることで、その問題点および改良点を抽出する。また、特に配線モデルについて、その正当性を調査ならびに評価する。

19-2. 19-1 の結果に基づき、2 次集中定数回路モデルあるいは 4 次集中定数回路モデルと RLC 分布定数回路モデルとを回路シミュレーションによって比較する。その結果から、各モデルとシミュレーション近似の妥当性 (処理時間と精度のトレードオフ) を検討する。

19-3. 19-2 の結果から、ディープサブミクロン技術を想定した場合の配線遅延近似の方法を決定・アルゴリズム化する。

19-4. 19-3 の結果から、アルゴリズムを計算機上に実装し、これを評価する。

平成 20 年度は、これまでの成果の集大成として、フロー全体の完成を目指す。最終段階の高位合成システム構築として、データフローグラフ/コントロールフローグラフ (CFG/DFG) を対象とした高位合成フェーズ、ならびに、概略配置・配線を対象とした物理合成フェーズを考えたアルゴリズムを構築する。さらに、平成 19 年度の結果を用いた機能モジュール間配線情報のフィードバックフローを確立する。以下の手順に沿

って研究を進めた。

20-1. 成 18 年度の本研究課題によって得られた結果をもとに、CFG/DFG ならびに配置・配線を含めて、完成する。特に、高位合成フェーズではコントロールフローに対応するため、CV (Conditional Vector) の概念を導入し、これとモジュール間配線遅延情報とを考慮したアルゴリズムを構築する。物理合成フェーズでは、既存のアルゴリズムに加えて、申請者の既存研究たる高速配置・概略配線アルゴリズムを導入する。

20-2. 提案・構築したフローを用いた高位設計・物理設計を行いアルゴリズムの妥当性を実証する。

#### 4. 研究成果

高位合成技術は、現在実用段階に至るまで成熟して来ているが、実用化段階の高位合成は、後工程となるフロアプラン、配置配線合成といった「物理合成」を完全に切り離して考えている。そのため、論理ゲート、論理モジュール間の配置関係や配線遅延情報を高位合成の段階では考慮できず、比較的近い将来、現在の高位合成技術は限界に到達するものと予想される。実用化に近いレベルにて、物理合成を陽に採り入れた高位合成システムに対する研究が急務と言える。

本研究ではディープサブミクロン技術を想定した物理設計指向の高位合成アルゴリズムの構築と、その実装・実評価を目的に、まず平成 18 年度には第一段階の高位合成システム構築として、高位合成フローにてデータフローグラフ (DFG) のみを対象とした高位合成フェーズ、ならびに概略配置のみを対象とした物理合成フェーズを考えたアルゴリズムを構築した。具体的に、以下の研究成果をあげた。

(18-1) 高位合成フェーズとして、まず、リストスケジューリングアルゴリズムを基本に、機能モジュールの割り付け (FU バインディング) ならびに機能モジュール間配線遅延情報を考慮することで、スケジューリング/FU バインディング同時処理手法を構築した。

(18-2) 通常レジスタ、ならびに、レジスタ一体型機能モジュールによるレジスタを対象に、必要なレジスタの個数を算出し、割り付けるアルゴリズム、すなわち、レジスタアロケーション、バインディングアルゴリズムを構築した。

(18-3) レジスタ一体型機能モジュールの制御を陽に採り入れたコントローラ合成に取り組んだ。ここでは、既存の EDA ツールを適用するこ

とで、これを達成した。

(18-4) 物理合成フェーズとして、配置アルゴリズムを構築する。第一段階では、既存アルゴリズムの適用を考え、シミュレーテッドアニーリング手法をベースとした配置アルゴリズムを採用した。

(18-5) 機能モジュール間遅延情報の見積り手法を構築した。第一段階として、単純な経路長に基づく見積り手法を構築し、評価を行った。

以上の(18-1)～(18-5)までのアルゴリズムを計算機上に実装し評価を行った結果、既存のアルゴリズムと比較して、アプリケーションの実行に必要な時間を同程度に維持したまま、1%～5%程度のチップ面積を縮小することが確認できた。

続く平成 19 年度には次世代高位合成システムの構築にあたり、配線遅延の見積り手法に焦点を当てる。ディープサブミクロン技術を想定した上で、概略配置・配線の情報から、いかに高速に配線遅延を見積もるかという観点から、RC (抵抗・容量) だけでなく、L (インダクタ) を考慮した高速配線遅延見積り手法に取り組み、以下の成果を挙げた。

(19-1) 平成 18 年度の研究において構築された、レジスタ一体型機能モジュールを含む高位合成・物理合成最適化アルゴリズムに対し、各種データを適用させることで、その問題点および改良点を抽出する。また、特に配線モデルについて、その正当性を調査ならびに評価した。

(19-2) (19-1) の結果に基づき、2 次集中定数回路モデルあるいは 4 次集中定数回路モデル、と RLC 分布定数回路モデルとを回路シミュレーションによって比較する。その結果から、各モデルとシミュレーション近似の妥当性 (処理時間と精度のトレードオフ) を検討した。

(19-3) (2) の結果から、ディープサブミクロン技術を想定した場合の配線遅延近似の方法を決定・アルゴリズム化した。

以上の(19-1)～(19-3)までのアルゴリズムを計算機上に実装し評価を行った結果、既存のアルゴリズムと比較して、アプリケーションの実行に必要な時間を同程度に維持したまま、10%程度のチップ面積を縮小することが確認できた。

さらに平成 20 年度は、これまでの成果の集大成として高位設計フロー全体を構築した。最終段階の高位合成システム構築として、データフローグラフ/コントロールフローグラフ (CFG/DFG) を対象とした高位合成フェーズ、ならびに、概略配置・配線を対象とした物理合成フェーズを考えたアルゴリズムを構築する。さらに、平成 19 年度の結果を用いた機能モジュール間配線情報のフィードバックフローを確立した。

(20-1) 平成 18 年度の本研究課題によって得られた結果をもとに CFG/DFG ならびに配置・配線

を含めたフローを完成した。特に、高位合成フェーズではコントロールフローに対応するため、CV (Conditional Vector) の概念を導入し、これとモジュール間配線遅延情報とを考慮したアルゴリズムを構築した。物理合成フェーズでは、既存のアルゴリズムに加えて、申請者の既存研究たる高速配置・概略配線アルゴリズムを導入した。

(20-2) さらに提案・構築したフローを用いた高位設計・物理設計を行いアルゴリズムの妥当性を実証した。

構築した高位設計フローを利用することによって、従来の設計フローを用いた場合に比較して、30%以上の動作速度向上を確認した。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 19 件、すべて査読あり)

1) Nobuaki Tojo, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, An L1 cache design space exploration system for embedded applications, IEICE Trans. on Fundamentals, vol. E92-A, no. 6, Jun. 2009 (掲載決定).

2) N. Tojo, N. Togawa, M. Yanagisawa, and T. Ohtsuki, Exact and fast L1 cache simulation for embedded systems, Proc. IEEE Asia and South Pacific Design Automation Conference 2009 (ASP-DAC 2009), pp. 817-822, 2009.

3) Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, A unified test compression technique for scan stimulus and unknown masking data with no test loss, IEICE Trans. on Fundamentals, vol. E91-A, no. 12, pp. 3514-3523, 2008.

4) Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, Unknown response masking with minimized observable response loss and mask data, Proc. IEEE Asia Pacific Conference on Circuits and Systems 2008 (APCCAS 2008), 2008.

5) Akiyuki Nagashima, Yuta Imai, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, Dynamically reconfigurable architecture for multi-rate compatible regular ldpc decoding, Proc. IEEE Asia Pacific Conference on Circuits and Systems 2008 (APCCAS 2008), 2008.

6) Ryo Tamura, Masayuki Honma, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, FIR filter design on flexible engine/generic ALU array and its dedicated synthesis algorithm, Proc. IEEE Asia Pacific Conference on Circuits and Systems 2008 (APCCAS 2008), 2008.

7) 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, SIMD型プロセッサコアの面積/遅延見積り, 情報処理学会論文誌, vol. 49, no. 10, pp. 3462-3481, 2008.10.

8) Akira Ohchi, Shunitsu Kohara, Nozomu Togawa, Masao Yanagisawa and Tatsuo Ohtsuki, Floorplan-driven high-level synthesis for distributed/shared-register architectures, IPSJ Trans. on System LSI Design Methodology, vol. 1, pp. 78-90, 2008.

9) Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, and Satoshi Goto, Low power LDPC code decoder architecture based on intermediate message compression technique, IEICE Trans. on Fundamentals, vol. E91-A, no. 4, pp. 1054-1061, 2008.

10) Akira Ohchi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, High-level synthesis algorithms with floorplaning for distributed/shared-register architectures, Proc. IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT 2008), pp. 164-167, 2008.

11) Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, A secure test technique for pipelined advanced encryption standard, IEICE Transactions on Information and Systems, vol. E91-D, no. 3, pp. 776-780, 2008.

12) Kazuyuki Tanimura, Ryuta Nara, Shunitsu Kohara, Kazunori Shimizu, Youhua Shi, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki Scalable unified dual-radix architecture for montgomery multiplication in GF(P) and GF(2<sup>n</sup>), Proc. IEEE Asia and South Pacific Design Automation Conference 2008 (ASP-DAC 2008), pp. 697-702, 2008.

13) Youhua Shi, Nozomu Togawa, Masao

Yanagisawa, and Tatsuo Ohtsuki, GECOM: Test data compression combined with all unknown response masking, Proc. IEEE Asia and South Pacific Design Automation Conference 2008 (ASP-DAC 2008), pp. 577-582, 2008.

14) S. Kohara, Y. Shi, N. Togawa, M. Yanagisawa, and T. Ohtsuki, CoDaMa: An XML-based Framework to Manipulate Control Data Flow Graphs, Proc. Synthesis and System Integration of Mixed Technologies (SASIMI 2007), pp. 545-549, 2007.

15) Y. Shi, K. Nakayama, N. Togawa, M. Yanagisawa, and T. Ohtsuki, A network processor synthesis system for task-chaining network applications, Proc. Synthesis and System Integration of Mixed Technologies (SASIMI 2007), pp. 369-374, 2007.

16) Shi Youhua, Nozomu Togawa, Masao Yanagisawa, and Tatsuo Ohtsuki, Design for secure test - A case study on pipelined advanced encryption standard, Proc. IEEE International Symposium on Circuits and Systems 2007 (ISCAS 2007), pp. 149-152, 2007.

17) Kazunori Shimizu, Tatsuyuki Ishikawa, Nozomu Togawa, Takeshi Ikenaga, and Satoshi Goto, Power-efficient LDPC decoder architecture based on accelerated message-passing schedule, IEICE Trans. on Fundamentals, vol. E89-A, no. 12, pp. 3602-3612, 2006.

18) Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga and Satoshi Goto, Memory-efficient accelerating schedule for LDPC decoder, Proc. IEEE Asia Pacific Conference on Circuits and Systems 2006 (APCCAS 2006), pp. 1317-1320, 2006.

19) 栗原輝, 宮岡祐一郎, 戸川望, 柳澤政生, 大附辰夫, SIMD型プロセッサコアの自動合成のためのパイプライン演算ユニット生成手法, 情報処理学会論文誌, vol. 47, no. 6, pp. 1594-1607, 2006.

## 6. 研究組織

### (1) 研究代表者

戸川望 (TOGAWA NOZOMU)

早稲田大学・理工学術院・准教授

研究者番号: 30298161

(2) 研究分担者  
該当者なし

(3) 連携研究者  
該当者なし