

令和 4 年 6 月 15 日現在

機関番号：17104  
研究種目：基盤研究(B) (一般)  
研究期間：2018～2020  
課題番号：18H01430  
研究課題名(和文) 3次元Power supply on chip用プラットフォームの構築

研究課題名(英文) Development of the 3D Power Supply on Chip

## 研究代表者

松本 聡 (MATSUMOTO, Satoshi)

九州工業大学・大学院工学研究院・教授

研究者番号：10577282

交付決定額(研究期間全体)：(直接経費) 13,300,000円

研究成果の概要(和文)：GaNパワーデバイスとSi-LSIと積層構造実現を狙いとして、GaN/Si(111)とSi(100)基板を接合する技術を開発した。接合後、Si(111)基板を裏面側から研削・研磨することにより薄層化した。また、残りのSi(111)層をSF<sub>6</sub>によるエッチングで除去できることを明らかにした。排熱層に関しては、h-BNの排熱効果をSOI(Silicon on Insulator)構造を用いてシミュレーションにより評価した結果、SiO<sub>2</sub>を用いた場合に比べ、約30℃低温化できることを明らかにした。Si基板/グラファイト薄膜/Si基板、およびSi基板/グラファイト薄膜/SiO<sub>2</sub>/Siの積層構造を実現した。

## 研究成果の学術的意義や社会的意義

電源の究極の小型化が可能な3次元パワーSoC(Supply on Chip; Si-LSI、パワーデバイス、パワーデバイスを駆動・制御する回路、インダクタやコンデンサなどのパッシブ部品を1チップに積層)を実現に向けて、(1)異種デバイスの積層技術、(2)3次元パワーSoCに適した排熱技術、(3)シリコン基板や酸化膜付きSi基板の排熱層を組み込む技術を開発した。これらにより、電源の小型化、高効率化に見通しを得た。これらの結果は、電気エネルギーの高効率利用ができるため、低炭素社会実現に貢献できる。

研究成果の概要(英文)：We have developed wafer direct bonding process of GaN/Si(111) and Si(100) substrates to realize Si-LSI stacked with GaN power device. The bonded wafer is made it thin by grinding and polishing after bonding. Remaining Si(111) layer is etched by SF<sub>6</sub>. For heat exhaust layer, impact of hexagonal-BN for heat exhaust performance is simulated and results show that h-BN can reduce temperature by 30 degree compared with SiO<sub>2</sub>.

研究分野：パワーエレクトロニクス

キーワード：集積化電源 異種デバイス集積化 高周波スイッチング電源 パワーSoC 3次元集積化

様式 C-19、F-19-1、Z-19 (共通)

## 1. 研究開始当初の背景

“パワーエレクトロニクス”は“省エネルギー技術戦略 2016” (<http://www.nedo.go.jp/content/100795546.pdf>) の重要技術として取り上げられている。パワーエレクトロニクスで最も重要な装置の一つである電力変換装置は、小型化が研究開発のドライビングフォースとなっている(例えば、負荷である LSI の電源電圧の低電圧化と消費電流の増加に伴い、電源を負荷 (LSI) の直近に搭載することが望まれ、小型化が進んでいる。)。このような背景のもと、電源の究極の小型化である Power Supply on Chip (Power-SoC (図 1: パワーデバイス、負荷である Si-LSI、パワーデバイスを駆動・制御する回路 (Si)、インダクタやキャパシタをワンチップに搭載) が注目を集めている [2]。一方、発熱の問題により電源の小型化が限界に達することが予測された [1]。Power-SoC は小型化の観点から、30MHz 以上の高周波スイッチングが要求されており [3, 4]、これに対して、高周波で高効率動作が可能なワイドバンドギャップ (WBG) パワーデバイスへの期待が大きい。しかしながら、実装等に起因した寄生インピーダンスにより損失が増加するため、その潜在能力が発揮できていない [3, 5, 6]。

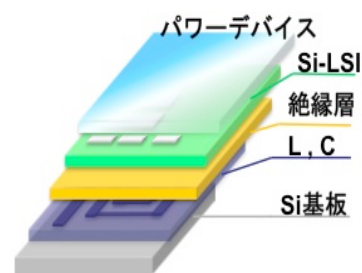


図 1 Power-SoC

電源の究極の小型化である Power-SoC では、放熱の問題を解決すること [1] が重要であり、(1) 有効に排熱・抜熱できること、電源の小型化に対してはスイッチング周波数の高周波化が有効であり、(2) 寄生容量と寄生インダクタンスを究極的に低減できること、Power-SoC では多種多様な半導体デバイスを同一基板上に搭載するため、(3) 素子間が完全分離できること、が重要課題である。SOI (Silicon on Insulator) 構造は、低寄生容量であるため高周波で低損失動作し、かつ素子間が完全絶縁分離できるため、小型化・高周波化に適している。SOI 構造の絶縁膜として用いる  $\text{SiO}_2$  は熱伝導率 ( $1.4\text{W/m}\cdot\text{K}$ ) が小さく、発熱の問題を有するため排熱・排熱技術が重要となる。さらに、パワーデバイスはデバイス内部に発生したホットスポットに起因するデバイス破壊の問題が生じており、チップ内でのホットスポットからの抜熱が課題となる。また、高周波で低損失動作するためには寄生インダクタンスの低減が重要となる。研究代表者は WBG パワーデバイスと Si デバイスを積層することにより究極的に寄生インダクタンスの低減が可能な 3 次元 Power-SoC (図 1) を提案し、従来の PCB 基板上に実装した電源に比べ、30MHz で約 65% 損失を低減 (効率: 87%) できることをシミュレーションにより明らかにした [3, 4]。以上述べたように、WBG パワーデバイス、Si デバイス (Si (100) 半導体層) と排熱・抜熱層の 3 次元積層構造の実現と発熱箇所に最も近いチップレベルでの排熱・抜熱による熱マネジメント技術の確立が重要となる。

## 2. 研究の目的

本研究は、3 次元 Power-SoC を実現する一環として、発熱の問題を解決するため熱伝導率が大きくかつ絶縁体の Thermal Interface Material (TIM) を用いて抜熱するとともにサーマルビアとして機能する TsemV (Through Semiconductor VIA) を組み込むことにより排熱・抜熱効果を高め、さらに低寄生インダクタンス化が可能な 3 次元 Power-SoC 用のプラットフォームを構築することを目的とする。

## 3. 研究の方法

### (1) Si (100) 基板と GaN/Si (111) の積層構造の実現と Si (111) 基板の除去技術

3 次元 power SoC の基本構造である Si (100) 基板と GaN/Si (111) の積層構造を実現するため

- ・接合前の基板に堆積する膜の構成と平坦化方法
- ・基板接合方法
- ・Si (111) 基板、buffer 層、GaN 層の除去方法

を検討した。

### (2) シミュレーション

h-BN やグラファイトシートの排熱効果を熱流体シミュレーションを用いて行った。

### (3) 排熱層の形成技術

市販のグラファイトシートを利用して、シリコン基板との直接接合による積層試験を実施した。使用したグラファイトシートは厚さ  $100\mu\text{m}$ 、密度  $0.85\text{g/cm}^3$ 、面方向熱伝導率  $700\text{W/m}\cdot\text{k}$ 、電気伝導度  $10000\text{S/cm}$  である。

## 4. 研究成果

### (1) Si (100) 基板と GaN/Si (111) の積層構造の実現と Si (111) 基板の除去技術

CMOS を Si (100) 基板上に作製することを想定して Si (100) 基板と GaN/Si (111) 基板の接合方法

について検討した。CMOS 及び GaN パワーデバイスの配線形成後に接合することを想定し、全てのプロセスを  $400^{\circ}\text{C}$  以下とすると同時に線膨張率の差の影響をできるだけ減らすためウエハー接合を室温で行うことを目標とした。

図 2 を用いてウエハー接合プロセスと Si(111) 基板と buffer 層の除去プロセスを説明する[7]。

CMOS デバイスを作製後、基板表面を平坦化することを想定し、Si(100) 基板に P-CVD  $\text{SiO}_2$  を堆積した後、 $R_q < 0.5 \text{ nm}$  となるよう CMP (Chemical Mechanical Polishing) により平坦化した(図 2(a))。その後 ALD (Atomic Layer deposition) により  $\text{Al}_2\text{O}_3$  (ALD- $\text{Al}_2\text{O}_3$ ) を P-CVD  $\text{SiO}_2$ /Si(100) 上と GaN/Si(111) 基板上に堆積した(図 2(b))。ALD- $\text{Al}_2\text{O}_3$  堆積後の ALD- $\text{Al}_2\text{O}_3$ /P-CVD  $\text{SiO}_2$ /Si(100) の AFM 像を

図 3 に示す。 $R_q$  は  $0.19 \text{ nm}$  であり、室温での接合に十分な平坦度である。次に両ウエハーの ALD- $\text{Al}_2\text{O}_3$  を接合面として、表面活性化接合[8]により室温で接合した。なお、GaN パワーデバイスと CMOS は face to face で接合することを想定した。接着後の写真を図 4 に示す。接合後、GaN/Si(111) 基板の Si(111) 基板を研削・研磨、CMP により薄層化した。さらに、 $\text{SF}_6$  を用いたドライエッチングにより Si(111) 基板を除去した。Si(111) 基板が完全にエッチングされた後、エッチングは停止した。接合後と Si(111) 基板除去後の断面の SEM 写真を図 5(a)、(b) に示す。図 5(b) に示すように Si(111) 基板を完全に除去することができた

[7]。また、Si(111) 基板除去後にデポ膜が形成された[9]。デポ膜が形成されることにより、Si(111) 基板除去後、エッチングが自動的に停止したと考えられる。

DRY エッチングにより buffer 上に生成したデポ膜を ICP RIE (Inductive Coupled Plasma Reactive Ion Etching) を用いてエッチングを行った試料の断面の SEM 写真を図 6 に示す。エッチング時間は 5 分と 25 分である。エッチング時間 25 分ではほぼ全ての GaN 層をエッチングすることができた[9]。

(2) h-BN と多層グラフェンの排熱効果のシミュレーションによる検討

h-BN の排熱効果を調べるために図 7 (a)(b)(c)(d) に示す構造に熱流体シミュレーションを行った[10,11]。(a)、(b) は SOI 構造で

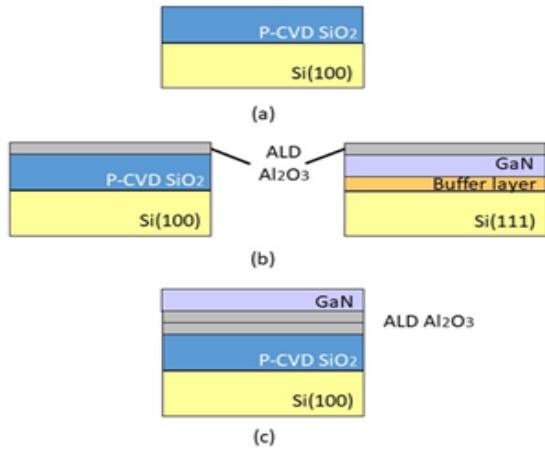


図 2 Si(100)基板と GaN/Si(111)基板の接合及び薄層化プロセス

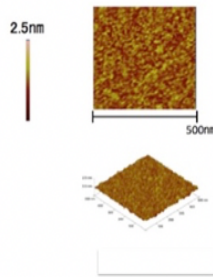


図 3 ALD- $\text{Al}_2\text{O}_3$  堆積後の AFM 像

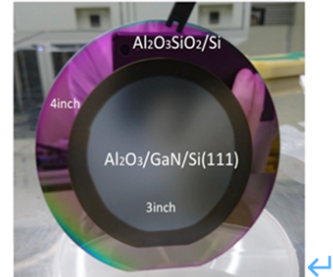
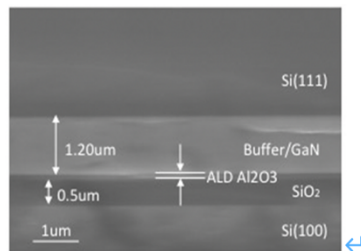
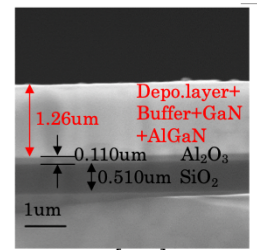


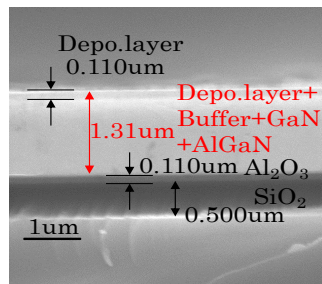
図 4 接合後の写真[7]



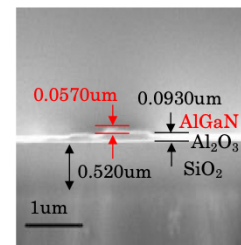
(a) 接合後



Ar 5[min]



(b) buffer と GaN 除去後



Ar 25[min]

図 5 断面の SEM 写真

図 6 ICP RIE によるエッチング後の断面の SEM 写真[9]

あり、(c)、(d) は 2 層の活性層



を有する場合である。図7(a)、(b)のシミュレーション結果を図8にシミュレーション結果を図8に示す。図7(a)、(b)のシミュレーション結果を図8に示す。SOI構造の埋め込み酸化膜をh-BNに替えることにより約30°C低温化できる。また、TSV(Through Silicon Via)を導入することによりさらに10°C低温化できる。これらの結果より、h-BNとTSVの組み合わせにより40°C低温化できた[10]。

2層のアクティブ層を持つ場合の発熱層の中心部の温度の比較を図9に示す。Insulator\_1、Insulator\_2をSiO<sub>2</sub>からh-BNに替えることにより65°C程度低温化でき、さらにTSVを導入することにより74°C程度低温化できる[11]。

### (3) 排熱層の形成方法

市販のグラファイトシート(多層グラフェン)を利用して、シリコン基板との直接接合による積層試験を実施した。グラファイトシートを化学機械研磨により表面を平滑化した。平滑化後の表面粗さはRaで1nm以下であった。続いてウェハ接合装置内でグラファイトシートとシリコン基板を表面活性化接合により接合した。本研究で試作したグラファイトシート/シリコン基板積層体の接合強度(密着性)を確認するため、下記のような実験を行った。直径150mmのグラファイトシート/シリコン基板積層体を、20mm角の小片に切り出した。この小片の角において、ピンセットによりグラファイトシートをつまんで、角から5mm程度の部分をシリコン基板から剥離した(図10)。グラファイトシートを剥離したシリコン基板の表面に対してラマン分光測定を行った。使用した励起用レーザーの波長は638nm、レーザー光のスポット径は1μmである。測定は図1に示すようにグラファイトシートを剥離した部分で基板の最も端(角)の場所(1)、および角からおおよそ2mmの部分(2)である。またグラファイトシートを剥離していない部分で(3)に示す場所においてグラファイトシート表面のラマン分光測定も行った。図11に(1)、(2)、(3)の3か所で測定したラマン分光スペクトルを示す。まずグラファイトシートをはがしていない部分(3)で測定したスペクトルでは、1579cm<sup>-1</sup>と2687cm<sup>-1</sup>に顕著なピークを持つ。1579cm<sup>-1</sup>のピークはグラファイトのGバンド、また2687cm<sup>-1</sup>のピークは2Dバンドであり、高品質グラファイトから得られる典型的なラマンスペクトルである。また1321cm<sup>-1</sup>付近に欠陥を示すDバンドが観測さ

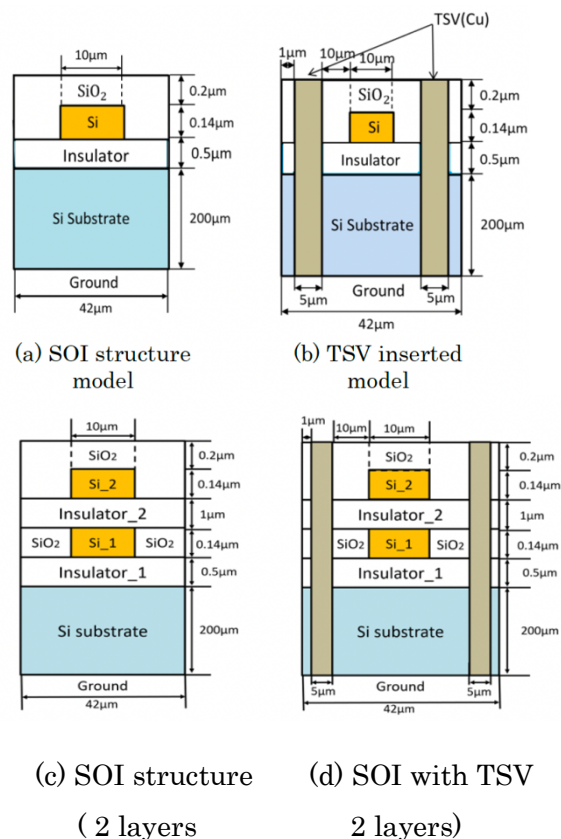


図7 シミュレーションに用いた構造[10,11]

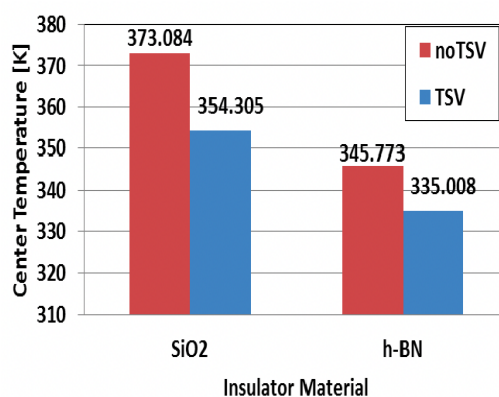


図8 SOI構造における発熱層の中心温度[10]

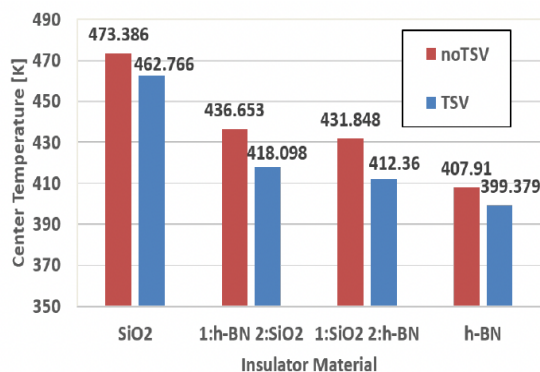


図9 発熱層の中心部の温[11]

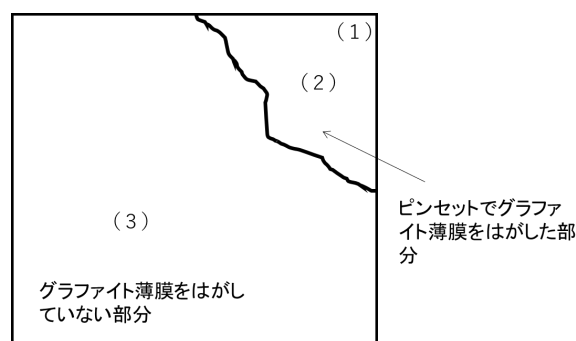


図10 グラファイトシート/シリコン基板積層体からグラファイトシートを剥離した部分(1, 2)および剥離していない部分(3)

れた。次にグラファイトシートを剥離した(1)および(2)のラマンスペクトルでは、(3)と同様にGバンドと2Dバンドのピークが明瞭に観測された。この結果は形成したグラファイトシート/シリコン基板積層体からピンセットでグラファイトシートを剥離した部分のシリコン基板表面にグラファイトシートが残っていることを示している。すなわちピンセットでグラファイトシートを剥離する作業ではグラファイトシートとシリコン基板の接合界面が剥離したのではなく、グラファイトの層間で剥離が生じたことが明らかとなった。このように形成したグラファイトシート/シリコン基板積層体の基板表面の接合強度はグラファイトシートの層間の接合強度よりも強固であることが明らかとなった。このように本研究では十分に強固な接合強度を有するグラファイトシート/シリコン基板積層体の形成に成功した。

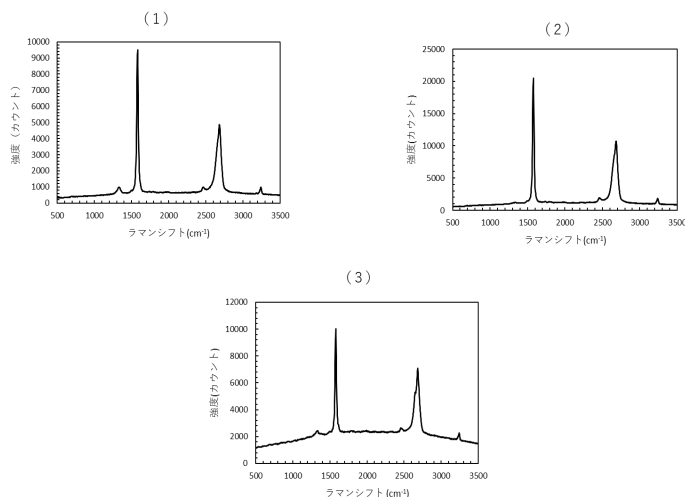


図 11 グラファイトシートを剥離した部分(図1の1および2)と剥離していない部分(図1の3)で測定したラマンスペクトル

## 5. まとめ

3次元パワーSoC実現に向けて、GaNパワーデバイスとSi-LSIを積層し、薄層化する技術、積層基板に排熱層として多層グラフェン(グラファイトシート)を組み込み技術開発した。また、これらの3次元積層体から効果的に排熱するための構造を検討した。具体的には、

- (1) GaN/Si(111)基板とSi(100)基板を室温で接着し、Si(111)基板を除去する技術
- (2) Si(111)基板をドライエッチングで除去する際に堆積されるデポ膜の除去方法とデポ膜の除去に続きbuffer層、GaN層を除去する技術
- (3) Si基板及びSi基板表面の酸化膜にグラファイトシートを接合する技術を開発した。

また、

- (4) h-BNを用いた時に、排熱に適した構造
- (5) グラファイトシートSi基板の接合強度がグラファイトシートの接合強度より強いことを明らかにした。

## 参考文献

- [1] J. Kolar et al., PCC Nagoya, p.9, 2007.
- [2] <http://pwrsocevents.com/pwsoc-2016-presentations/>
- [3] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, Japanese. J. of Applied Physics, vol.56, No.4, 04CR13, 2017.
- [4] Y. Ikeda, K. Hiura, Y. Hino, and S. Matsumoto, International Power Supply on Chip Workshop 2016, e-poster 09, 2016.
- [5] D. Reusch, Virginia Polytechnic Institute and State University Doctor thesis, p.192, 2012.
- [6] T. Akagi, S. Miyano, S. Abe, and S. Matsumoto, 2017 IEEE Applied Power Electronics Conference and Exposition(APEC), pp.1978-1982, 2017.
- [7] R. Ishito, K. Ono, and S. Matsumoto, IEEE CPMT Symposium Japan 2019(ICSJ2019) ECR Session12, 2019.
- [8] R. Konfpu and T. Suga, Script Materialia, 65, pp.320-322,2011.
- [9] M. Yokoi, K. Ono, K. Ishitoo, S. Shinkai, and S. Matsumot, IEEJ The papers of Technical meeting, EDD &SPC, EDD-10-018 SPC-19-167, 2019(in Japanese).
- [10] Y. Sato, K. Ono, M. Nomura, S. Matsumoto, and M. Hasegawa, "Extended Abstract of the 2018 International Conference on Solid State Devices and Materials, PS-4-08, 2018.
- [11] Y. Sato, K. Ono, S. Matsumoto, and M. Hasegawa, International Power Supply on Chip Workshop 2018, P5.3, 2018.

## 5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 2件/うちオープンアクセス 1件）

1. 著者名 L. Lingyun, K. Kirihara, Y. Okigawa, M. Hasegawa, W. Ding, M. Mukaida, Y. Zhou, W. Quingshuo,	4. 巻 78
2. 論文標題 Extracting Carrier Mobility Using a Photoinduced Charge Transfer Reaction: From conducting polymers to nanocarbon materials	5. 発行年 2020年
3. 雑誌名 ORGANIC ELECTRONICS	6. 最初と最後の頁 105615
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 R. Kato, Y. Hatano, N. Kasahata, C. Sato, K. Suenaga, M. Hasegawa	4. 巻 160
2. 論文標題 High-precision thickness control of ice layer on CVD grown bilayer graphene for cryo-TEM	5. 発行年 2020年
3. 雑誌名 CARBON	6. 最初と最後の頁 107-112
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Ryuichi Kato, Masataka Hasegawa,	4. 巻 141
2. 論文標題 Fast synthesis of thin graphite film with high-performance thermal and electrical properties grown by plasma CVD using polycrystalline nickel foil at low temperature	5. 発行年 2019年
3. 雑誌名 Carbon	6. 最初と最後の頁 768 773
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Kaito Kanahashi, Naoki Tanaka, Yoshiaki Shoji, Mina Maruyama, Il Jeon, Kenji Kawahara, Masatou Ishihara, Masataka Hasegawa, Hiromichi Ohta, Hiroki Ago, Yutaka Matsuo, Susumu Okada, Takanori Fukushima, Taishi Takenobu	4. 巻 3:7
2. 論文標題 Formation of environmentally stable hole-doped graphene films with instantaneous and high-density carrier doping via a boron-based oxidant	5. 発行年 2019年
3. 雑誌名 npj 2D Materials and Applications	6. 最初と最後の頁 019-0090-x
掲載論文のDOI（デジタルオブジェクト識別子） 10.1038/s41699-019-0090-x	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 S. Falina, M. Syamsul, Y. Iyama, M. Hasegawa, Y. Koga and H. Kawarada,	4. 巻 91
2. 論文標題 Carboxyl-functionalized Graphene SGFET pH Sensing Mechanism and Reliability of Anodization	5. 発行年 2018年
3. 雑誌名 Diam.Relat.Mater	6. 最初と最後の頁 15 21
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計31件 (うち招待講演 16件 / うち国際学会 11件)

1. 発表者名 古江文乃, 松本聡, 長谷川雅考
2. 発表標題 シミュレーションによるpower supply on chipにおける多層グラフェンの排熱効果の検討
3. 学会等名 2021応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 A. Furue, and S. Matsumoto, and M. Hasegawa
2. 発表標題 Numerical investigations of the multi-layer graphene as a thermal interface material and an elector-magnetic field shield layer for 3D power supply on chip applications
3. 学会等名 International Power Supply on Chip Workshop 2021 (国際学会)
4. 発表年 2021年

1. 発表者名 長谷川雅考
2. 発表標題 グラフェンの高スループット合成と産業化の試み
3. 学会等名 日本学術振興会181委員会第38回研究会 (招待講演)
4. 発表年 2021年

1. 発表者名 Masataka Hasegawa
2. 発表標題 Development and industrialization of graphene at AIST
3. 学会等名 Brazil-Japan Scientific Meeting on Graphene Research (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Masataka Hasegawa
2. 発表標題 Development of ground-breaking graphene products in AirMembrane
3. 学会等名 Graphene & 2DM Industrial Forum 2021 (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 M.Hasegawa, R.Kato, W.Mizutani, M.Ishihara, T.Yamada, Y.Okigawa
2. 発表標題 Synthesis and commercialization of graphene and related materials by plasma CVD
3. 学会等名 1 & 2DM Conference and Exhibition (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 長谷川雅考
2. 発表標題 高品質・量産化グラフェンによりつくばから事業化
3. 学会等名 基盤構築PJ 成果報告 (招待講演)
4. 発表年 2019年



1. 発表者名 M.Hasegawa, R.Kato, W.Mizutani, M.Ishihara, T.Yamada, Y.Okigawa
2. 発表標題 High-throughput synthesis of graphene by plasma CVD
3. 学会等名 MATERIALS RESEARCH MEETING 2019 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Masataka Hasegawa
2. 発表標題 High-throughput synthesis of graphene by plasma CVD
3. 学会等名 EuroCVD 22-Baltic ALD 16 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 岡本萌, 森山裕貴, 新海聡子
2. 発表標題 ドライエッチング後のn-GaN/i-GaN on Siにおける表面形態
3. 学会等名 第80 回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 横井雅志, 森山裕貴, 新海聡子
2. 発表標題 AlGaN/GaN/Buffer (111)SiとSiO <sub>2</sub> /(100)Siウエハのドライエッチング
3. 学会等名 第80 回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 長谷川雅考
2. 発表標題 原子層グラフェンの高スループット合成
3. 学会等名 粉末粉体冶金協会2019年度秋季大会（招待講演）
4. 発表年 2019年

1. 発表者名 R. Ishito, K. Ono, S. Matsumoto
2. 発表標題 Si(100)-GaN/Si(111) low temperature wafer bonding process for 3D power supply on chip
3. 学会等名 IEEE CPMT Symposium Japan 2019（国際学会）
4. 発表年 2019年

1. 発表者名 横井雅志, 小野晃太, 石戸降希, 新海聡子, 松本聡
2. 発表標題 3次元Power Supply on chip実現のためのプロセス技術開発
3. 学会等名 電気学会 電子デバイス/半導体電力変換合同研究会
4. 発表年 2019年

1. 発表者名 M. Hasegawa, R. Kato, W. Mizutani, M. Ishihara, T. Yamada, Y. Okigawa
2. 発表標題 Synthesis and commercialization of graphene and related materials by plasma CVD
3. 学会等名 1 & 2DM Conference and Exhibition（招待講演）（国際学会）
4. 発表年 2019年

1. 発表者名 岡本萌, 濱屋有志, 森山裕貴, 新海聡子
2. 発表標題 Cl <sub>2</sub> を用いたGaNエッチングに及ぼす装置からの影響
3. 学会等名 第67 回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 濱屋有志, 岡本萌, 新海聡子
2. 発表標題 Cl <sub>2</sub> を用いた低バイアスドライエッチングで出現するGaNの異方性
3. 学会等名 第67 回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Y. Sato, K. Ono, M. Nomura, S. Matsumoto, and M. Hasegawa
2. 発表標題 Impact of the semiconductor on hexagonal BN structure for power supply on chip applications
3. 学会等名 the 2018 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2018年

1. 発表者名 Y. Sato, K. Ono, M. Nomura, S. Matsumoto, and M. Hasegawa
2. 発表標題 Numerical predictions of a novel 3D stacked power SoC structure based on hexagonal-BN
3. 学会等名 International Power Supply on Chip Workshop 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 Masataka Hasegawa
2. 発表標題 High-throughput synthesis of graphene by plasma CVD and its commercialization
3. 学会等名 1 & 2DM Conference and Exhibition (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 長谷川雅考
2. 発表標題 産業応用を目指した原子層グラフェンの 高スループット合成技術開発
3. 学会等名 産学協同 次世代材料・デバイス創製研究会 (招待講演)
4. 発表年 2019年

1. 発表者名 長谷川雅考
2. 発表標題 グラフェンの用途開発の現状と課題
3. 学会等名 NEDO非連続イノベーション研究会 (招待講演)
4. 発表年 2018年

1. 発表者名 宇崎滉太, 新海聡子, 大槻秀夫
2. 発表標題 低バイアスICP-RIEによるn-GaN表面粗さ評価
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 宇崎滉太, 新海聡子
2. 発表標題 各種 GaN 基板におけるエッチング依存性
3. 学会等名 平成30年度応用物理学会九州支部学術講演会
4. 発表年 2018年

1. 発表者名 林卓矢, 宇崎滉太, 新海聡子
2. 発表標題 走査型電子顕微鏡を用いたエッチング後のGaN表面観察
3. 学会等名 平成30年度応用物理学会九州支部学術講演
4. 発表年 2018年

1. 発表者名 宇崎滉太, 新海聡子
2. 発表標題 低バイアスエッチング後の GaN on GaN 表面形態
3. 学会等名 第 66 回応用物理学会春季学術講演会
4. 発表年 2019年

〔図書〕 計0件

〔出願〕 計6件

産業財産権の名称 基板の表面処理方法、表面処理装置および表面処理溶液	発明者 新海聡子	権利者 同左
産業財産権の種類、番号 特許、特願2021-211935	出願年 2021年	国内・外国の別 国内

産業財産権の名称 グラファイト薄膜とシリコン基板の積層体およびその製造方法	発明者 長谷川雅考	権利者 同左
産業財産権の種類、番号 特許、特願2018-246592	出願年 2018年	国内・外国の別 国内

産業財産権の名称 グラフェンシート導電性改善方法及び導電性が改善されたグラフェンシートを用いた電極構造	発明者 水谷 亘、沖川 侑 揮、長谷川 雅考	権利者 同左
産業財産権の種類、番号 特許、PCT/JP2018/021565	出願年 2018年	国内・外国の別 外国

産業財産権の名称 透過電子顕微鏡試料支持体、その製造方法及びそれを用いたサンプル調整方法	発明者 加藤隆一、佐藤主 税、末永和知、長谷 川雅考	権利者 同左
産業財産権の種類、番号 特許、特願2019-149692	出願年 2019年	国内・外国の別 国内

産業財産権の名称 複合体および複合体の製造方法	発明者 桐原和太、衛慶碩、 沖川侑揮、向田雅 一、長谷川雅考	権利者 同左
産業財産権の種類、番号 特許、特願2019-167387	出願年 2019年	国内・外国の別 国内

産業財産権の名称 グラファイト薄膜/シリコン基板積層体、及びその製造方法、高排熱型電子デバイス用基板	発明者 長谷川雅考	権利者 同左
産業財産権の種類、番号 特許、PCT/JP2019/050910	出願年 2019年	国内・外国の別 外国

〔取得〕 計0件

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	長谷川 雅考  (HASEGAWA Masataka)  (20357776)	国立研究開発法人産業技術総合研究所・材料・化学領域・研究グループ長    (82626)	
研究 分 担 者	新海 聡子  (SHINKAI Satoko)  (90374785)	九州工業大学・情報工学研究院・准教授    (17104)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------