

令和 4 年 6 月 4 日現在

機関番号：13901

研究種目：基盤研究(B)（一般）

研究期間：2018～2021

課題番号：18H01498

研究課題名（和文）単一磁束量子回路における動作速度の量子力学的極限の追究

研究課題名（英文）Study on Quantum Mechanical Limit of Operating Speed in Single-Flux-Quantum Circuits

研究代表者

田中 雅光 (Tanaka, Masamitsu)

名古屋大学・工学研究科・助教

研究者番号：10377864

交付決定額（研究期間全体）：（直接経費） 13,100,000円

研究成果の概要（和文）：高速性と低エネルギー性を両立する超伝導単一磁束量子（SFQ）回路により、量子力学的不確定性に迫る領域での論理回路を目指した研究を行った。精密なタイミング設計により、複雑なSFQ回路においても50GHz程度の動作が可能であること、さらに工夫すれば現在の作製プロセスで100GHz以上の高周波動作が可能であることを示した。また、シャント抵抗の部分的な省略やスケールリングによる高速化、将来より高速な動作が見込める窒化ニオブ接合を用いた回路の評価も行った。低エネルギー化に関しては、駆動電圧や電流を低減させた場合の詳細な解析を行い、動作速度との関係を明らかにした。

研究成果の学術的意義や社会的意義

一般に、論理回路には高速性と消費電力の間にトレードオフの関係があり、両立は困難である。SFQ回路においては、動作速度に対して配線遅延や発熱が律速要因にならないため、本研究で示したような、徹底的な動作速度の向上と低エネルギー化を同時に進めると、究極的には量子力学的不確定性が論理回路の動作速度の限界を決定するのか？という問いに行き当たると考えられる。本研究での成果は、超伝導回路の将来性を議論するために必要不可欠なだけでなく、論理回路の物理的限界の学理解明に向けた第一歩と考えられる。

研究成果の概要（英文）：This research aims to pursue logic circuits operating near the quantum mechanical limit by superconductor single-flux-quantum (SFQ) circuits, by which high-speed and low-energy operations are compatible. The study on high-speed operations revealed that complex SFQ circuits could achieve 50-GHz clock frequencies by the developed precise timing design techniques and more than 100 GHz by further optimization based on the current fabrication process. Evaluations of speedup by partially removing shunt resistors, junction scaling, and niobium nitride Josephson junctions were also conducted. The detailed investigation on low-energy operation showed the relationship between energy consumption and operating speed in lowered currents and/or voltages.

研究分野：超伝導エレクトロニクス

キーワード：単一磁束量子回路 超伝導デバイス ビット誤り率 低消費電力 高エネルギー効率 量子ゆらぎ 窒化ニオブ

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

## 1. 研究開始当初の背景

半導体デバイスの微細化とそれに伴う CMOS 集積回路の指数関数的な性能向上が終焉を迎えようとしている。消費電力の問題が露呈したことで、CMOS 集積回路のクロック周波数は数 GHz で頭打ちとなっている状況が 10 年以上続いているが、微細化限界に達した後は集積度の向上による高性能化も見込めなくなる。これは、これまで圧倒的多数のトランジスタを拠り所としたマイクロプロセッサの高度な発達や、台頭しつつある人工知能・機械学習などを駆使した情報処理が、今後は停滞を余儀なくされることを意味する。高度情報社会の持続的発展のためには、シリコンの限界を超える、新たな集積回路技術の開拓と確立が、微細化限界を迎える前に必要である。

超伝導単一磁束量子 (SFQ) 回路は、次世代の大規模集積回路 (LSI) 技術として期待が寄せられている。ジョセフソン接合の高速性に加え、質量を持たない超伝導ループ内の磁束 (ループ間を移動する際は幅数 ps、波高値サブ mV のインパルス状の電圧として現れる) を信号とすること、無損失伝送路による高速長距離配線技術が利用できることを特徴とし、ポストシリコン時代の LSI として必要不可欠な、高速性と低エネルギー性の両方を回路として兼ね備える。

一方、論理回路の物理的限界に関する学術的探求において、損失が小さく、高速なジョセフソン接合に基づく超伝導回路は、これまでも議論の好例となっている。近年、SFQ 回路の省電力低エネルギー化技術が著しく進展してきた。SFQ 信号が持つエネルギーは、およそ  $I_c \Phi_0$  (ジョセフソン接合の臨界電流値と磁束量子の積) であり、典型的な設計では  $10^{-19}$  J 程度であるが、1 ビットあたりの消費エネルギーとしてこれに近い値に到達しており、超伝導断熱回路 [1]により、さらに消費エネルギーを下げ、熱的極限 (ランダウア限界) [2]に迫る報告もなされている。

## 2. 研究の目的

一般に、論理回路には高速性と消費電力の間にトレードオフの関係があり、両立は困難である。SFQ 回路においては、動作速度に対して配線遅延や発熱が律速要因にならないため、徹底的な動作速度の向上を追求しつつ、低エネルギー化を同時に進めると、究極的には量子力学的不確定性 ( $\Delta E \Delta t \sim \hbar$ ) が論理回路の動作速度の限界を決定するのかわかると考えられる。本研究では、量子力学的極限の追究を念頭に、SFQ 回路の高速化と低エネルギー化の追求を目的とした。また、原理的には量子力学的極限に迫る回路の誤動作は不可避であるので、そのような状況における情報処理の可能性についても研究を行うこととした。

## 3. 研究の方法

SFQ 回路の高速化に関しては、回路設計技術とデバイス作製技術の両面から検討と実験を行った。まずは確立しているニオブ集積回路プロセス[3]を用い、SFQ 回路の高周波設計を追究し、動作実証を進めた。ここではある程度複雑で大規模な演算回路を対象に、SFQ 回路の動作速度の向上を目指した。また、通常の SFQ 回路の設計で、ジョセフソン接合のスイッチングを安定化させるために並列に接続するシャント抵抗  $R_s$  (ダンピング抵抗) を取り除いた、低エネルギーアンシャント SFQ 回路についても詳細な解析と実験を行った。新たなデバイス作製技術に関しては、接合寸法の縮小 (スケーリング) による高速化の実験的な評価や、ニオブより高速な動作が見込める窒化ニオブによる SFQ 回路の試作評価を行った。

SFQ 回路の低エネルギー化に関しては、駆動電圧や電流を低減させる手法について詳細な解析を行った。これらを適用すると、スイッチ速度の低下や時間ゆらぎの増加が起きることが予測されるため、数値計算や実験による低エネルギー化への貢献と、動作速度への影響を定量的に調査した。また、高速かつ低エネルギー性を追求する別の手法として、磁性ジョセフソン接合を用い、半磁束量子を情報担体とした新たな論理回路[4]も有力な候補となってきたため、平行して数値計算による解析を行った。

## 4. 研究成果

### (1) SFQ 回路の高周波設計の追究

SFQ 回路において、ジョセフソン接合のスイッチ時間（電圧パルスの時間幅）は凡そ  $\Phi_0 / (I_c R_s)$  で、ニオブ  $10 \text{ kA/cm}^2$  プロセスでは約  $2 \text{ ps}$  である。これまでの設計経験から、パルス信号の到着タイミングのずれや揺らぎに対する余裕を考慮して、パルス幅に対して  $5 \sim 10$  倍程度のクロック周期が必要である。ただし、これに相当する  $100 \text{ GHz}$  や  $50 \text{ GHz}$  で動作する回路は、それぞれ規則的な構造をしたシフトレジスタ回路や回路規模を抑えたビットシリアル処理演算器のみとなっており、大規模なランダムロジックでは更に動作周波数が下がることが危惧されていた。

本研究では、論理ゲート間の伝送線路配線の長さを  $10 \mu\text{m}$  以下の単位で揃え、タイミング揺らぎのずれを最小にするクロック信号分配、ファンアウト等の負荷を考慮した細かな遅延調整を徹底的に行う設計手法を適用することで、図 1 上に示すビット並列アレイ型乗算器のような、複雑で大規模な回路の高速動作実証に成功した。およそ  $20,000$  素子を含む回路でも  $48 \text{ GHz}$  動作が可能であることを示し、単一の乗算器で圧倒的なスループット性能を示したことで、半導体集積回路の国際会議においても高評価を得た。

さらに、同一のパイプラインステージ上には近いタイミング特性の論理ゲートのみを並べるようにして設計を最適化することで、 $100 \text{ GHz}$  を超える加算器の動作を実証した（図 1 下）。本研究ではこの他に、フィードバックループなど、より複雑な構造を持つ論理回路のタイミング設計手法に関する研究も行っており、一般的な SFQ 回路をパルス幅の  $5$  倍程度のクロック周期で動作させる設計技術は確立できたと考えている。

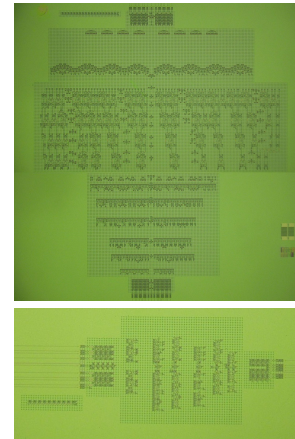


図 1:  $48 \text{ GHz}$  乗算器（上）と  $100 \text{ GHz}$  加算器（下）

### (2) 低エネルギーアンシャント SFQ 回路

SFQ 回路内において、シャント抵抗はジョセフソン接合の安定したスイッチ動作のために重要な役割を持つが、動作速度を低下させ、タイミング揺らぎを引き起こす主要な雑音源であることが知られている。本研究では、回路内の少数のシャント抵抗を取り除く（アンシャント接合とする）ことで、動作の安定性を大きく損なうことなくスイッチ動作を高速化できる可能性を見だし、数値計算による解析を進めた。

演算器の中で高周波動作のボトルネックとなる、排他的論理和（XOR）ゲートに対してアンシャント接合を用いる位置を最適化した結果、数値解析では  $10\%$  程度の高速化が見込まれた。一方、アンシャント接合を含む XOR ゲートを組み込んだ加算器の試作を行い、高周波テストを実施したところ、①高速化が確認できた加算器もあったが、結果がばらついており優位性は明確でない、②アンシャント接合を含む XOR ゲートの動作点が、駆動電流を設計値から少し高い点にくることが多い、という実験結果を得た。

そこで改めて数値解析を見直したところ、シャント抵抗のレイアウトを含む、ジョセフソン接合周辺の寄生インダクタンスが、等価回路に反映しきれていない可能性が示唆された。このため、ジョセフソン接合がスイッチする際の振る舞いを正確にシミュレートできておらず、アンシャント化する接合の選択が妥当でない可能性があると考えられる。今後、再度、XOR ゲートの設計をやり直して効果を検証する必要があると考えている。

### (3) 高速動作に向けたデバイス作製技術

SFQ 回路においては、ジョセフソン接合の設計  $I_c$  を一定とする場合、接合寸法を縮小するとともに臨界電流密度を上げることになる。この結果、接合寸法に比例してスイッチ時間が短縮される、スケール則が成り立つと考えられる。臨界電流密度を  $10 \text{ kA/cm}^2$  から  $25 \text{ kA/cm}^2$  に変更し、最小の接合寸法を  $1.0 \mu\text{m}$  から  $0.6 \mu\text{m}$  相当に縮小した作製プロセスにおいて回路の試作を行い、オンチップテストによる高周波動作試験を行った。8 bit のシフトレジスタ回路の評価を行ったところ、最高  $170 \text{ GHz}$  の動作を得た。周波数の向上は、凡そスケール則から予測される値であり、将来の微細加工の効果を実験的に確認することができたと考えている。

また、ニオブよりも高速な動作が見込める材料として、ニオブよりも高い超伝導転移温度を持つ窒化ニオブが挙げられる。本研究では、情報通信研究機構の協力を得て、図 2 に示す SFQ 回

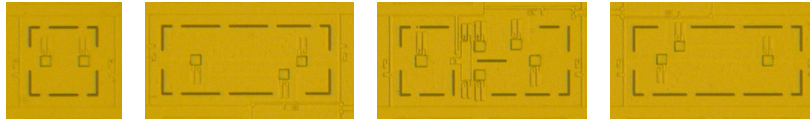


図2: 窒化ニオブ接合を用いた SFQ 回路の写真 (左から信号伝搬、分岐、合流、D フリップフロップ)

路の試作を行った。窒化ニオブ接合による集積プロセスで信号伝搬、パルスの分岐・合流、データ保持の機能を持つ回路要素の回路パラメータ及びマスクレイアウトの設計を行った。これらを組み合わせれば、原理的には任意の SFQ 論理ゲートが構成できる。試作したチップを評価した結果、これまでのところ、液体ヘリウム温度において、室温との信号変換や信号伝搬を不安定ながら確認した。臨界電流密度などのパラメータのずれが原因と考えられ、また、チップ内で意図しないショートや断線が見られたため、ある程度の規模の集積回路の動作実証には作製プロセスを考慮して回路設計を見直す必要があるが、回路動作の手がかりを得ることができた。

#### (4) 駆動電圧・電流の低減によるエネルギー化

SFQ 回路の中で用いるジョセフソン接合の  $I_c$  を下げて動作電流を低減する、駆動電圧  $V_b$  を下げる、或いはその両者を組み合わせることで、SFQ 回路の低消費電力化を進めた。本研究では、先行研究[5]で行われていた遅延時間に対する影響の評価だけでなく、論理ゲートのセットアップ時間やホールド時間といった、SFQ 回路の動作周波数の上限に関わるタイミングパラメータについても系統的な解析を行った。D フリップフロップに対する解析結果を図3に示す[6]。ここでは回路内の抵抗に対して 4.2 K の熱雑音を印加している。接合の  $I_c$  を下げる場合、遅延時間に変化はないが、信号雑音比が悪化することでセットアップ時間やホールド時間の揺らぎ (標準偏差) が増える。一方、 $V_b$  を下げる場合はスイッチ動作時にバイアス電流量が動的に変化するため、遅延が大きくなるだけでなく、複雑な振る舞いをする。論理ゲートにより傾向は異なることが分かり、セットアップ時間とホールド時間はタイミングがずれただけで和 (入力禁止時間) は変わらないもの、入力禁止時間が大きくなるものなどがある。 $V_b$  を下げる場合も、セットアップ時間やホールド時間の標準偏差は増える。

これらの特性を踏まえ、ある周波数における論理ゲートのエラーをモデル化して全加算器の誤動作確率を解析したものを図4に示す[6]。ここでは、熱雑音によりパルス信号の到着時間がずれ、一定の確率で回路を構成する論理ゲートの入力値にエラーが起きることを仮定して計算を行っているが、他の揺らぎに対しても応用可能である。高周波で動作する大規模 SFQ 回路で年間のエラー回数が 1 回以下といった低い誤動作確率を達成するには、大きなタイミングマージンを確保する必要があり、特に低  $I_c$ 、低  $V_b$  の領域で動作周波数が制限される。それに対し、例えば  $10^{-6}$  (100 万回に 1 回) の誤動作確率を許容できる場合、エネルギー効率には 60% 改善することを明らかにした。このようなアプリケーション例としては、機械学習やメディア処理、組合せ最適化問題の求解などが想定され、極限的な状況での SFQ 回路の応用先として期待される。

#### (5) 磁性ジョセフソン接合の利用

ジョセフソン接合の  $I_c$  を下げるには、接合面積を小さくする必要があり、大幅に低減するには微細加工が必要となる。それに代わる手法として、磁性ジョセフソン接合で作る  $\pi$  シフトジョセフソン接合を超伝導ループに含む超伝導量子干渉計 (SQUID) をスイッチ素子として使用することが考えられる[4]。この SQUID は、パラメータ選択により、見かけの  $I_c$  が 1/10 以下に下がった小さなジョセフソン接合のように振る舞う上、(4)で述べた低電圧駆動との併用により、小さな外力でスイッチでき、高速化と低エネルギー化を両立しやすい。動作速度と消費電力に関する解析を数値計算により行い、論文[7]にまとめた。

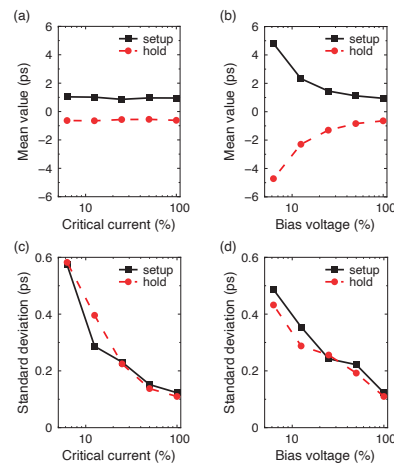


図3: D フリップフロップにおけるタイミングパラメータ[6]

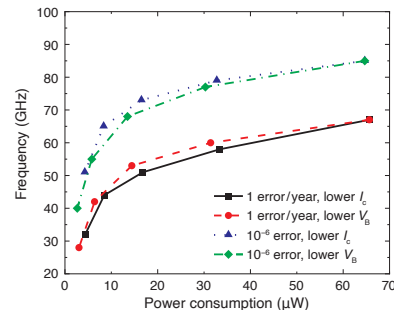


図4: 低消費電力化と動作上限周波数のトレードオフ[6]

## 参考文献

- [1] N. Takeuchi, Y. Yamanashi, and N. Yoshikawa, “Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator,” *Appl. Phys. Lett.*, vol. 102, no. 5, p. 052602, 2013.
- [2] R. Landauer, “Irreversibility and Heat Generation in the Computing Process,” *IBM J. Res. Dev.*, vol. 5, no. 3, pp. 183–191, 1961.
- [3] 日高睦夫, 永沢秀一, “低温超伝導デバイス作製プロセスと今後の展望,” *低温工学*, vol. 52, no. 5, pp. 315–322, 2017.
- [4] T. Kamiya, M. Tanaka, K. Sano, and A. Fujimaki, “Energy/space-efficient rapid single-flux-quantum circuits by using  $\pi$ -shifted Josephson junctions,” *IEICE Trans. Electron.*, vol. E101-C, no. 5, pp. 385–390, 2018.
- [5] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki, “18-GHz, 4.0-aJ/bit operation of ultra-low-energy rapid single-flux-quantum shift registers,” *Jpn. J. Appl. Phys.*, vol. 51, p. 053102, 2012.
- [6] M. Kuniyoshi et al., “Investigation of timing parameters in single-flux-quantum circuits using low critical-current junctions and low bias voltages,” *IEEE Trans. Appl. Supercond.*, vol. 31, no. 5, p. 1101405, 2021.
- [7] F. Li, Y. Takeshita, D. Hasegawa, M. Tanaka, T. Yamashita, and A. Fujimaki, “Low-power high-speed half-flux-quantum circuits driven by low bias voltages,” *Supercond. Sci. Technol.*, vol. 34, no. 2, p. 025013, 2021.

## 5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 F. Li, Y. Takeshita, D. Hasegawa, M. Tanaka, T. Yamashita, and A. Fujimaki	4. 巻 34
2. 論文標題 Low-power high-speed half-flux-quantum circuits driven by low bias voltages	5. 発行年 2021年
3. 雑誌名 Superconductor Science and Technology	6. 最初と最後の頁 025013-025013
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1361-6668/abcaac	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 M. Kuniyoshi, K. Murase, I. Nagaoka, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki	4. 巻 31
2. 論文標題 Investigation of Timing Parameters in Single-Flux-Quantum Circuits Using Low Critical-Current Junctions and Low Bias Voltages	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1101405-1101405
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3067827	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 I. Nagaoka, K. Ishida, M. Tanaka, K. Sano, T. Yamashita, T. Ono, K. Inoue, and A. Fujimaki	4. 巻 31
2. 論文標題 Demonstration of a 52-GHz Bit-Parallel Multiplier Using Low-Voltage Rapid Single-Flux-Quantum Logic	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1302505-1302505
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3071996	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 R. Kashima, I. Nagaoka, M. Tanaka, T. Yamashita, and A. Fujimaki	4. 巻 31
2. 論文標題 64-GHz Datapath Demonstration for Bit-Parallel SFQ Microprocessors Based on a Gate-Level-Pipeline Structure	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1301006-1301006
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3061353	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計58件（うち招待講演 8件 / うち国際学会 26件）

1. 発表者名 M. Higashi, Y. Takeshita, K. Kato, H. Fujisawa, F. Li, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Study on magnetic properties of $\delta$ -junction-based artificial spin systems
3. 学会等名 15th European Conference on Applied Superconductivity (EUCAS 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 F. Li, Y. Takeshita, K. Kato, M. Higashi, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Demonstration of half-flux-quantum T-flip flops made up with only $\delta$ junctions
3. 学会等名 15th European Conference on Applied Superconductivity (EUCAS 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 I. Nagaoka, R. Kashima, T. Nakano, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Implementation of a high-throughput bit-parallel microprocessor using single-flux-quantum logic
3. 学会等名 15th European Conference on Applied Superconductivity (EUCAS 2021) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 F. Li, Y. Takeshita, D. Hasegawa, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Low-power half-flux-quantum circuits and the fabrication process based on ferromagnetic SFIS Josephson junctions
3. 学会等名 The 14th Superconducting SFQ VLSI Workshop (SSV 2021) / 3rd Workshop on Quantum and Classical Cryogenic Devices, Circuits, and Systems (QCCC 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 F. Li, Y. Takeshita, D. Hasegawa, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Half-flux-quantum circuits using $\pi$ -shifted ferromagnetic junctions
3. 学会等名 34th International Symposium on Superconductivity (ISS2 2021) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 加島亮太, 長岡一起, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 フィードバックパスを伴う単一磁束量子回路の高スループット・低レイテンシ化
3. 学会等名 超伝導エレクトロニクス研究会
4. 発表年 2021年

1. 発表者名 中埜智貴, 長岡一起, 加島亮太, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 10kA/cm <sup>2</sup> プロセスを用いた単一磁束量子100GHzビット並列加算器の実証
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 東正志, 竹下雄登, 加藤健人, 藤澤日向, 李峰, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 高透磁率を得るための $\pi$ 接合を用いた人工スピン系の提案
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年



1. 発表者名 李峰, 竹下雄登, 東正志, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 - - SQUIDに基づく半磁束量子Tフリップフロップ
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 長岡一起, 加島亮太, 田中雅光, 山下太郎, 川上哲志, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の設計
3. 学会等名 2021年電子情報通信学会ソサイエティ大会
4. 発表年 2021年

1. 発表者名 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 アンシャント接合による加算器の高速化
3. 学会等名 2021年電子情報通信学会ソサイエティ大会
4. 発表年 2021年

1. 発表者名 加島亮太, 長岡一起, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 低レイテンシ化を目的としたインターリーブ方式レジスタを伴う単一磁束量子データパスの動作実証
3. 学会等名 2021年電子情報通信学会ソサイエティ大会
4. 発表年 2021年

1. 発表者名 長岡一起, 加島亮太, 田中雅光, 川上哲志, 谷本輝夫, 山下太郎, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の動作実証
3. 学会等名 2022年電子情報通信学会総合大会
4. 発表年 2021年

1. 発表者名 長岡一起, 加島亮太, 田中雅光, 川上哲志, 谷本輝夫, 山下太郎, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の動作実証
3. 学会等名 2022年電子情報通信学会総合大会
4. 発表年 2021年

1. 発表者名 F. Li, D. Pham, Y. Takeshita, K. Kato, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 - - SQUIDS: The Switching Element of HFQ Circuits Operating at mK
3. 学会等名 第69回応用物理学会春季学術講演会 (招待講演)
4. 発表年 2021年

1. 発表者名 中山彪之助, 上田伴春, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 量子ビットとのモノリシック実装に向けたNbNベース超低消費電力単一磁束量子回路の設計
3. 学会等名 第69回応用物理学会春季学術講演会
4. 発表年 2021年

1. 発表者名 田中雅光, 山下太郎, 藤巻朗, 牧瀬圭正, 永沢秀一, 日高睦夫
2. 発表標題 25 kA/cm <sup>2</sup> Nb/Al/AlOx/Al/Nb接合を用いた単一磁束量子シフトレジスタの170 GHz動作
3. 学会等名 第69回応用物理学会春季学術講演会
4. 発表年 2021年

1. 発表者名 M. Higashi, D. Hasegawa, Y. Takeshita, F. Li, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Proposal of SFQ annealer using $\pi$ -junction-based SQUIDs operating at 4 K
3. 学会等名 2020 Applied Superconductivity Conference (ASC 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 I. Nagaoka, K. Ishida, M. Tanaka, K. Sano, T. Yamashita, T. Ono, K. Inoue, and A. Fujimaki
2. 発表標題 Demonstration of a 52-GHz, energy-efficient, bit-parallel multiplier using low-voltage rapid single-flux-quantum logic
3. 学会等名 2020 Applied Superconductivity Conference (ASC 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 K. Kitamura, M. Tanaka, T. Kawaguchi, I. Nagaoka, K. Takagi, A. Fujimaki, and N. Takagi
2. 発表標題 High-density routing with wire length matching for single-flux-quantum circuits using thin passive transmission lines
3. 学会等名 2020 Applied Superconductivity Conference (ASC 2020) (国際学会)
4. 発表年 2020年

1 . 発表者名 M. Kuniyoshi, K. Murase, I. Nagaoka, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki
2 . 発表標題 Investigation of timing parameters in single flux quantum circuits using low critical current junctions and low bias voltages
3 . 学会等名 2020 Applied Superconductivity Conference (ASC 2020) (国際学会)
4 . 発表年 2020年

1 . 発表者名 F. Li, Y. Takeshita, D. Hasegawa, M. Tanaka, T. Yamashita, and A. Fujimaki
2 . 発表標題 Demonstration of $\pi$ -junction-based SQUIDs with half-flux-quantum modulation periods for energy-efficient circuits
3 . 学会等名 2020 Applied Superconductivity Conference (ASC 2020) (国際学会)
4 . 発表年 2020年

1 . 発表者名 R. Kashima, I. Nagaoka, M. Tanaka, K. Sano, T. Yamashita, and A. Fujimaki
2 . 発表標題 50-GHz datapath for parallel SFQ microprocessors based on gate-level-pipeline architecture
3 . 学会等名 2020 Applied Superconductivity Conference (ASC 2020) (招待講演) (国際学会)
4 . 発表年 2020年

1 . 発表者名 M. Tanaka, M. Kuniyoshi, K. Murase, I. Nagaoka, T. Yamashita, and A. Fujimaki
2 . 発表標題 Extremely energy-efficient processing using superconductor circuits near physical limits
3 . 学会等名 2nd Workshop on Quantum and Classical Cryogenic Devices, Circuits, and Systems (QCCC 2020) (国際学会)
4 . 発表年 2020年

1. 発表者名 村瀬健, 藤巻朗, 山下太郎, 田中雅光, 佐野京佑
2. 発表標題 広帯域配線を備えた超伝導デジタル回路用冷凍機システムの特性評価
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 東正志, 長谷川大輝, 竹下雄登, 李峰, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 SFQアニーラにおける隣接するスピン間の相互作用の影響
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 低消費電力単一磁束量子回路における論理ゲートのタイミングパラメータ解析
3. 学会等名 2020年電子情報通信学会ソサイエティ大会
4. 発表年 2020年

1. 発表者名 長岡一起, 加島亮太, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 フィードバックループを含む単一磁束量子回路の高周波設計に向けたカウンターフロー方式シフトレジスタのタイミング解析
3. 学会等名 2020年電子情報通信学会ソサイエティ大会
4. 発表年 2020年

1. 発表者名 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 単一磁束量子回路に基づく並列処理データパスの 64GHz動作実証
3. 学会等名 2020年電子情報通信学会ソサイエティ大会
4. 発表年 2020年

1. 発表者名 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 アンシャント接合によるSFQ論理ゲートのエネルギー効率の向上
3. 学会等名 電子情報通信学会2021年総合大会
4. 発表年 2021年

1. 発表者名 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 単一磁束量子回路の高集積化へ向けた細線受動伝送線路の評価
3. 学会等名 電子情報通信学会2021年総合大会
4. 発表年 2021年

1. 発表者名 長岡一起, 加島亮太, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 単一磁束量子回路に基づく 50GHzビット並列演算マイクロプロセッサの設計
3. 学会等名 電子情報通信学会2021年総合大会
4. 発表年 2021年

1. 発表者名 東正志, 長谷川大輝, 竹下雄登, 加藤健人, 藤澤日向, 李峰, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 SFQアーキテクチャに向けた単一のスピントランジスタの特性評価
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2021年

1. 発表者名 長岡一起, 田中雅光, 佐野京佑, 山下太郎, 井上弘士, 藤巻朗
2. 発表標題 100TOPS/W超伝導単一磁束量子演算器
3. 学会等名 LSIとシステムのワークショップ2019
4. 発表年 2019年

1. 発表者名 田中雅光, 長岡一起, 石田浩貴, 佐野京佑, 山下太郎, 小野貴継, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子回路に基づくゲートレベル・パイプライン算術論理演算器の高エネルギー効率化と0.3mW, 30GHz動作実証
3. 学会等名 2019年並列/分散/協調処理に関する『北見』サマー・ワークショップ (SWoPP2019)
4. 発表年 2019年

1. 発表者名 Nagaoka, M. Tanaka, K. Sano, T. Yamashita, K. Inoue, and A. Fujimaki
2. 発表標題 Demonstration of an energy-efficient, gate-level-pipelined 100 TOPS/W arithmetic logic unit based on low-voltage rapid single-flux-quantum logic
3. 学会等名 17th International Superconductive Electronics Conference (ISEC 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 長岡一起, 田中雅光, 佐野京佑, 山下太郎, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子回路に基づく低電圧駆動ゲートレベルパイプライン算術論理演算器の設計と評価
3. 学会等名 電子情報通信学会2019年ソサイエティ大会
4. 発表年 2019年

1. 発表者名 A. Fujimaki
2. 発表標題 Design and demonstration of superconducting single flux quantum circuits operating around 50 GHz
3. 学会等名 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 M. Tanaka, Y. Takeshita, D. Hasegawa, F. Li, K. Sano, T. Yamashita, and A. Fujimaki
2. 発表標題 -shifted SQUID based circuits and applications for classical computing and beyond
3. 学会等名 1st Workshop on Quantum and Classical Cryogenic Devices, Circuits, and Systems (QCCC 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 F. Li, Y. Takeshita, D. Hasegawa, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki
2. 発表標題 Energy consumption of half flux quantum circuits using -shifted josephson junctions
3. 学会等名 33th International Symposium on Superconductivity (ISS2 2020) (国際学会)
4. 発表年 2019年



1 . 発表者名 M. Tanaka, I. Nagaoka, K. Sano, T. Yamashita, K. Ishida, T. Ono, K. Inoue, and A. Fujimaki
2 . 発表標題 Development of 50-GHz, high-throughput rapid single-flux-quantum circuits toward ultra-fast, energy-efficient computing
3 . 学会等名 10th Asian Conference on Applied Superconductivity and Cryogenics (ACASC), 2nd International Cryogenic Materials Conference in Asia (Asian-ICMC), and CSSJ Joint Conference (招待講演) (国際学会)
4 . 発表年 2020年

1 . 発表者名 A. Fujimaki, M. Tanaka, and N. Yoshikawa
2 . 発表標題 Challenges to thermal limit, quantum limit, and high throughput based on SFQ circuits
3 . 学会等名 2020 International Symposium on Superconductor Electronics / 13th Superconducting SFQ VLSI Workshop (SSV 2020) (招待講演) (国際学会)
4 . 発表年 2020年

1 . 発表者名 M. Tanaka, I. Nagaoka, K. Ishida, K. Sano, T. Yamashita, T. Ono, K. Inoue, and A. Fujimaki
2 . 発表標題 Development of gate-level-pipelined SFQ circuits toward ultra-high-speed cryogenic computing
3 . 学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (招待講演) (国際学会)
4 . 発表年 2020年

1 . 発表者名 R. Kashima, I. Nagaoka, M. Tanaka, K. Sano, T. Yamashita, and A. Fujimaki
2 . 発表標題 Design of datapath for 8 bit parallel SFQ microprocessors with gate level pipelines
3 . 学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (国際学会)
4 . 発表年 2020年

1 . 発表者名 I. Nagaoka, M. Tanaka, K. Sano, T. Yamashita, K. Inoue, and A. Fujimaki
2 . 発表標題 High-throughput gate-level-pipelined SFQ multipliers
3 . 学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (国際学会)
4 . 発表年 2020年

1 . 発表者名 M. Kuniyoshi, K. Murase, I. Nagaoka, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki
2 . 発表標題 Investigation of timing design by using low-power SFQ shift registers
3 . 学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (国際学会)
4 . 発表年 2020年

1 . 発表者名 F. Li, Y. Takeshita, D. Hasegawa, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki
2 . 発表標題 Simulation and comparison of the energy efficiency of half flux quantum circuits
3 . 学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (国際学会)
4 . 発表年 2020年

1 . 発表者名 Y. Takeshita, F. Li, D. Hasegawa, K. Sano, M. Tanaka, T. Yamashita, and A. Fujimaki
2 . 発表標題 Demonstration of SQUIDs with a period of half flux quantum in modulation patterns for half flux quantum circuits
3 . 学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (国際学会)
4 . 発表年 2020年

1. 発表者名 長岡一起, 田中雅光, 佐野京佑, 山下太郎, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子回路に基づく低電圧駆動ゲートレベルパイプライン算術論理演算器の設計と評価
3. 学会等名 電子情報通信学会2020年総合大会
4. 発表年 2020年

1. 発表者名 加島亮太, 長岡一起, 田中雅光, 佐野京佑, 山下太郎, 藤巻朗
2. 発表標題 単一磁束量子回路に基づく50 GHz並列処理データパスの設計
3. 学会等名 電子情報通信学会2020年総合大会
4. 発表年 2020年

1. 発表者名 国吉真波, 村瀬健, 長岡一起, 佐野京佑, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 低電圧駆動単一磁束量子回路における論理ゲートのタイミングパラメータの解析
3. 学会等名 電子情報通信学会2020年総合大会
4. 発表年 2020年

1. 発表者名 東正志, 長谷川大輝, 竹下雄登, Li Feng, 田中雅光, 山下太郎, 藤巻朗
2. 発表標題 4.2Kで動作するSFQアニーラに向けた 接合を用いたSQUIDの解析
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 田中雅光, 吉ノ元優太, 神谷智大, 佐野京佑, 山下太郎, 藤巻朗
2. 発表標題 半磁束量子を情報担体とした低エネルギー信号伝搬
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 田中雅光, 近藤真生, 佐野京佑, 山下太郎, 藤巻朗
2. 発表標題 0.1W, 4K GM冷凍機を用いた単一磁束量子デジタル回路システム
3. 学会等名 第97回低温工学・超電導学会
4. 発表年 2018年

1. 発表者名 M. Tanaka, Y. Yoshinomoto, T. Kamiya, K. Sano, T. Yamashita, A. Fujimaki
2. 発表標題 Numerical analysis of low-power half single flux quantum circuits based on 0- SQUIDs
3. 学会等名 31st International Symposium on Superconductivity (ISS 2018) (国際学会)
4. 発表年 2018年

1. 発表者名 長岡一起, 畑中湧貴, 松井裕一, 石田浩貴, 田中雅光, 佐野京佑, 山下太郎, 小野貴継, 井上弘士, 藤巻朗
2. 発表標題 単一磁束量子ゲートレベルパイプラインマイクロプロセッサに向けた30GHzデータパスの開発
3. 学会等名 電子情報通信学会超伝導エレクトロニクス研究会
4. 発表年 2019年

1. 発表者名 I. Nagaoka, M. Tanaka, K. Inoue, A. Fujimaki
2. 発表標題 A 48GHz 5.6mW gate-level-pipelined multiplier using single-flux quantum logic
3. 学会等名 IEEE International Solid-State Circuits Conference (ISSCC 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 長岡一起, 田中雅光, 佐野京佑, 山下太郎, 井上弘士, 藤巻朗
2. 発表標題 ビット並列演算ゲートレベルパイプラインを用いた単一磁束量子乗算器における高周波動作の評価
3. 学会等名 電子情報通信学会2019年総合大会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

<p>単一磁束量子集積回路測定結果データベースLeporis  <a href="https://leporis.org/">https://leporis.org/</a></p>
---

6. 研究組織		
氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------