

令和 3 年 6 月 20 日現在

機関番号：12608

研究種目：基盤研究(B) (一般)

研究期間：2018～2020

課題番号：18H03248

研究課題名(和文) 機械学習向けハードウェアとの親和性が高い連立一次方程式の解法

研究課題名(英文) Linear Solvers for Machine Learning Hardware

研究代表者

横田 理央 (Yokota, Rio)

東京工業大学・学術国際情報センター・准教授

研究者番号：20760573

交付決定額(研究期間全体)：(直接経費) 13,000,000円

研究成果の概要(和文)：計算機ハードウェアの潮流はこの10年続いてきた汎用アクセラレータの流れから、機械学習向けプロセッサと流れが変わりつつある。本研究では、機械学習向けプロセッサの得意とする低精度演算やテンソル積と親和性の高い階層的低ランク近似法に焦点をあて、次世代のハードウェアに適した線形代数ライブラリの構築を目的とする。2018年度にはテンソル積に適したデータ構造に変えるため、batched MAGMAを用いたH行列のライブラリを開発した。2019年度にはTensorCoreを用いてH行列の内部カーネルを高速化した。2020年度にはTensorCoreをもちいる際の精度保証と省電力の機能を追加した。

研究成果の学術的意義や社会的意義

最近のコンピュータは人工知能が高速に動作するように特化しているが、環境、医療、量子、材料などの重点分野で用いられる科学技術計算をこのようなコンピュータ上でいかに高速に動作させるかは大きな課題である。本研究で提案する手法を用いることで、人工知能だけでなく、その他の多くの分野で行なう計算を次世代のコンピュータ上で高速に実行できるようになる。これから量産される高性能な人工知能専用計算機を汎用的な用途で用いることができれば、環境、医療、量子、材料の分野がますます発展することが予想される。

研究成果の概要(英文)：The trend in computer architecture has now shifted from general purpose accelerators to specialized hardware for machine learning. The present work focuses on the affinity between hierarchical low-rank approximation methods, and low-precision arithmetic units and tensor product accelerators in machine learning processors to develop a suitable linear algebra library for future architectures. In FY2018, we ported our H-matrix library to use batched MAGMA operations in order to take advantage of the tensor product accelerators. In FY2019, we optimized the inner kernels of the H-matrix by making use of TensorCores. In FY2020, we extended this work to recover the accuracy when using TensorCores and measured the energy efficiency.

研究分野：高性能計算

キーワード：機械学習向けプロセッサ 階層的低ランク近似法 TensorCore

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

研究開発当初から計算機ハードウェアの潮流はそれまで続いてきた GPU などの汎用アクセラレータの流れから、機械学習向けプロセッサへと変わりつつあった。本研究の実施期間中にもこの傾向は進む一方で、現在では NVIDIA, Intel, AMD, Google などが次々と新しい機械学習向けプロセッサを量産している。次世代のスパコンにもこれらのプロセッサが搭載されることが決まっており、今後もこの傾向はしばらく続くものと予想される。

GPU の演算性能はアルゴリズムのもつ並列度、演算密度、データの局所性に強く依存し、無駄な演算やデータの複製・並べ替えを行ってでもそれらを確保することが性能を得るための定石であった。機械学習向けプロセッサでは、これに加えて低精度演算とテンソル積を活用できることが性能を最大限に引き出すための条件となる。研究代表者らが開発してきた階層的低ランク近似法はまさに低精度演算とテンソル積を活用できるアルゴリズムの一つである。低ランク近似を用いて行列演算を行う手法であるため、低精度演算による誤差に合わせたランクを選ぶことで、その精度を得るための最小限の演算を行っていると考えられる。また、演算の過程で与えられた行列を無数の小さな低ランク行列に分解するため、その演算の形態はテンソル積と酷似した小さな行列積に帰着する。

2. 研究の目的

本研究ではこれから主流となるであろう機械学習向けプロセッサに対して、計算科学の主要なアルゴリズムである連立一次方程式の解法の適用を行うことで、計算科学アプリケーションの橋渡し役となることを目的とする。ここでいう橋渡し役とは、多くの計算科学アプリケーションが GPU へ移行したときに大きな役割を果たした線形代数ライブラリに代表されるミドルウェアのようなものを表す。多くの計算科学アプリケーションでは計算時間の 9 割近くが連立一次方程式の解法に費やされるため、本研究では反復法による連立一次方程式の解法の前処理に階層的な低ランク近似法を用いることを想定する。

本研究では 3 年間の研究期間における各年度の目的を次のように定めた。2018 年度には、テンソル積に適したデータ構造の解明を行い、GPU 上で最適化された batched MAGMA を階層的な低ランク近似法から効率的に利用するためのデータ構造を明らかにすることを目的とした。階層的な低ランク近似法はそのままでは機械学習向けプロセッサに必要なテンソル積の演算を行うことはできない。図 1 に示すように、階層的なブロック行列を多数の小さな行列演算のストリームに変換する必要がある。これによって初めてテンソルコアのようなテンソル演算器の恩恵を受けることができる。海外連携研究者の I. Yamazaki らの開発している batched MAGMA は多数の小さな行列のストリームを高速に処理するためのものであり、 32×32 のような小さな行列でもバッチの大きさが十分であれば巨大な行列積と同等の演算性能を発揮できることが知られている。

2019 年度には低精度演算を有効活用すること

で階層的な低ランク近似法のもつ精度と速度のトレードオフを最適化することを目的とした。前処理の計算が低い精度を許容できるとはいえ、半精度の演算はそのままでは適用できる行列の大きさや条件数が限られてしまう。この問題は必要な変数にだけ高精度の型を用いる混合精度演算、Kahan の加算法に代表される疑似高精度演算、ソートして昇順に加算する方法、木構造を用いた階層的加算法を駆使することで軽減できる。本研究では、これらの手法を階層的な低ランク近似法に適用することで低精度演算を有効に活用しながらも科学技術計算に必要な精度保持方法を明らかにする。2020 年度には実際の機械学習向けプロセッサを用いて、演算性能や電力効率を計測し、低精度演算と低ランク近似を組み合わせることによる計算効率の向上を定量的に評価する。また、本研究で開発した階層的な低ランク近似の手法を関連する手法と直接比較することで、アルゴリズム自体の定量的優位性も明らかにする。

3. 研究の方法

これまでに階層的な低ランク近似法に関する研究は多く行われており、表 1 に示すように様々な種類の手法が提案されている。これらの手法は、基底の共有の有無と許容条件の強弱によって分類することができる。図 2 に示すように、基底が共有されない場合はそれぞれの部分行列は独立な基底をもつ。灰色で表された 3 つの行列は特異値分解の結果から得られる U , V を打ち切ることによって得られる低ランク近似行列である。基底が共有される場合は、 U が同じ行にある全ての

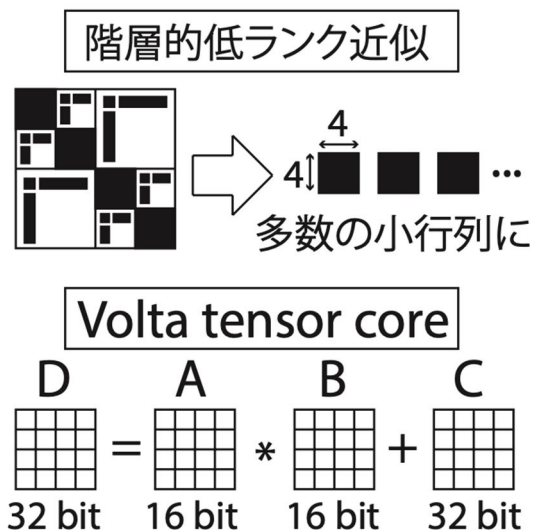


図 1 階層的な低ランク近似とテンソルコア

低ランクブロックの間で共有され、 V が同じ列にある全ての低ランク行列の間で共有される。また、大きなブロックの基底は小さなブロックの基底に変換行列を適用することで求められる。許容条件に関しては、図3に示すように、弱許容条件においては対角ブロックのみが密行列であり、非対角ブロックは全て低ランク行列となる。一方、強許容条件の場合は、非対角ブロックも密行列になる可能性があり、弱許容条件の場合と比べて非対角ブロックはより細かく分割される。

表1に示すように既存手法はこれらの性質の違いによって分類できるが、それぞれ一長一短である。基底を共有しないH行列やHODLRなどは実装が簡単になる一方で、大きなUやVの基底をブロックごとに保存することになるためメモリ消費量は増大し、演算量も $O(N \log^2 N)$ になる。逆に、基底を共有するH2行列やHSSなどでは実装が多少複雑になるがメモリ消費量は大幅に低減され、演算量も $O(N)$ になる。また、分散並列実装を考える場合は共有されている基底を全てのプロセスが冗長にもつことで通信やデータの依存関係を大幅に改善することができる。次に、H行列やH2行列などの強許容条件の手法は、3次元の問題においても非対角ブロックのランクが一定になるが、弱許容条件を用いるHODLRやHSSなどの手法では、3次元の問題から

生じる行列では非対角ブロックのランクが増大し、低ランク近似を用いる優位性が著しく損なわれる。ただし、Cholesky分解やLU分解においては強許容条件では密行列と同様に左上のブロックに依存関係があるせいで並列度が制約される一方で、弱許容条件では各対角ブロックを並列に処理することが可能になるため、非常に並列度の高い手法となる。また、BLRやBLR²のような非階層的なブロック低ランク近似法では階層間の依存関係を考慮する必要がないため、さらに並列度は高くなる。既存研究ではこれらの手法間の長所や短所を包括的に議論するような試みはなされておらず、SCのようなトップカンファレンスでもHSSのような3次元の実問題に適用できない手法が並列化効率や演算性能だけの観点から評価され採択されている。

本研究では、これらの性質の異なる手法同士を直接比較し、アプリケーションごとに最適なものを選択できるようなライブラリを開発する。2018年度には、テンソル積に適したデータ構造を解明するため、H行列ベクトル積を例に取りbatched MAGMAを用いた実装を行った。このような計算は、複数の右辺ベクトルを同時に処理することで多くの小さな行列積に帰着できる。また、行列ベクトル積の場合、これらの小さな行列積は互いに独立で依存関係はないため、それぞれの行列のポインタをキューに蓄積しbatched MAGMAを一回呼び出すことで高い演算性能が得られる。これらの計算をTSUBAME3.0上のNVIDIA Pascal GPUを用いて行い、batched MAGMAを用いない場合と性能を比較した。2019年度には、低精度演算を有効活用することで階層的な低ランク近似法のもつ精度と速度のトレードオフを最適化した。特に、階層的な低ランク近似法のホットスポットである行列積とQR分解の計算について

テンソルコアを用いることの有効性を検証した。さらに、これらの基盤技術の上に、共有基底への拡張、H行列のLU分解のGPU実装、BLR行列のQR分解への拡張などを行った。2020年度には、テンソルコアを用いた際の省電力性能の評価、ハードウェア間の比較などを行った。また、共有基底のBLRへの拡張、テンソルコアで失われた精度の回復などについても追加項目として実施した。

4. 研究成果

2018年度には、テンソル積に適したデータ構造の解明を行いGPU上で最適化されたbatched MKLを階層的な低ランク近似法から効率的に利用するためのデータ構造を明らかにした。低ランク行列との行列積を計算する場合、 V 、 U の順にかけると計算量は最小となる。H行列ベクトル積においてbatched MKLの関数を呼ぶことでこのような多数の小さな行列ベクトル積を効率的に計算することができる。

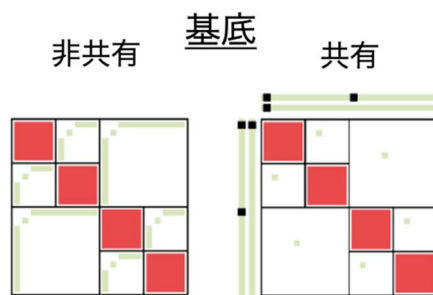


図2 基底の共有の有無による違い

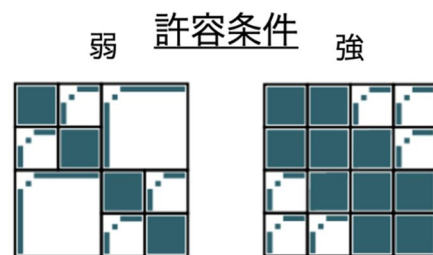


図3 許容条件の強弱による違い

表1 階層的な低ランク近似法の分類

| | 基底の共有 | 許容条件 |
|-------------------|-------|------|
| H行列 | 無 | 強 |
| H ² 行列 | 有 | 強 |
| HODLR | 無 | 弱 |
| HSS | 有 | 弱 |
| BLR | 無 | 非階層的 |
| BLR ² | 有 | 非階層的 |

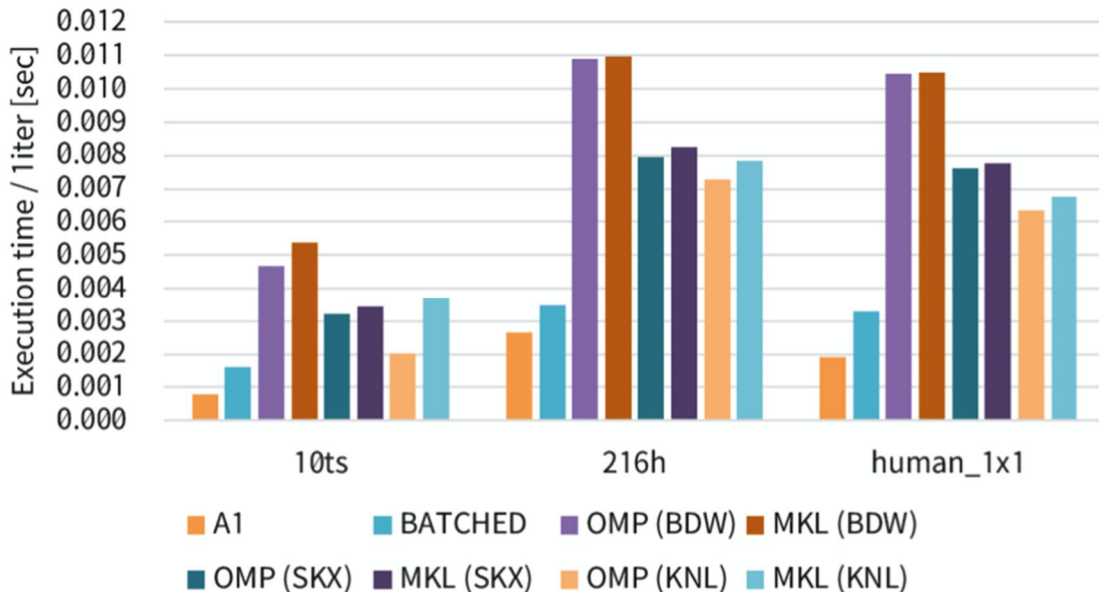


図4 Batched MAGMA を用いた場合の H 行列 ベクトル積の計算時間

実験は Xeon E5-2695v4, Tesla P100, Xeon Gold 6140, Xeon Phi 7150 を用いて行った。CPU 版のコンパイラには icc 及び ifort を用いて `-qopenmp -O3 -xCORE-AVX2 -mkl=sequential` のコンパイルオプションを使用した。GPU 版のコンパイラには `nvcc` を用いて `-O3 -gencode arch=compute=60, code=sm60,compute=60` のコンパイルオプションを使用した。また, Xeon Phi でのコンパイルオプションは `-qopenmp -O3 -xMIC-AVX512 -mkl=sequential` を用いた。実験に用いた行列は境界要素法を用いた 3 次元の電磁界解析から生じるものを用いた。図 4 にこのときの H 行列 ベクトル積の計算時間を示す。A1 は batch MKL に代わる提案手法, BATCHED は batched MKL, OMP は OpenMP による並列化, MKL はバッチ化されていない通常の MKL を表す。BDW は Broadwell, SKX は Skylake, KNL は Knights Landing の CPU を表す。これから分かるように batched MKL を利用することで大幅な速度向上が得られる。また, 本研究による batched MKL に代わる実装はさらに高速になっていることが分かる。

2019 年度には, 低精度演算を有効活用することで階層的低ランク近似法のもつ精度と速度のトレードオフを最適化した。特に, 階層的低ランク近似法のホットスポットである行列積と QR 分解の計算についてテンソルコアを用いることの有効性を検証した。テンソルコアは半精度の行列積を 16×16 の単位で行い単精度の行列に足し込む。この際, 半精度の行列に変換することによる誤差を低減するため, 単精度と半精度の差分を別の半精度の行列に格納し, それを用いた精度補正を行った。精度補正を行ったときの行列積を cuBLAS の単精度の行列積とテンソルコアを用いて補正を行わなかった場合の計算と比較したものを図 5 に示す。テンソルコアが半精度で行列積を計算しているにも関わらず, 単精度の cuBLAS 関数と同等の精度が得られていることが分かる。図 6 はこのときの計算時間を示しているが, 精度補正をしてもテンソルコアを使うほうが単精度の cuBLAS よりも高速になっていることが分かる。

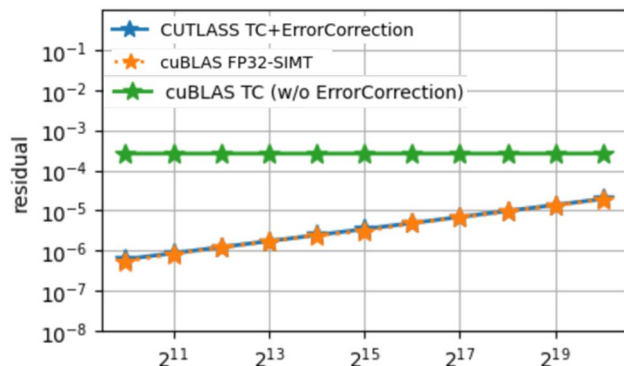


図5 テンソルコアを用いた行列積の精度補正

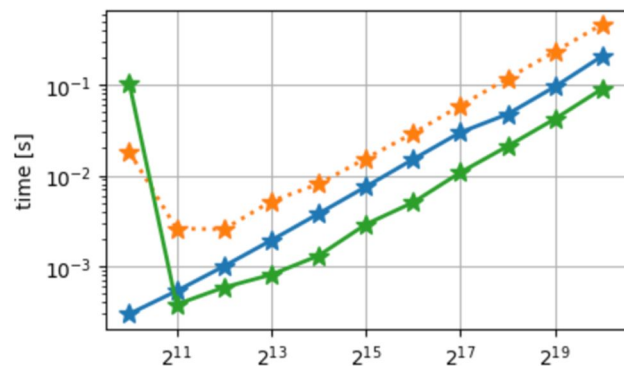


図6 テンソルコアと精度補正の計算時間

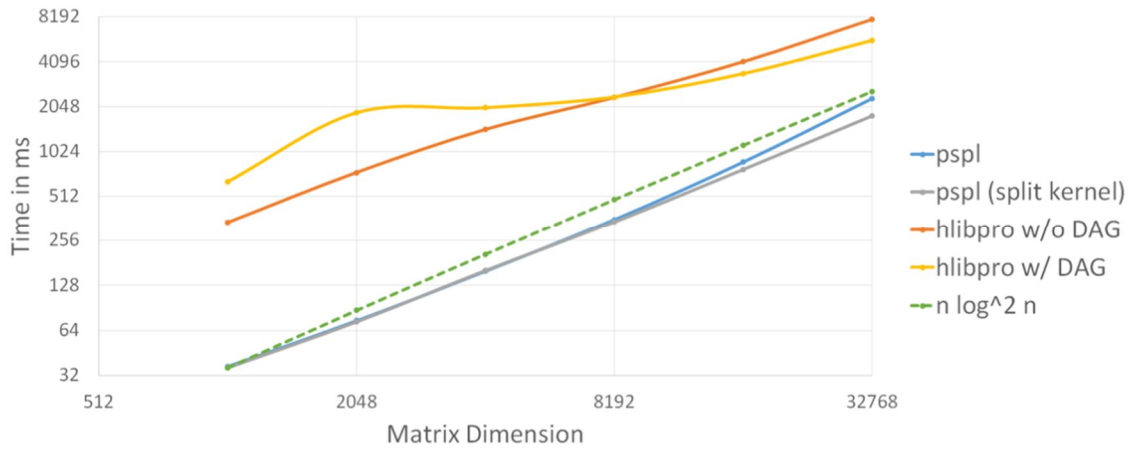


図7 H 行列を用いた LU 分解の GPU 実装の既存研究との比較

2019 年度には、これに加えて H 行列を用いた LU 分解の GPU 実装を行い、既存研究の中でも高速な実装とされている HLibPro と比較した。このときの計算時間(ms)を図 7 に示す。PSPL が本実装であり HLibPro が既存研究の実装である。図 7 から本手法の実装が HLibPro よりも大幅に高速な実装であることが分かる。また、計算量も $O(N \log^2 N)$ になっていることが分かる。さらに、H 行列を用いた QR 分解には Modified Gram-Schmidt, Blocked Householder, Tiled Householder の 3 種類の方法を実装し比較した。このときのスレッド並列の実行時間を図 8 に示す。並列化の方法も OpenMP の Fork-join モデルと task 並列モデルの両方を実装し比較した。図 8 から分かるように、Blocked Householder が最も高速であり fork-join 並列化であるにも関わらず 64 スレッドまで良好な強スケーリングが観測された。Task 並列による tiled Householder は並列化効率は最も良いが演算量が多いため計算時間は遅い。

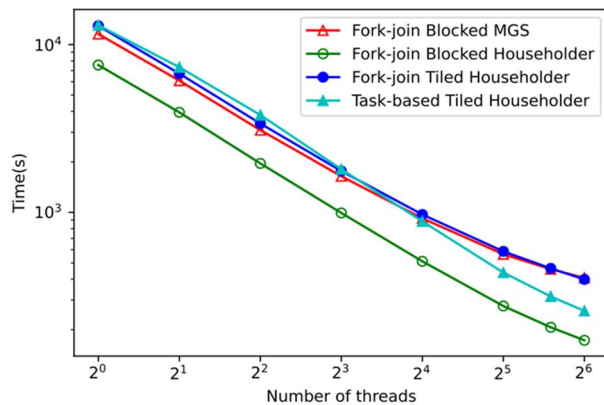


図8 H 行列を用いた QR 分解のスレッド並列化

2020 年度には、階層的な低ランク近似法にテンソルコアを用いたときの電力効率の計測を行った。図 9 には半精度(half), 単精度(tf32tf32), テンソルコア(fp16tc, tf32tc)の精度補正をした場合(High)としない場合(Low)の結果を示す。Halfの結果と tf32tf32 や cuBLAS の結果を比べると単精度が得られているもの(high)の中では本実装(half)が最も電力効率が良いことが分かる。精度補正をしないテンソルコアの実行(low)がもちろん電力消費は最も低い、これらの行列積では有効数字 2 桁程度の精度しか出ないため、利用できるアプリケーションが限られる。一方、本手法(half)は単精度と同じ精度が出ている手法(high)の中では最も電力消費が少ないことが分かった。

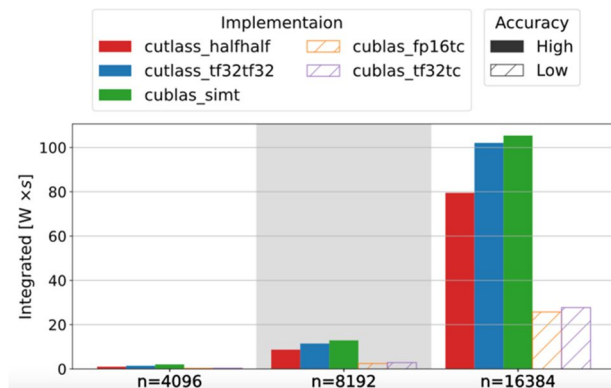


図9 テンソルコアと精度補正の電力効率

5. 主な発表論文等

〔雑誌論文〕 計6件（うち査読付論文 6件/うち国際共著 3件/うちオープンアクセス 0件）

| | |
|--|--------------------------|
| 1. 著者名 Akihiro Ida, Hiroshi Nakashima, Tasuku Hiraishi, Ichitaro Yamazaki, Rio Yokota, Takeshi Iwashita | 4. 巻 27 |
| 2. 論文標題 QR Factorization of Block Low-rank Matrices with Weak Admissibility Condition | 5. 発行年 2019年 |
| 3. 雑誌名 Journal of Information Processing | 6. 最初と最後の頁 831-839 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.2197/ipsjjip.27.831 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 該当する |
| 1. 著者名 Ichitaro Yamazaki, Akihiro Ida, Rio Yokota, Jack Dongarra | 4. 巻 online |
| 2. 論文標題 Distributed Memory Lattice H-matrix Factorization | 5. 発行年 2019年 |
| 3. 雑誌名 The International Journal of High Performance Computing Applications | 6. 最初と最後の頁 online |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1177/1094342019861139 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 該当する |
| 1. 著者名 Mustafa AbdulJabbar, Mohammed Al Farhan, Noha Al-Harathi, Rui Chen, Rio Yokota, Hakan Bagci, David Keyes | 4. 巻 4-3 |
| 2. 論文標題 Extreme Scale FMM-Accelerated Boundary Integral Equation Solver for Wave Scattering | 5. 発行年 2019年 |
| 3. 雑誌名 SIAM Journal on Scientific Computing | 6. 最初と最後の頁 C245--C268 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1137/18M1173599 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 該当する |
| 1. 著者名 Akihiro Ida, Tadashi Ataka and Atsushi Furuya | 4. 巻 56 |
| 2. 論文標題 Lattice H-matrices for Massively Parallel Micromagnetic Simulations of Current-induced Domain Wall Motion | 5. 発行年 2020年 |
| 3. 雑誌名 IEEE Transactions on Magnetics | 6. 最初と最後の頁 1--4 |
| 掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TMAG.2019.2959349 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|---|----------------------|
| 1. 著者名 N. Maruyama, T. Aoki, K. Taura, R. Yokota, M. Wahib, M. Matsuda, K. Fukuda, T. Shimokawabe, N. Onodera, M. Muller, S. Iwasaki | 4. 巻 none |
| 2. 論文標題 Highly Productive, High-Performance Application Frameworks for Post-Petascale Computing | 5. 発行年 2018年 |
| 3. 雑誌名 Advanced Software Technologies for Post-Peta Scale Computing | 6. 最初と最後の頁 77--98 |
| 掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-981-13-1924-2_5 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|---|--------------------|
| 1. 著者名 N. Tominaga, T. Mifune, A. Ida, Y. Sogabe, T. Iwashita, N. Amemiya | 4. 巻 28 |
| 2. 論文標題 Application of hierarchical matrices to large-scale electromagnetic field analyses of coils wound with coated conductors | 5. 発行年 2018年 |
| 3. 雑誌名 IEEE Transactions on Applied Superconductivity | 6. 最初と最後の頁 1--5 |
| 掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TASC.2017.2780821 | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

〔学会発表〕 計18件 (うち招待講演 2件 / うち国際学会 17件)

| |
|---|
| 1. 発表者名 Satoshi Ohshima, Ichitaro Yamazaki, Akihiro Ida, Rio Yokota |
| 2. 発表標題 Optimization of Numerous Small Dense-Matrix Vector Multiplications in H-matrix Arithmetic on GPU |
| 3. 学会等名 Auto-Tuning for Multicore and GPU (ATMG) In conjunction with the IEEE MCSoc-19 (国際学会) |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 Sameer Deshmukh, Rio Yokota |
| 2. 発表標題 Distributed Memory Task-Based Block Low Rank Direct Solver |
| 3. 学会等名 HPC Asia 2020 (poster) (国際学会) |
| 4. 発表年 2019年 |

| |
|--|
| 1. 発表者名 Muhammad Ridwan Apriansyah, Rio Yokota |
| 2. 発表標題 QR Decomposition of Block Low-Rank Matrices |
| 3. 学会等名 HPC Asia 2020 (poster) (国際学会) |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 Qianxing Ma, Rio Yokota |
| 2. 発表標題 Runtime System for GPU-based Hierarchical LU factorization |
| 3. 学会等名 The International Conference for High Performance Computing, Networking, Storage, and Analysis (poster) (国際学会) |
| 4. 発表年 2019年 |

| |
|--|
| 1. 発表者名 Hiroyuki Ootomo, Rio Yokota |
| 2. 発表標題 TSQR on TensorCores |
| 3. 学会等名 The International Conference for High Performance Computing, Networking, Storage, and Analysis (best poster candidate) (国際学会) |
| 4. 発表年 2019年 |

| |
|------------------------------|
| 1. 発表者名 大友 広幸, 横田 理央 |
| 2. 発表標題 Tensorコアを用いたTSQR |
| 3. 学会等名 日本応用数理学会年会 (国際学会) |
| 4. 発表年 2019年 |

| |
|--|
| 1. 発表者名 Tadashi Ataka, Akihiro Ida, Atsushi Furuya, Koichi Shimizu, Jun Fujisaki, Tomohiro Tanaka and Hirotaka Oshima |
| 2. 発表標題 Application of the Fast Micromagnetic Simulation to Thin Spintronic Devices |
| 3. 学会等名 22nd International Conference on the Computation of Electromagnetic Fields (国際学会) |
| 4. 発表年 2019年 |

| |
|--|
| 1. 発表者名 Akihiro Ida, Ichitaro Yamazaki, Rio Yokota, Satoshi Ohshima, Tasuku Hiraishi, Takeshi Iwashita, Tetsuya Hoshino, and Toshihiro Hanawa |
| 2. 発表標題 Numerical Linear Algebra Based on Lattice H-Matrices |
| 3. 学会等名 International Conference on High Performance Computing in Asia-Pacific Region (HPC Asia 2020) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 Ichitaro Yamazaki, Ahmad Abdelfattah, Akihiro Ida, Satoshi Ohshima, Stanimire Tomov, Rio Yokota, Jack Dongarra |
| 2. 発表標題 Analyzing Performance of BiCGStab with Hierarchical Matrix on GPU clusters |
| 3. 学会等名 32nd IEEE International Parallel & Distributed Processing Symposium (国際学会) |
| 4. 発表年 2018年 |

| |
|--|
| 1. 発表者名 Satoshi Ohshima, Ichitaro Yamazaki, Akihiro Ida, Rio Yokota |
| 2. 発表標題 Optimization of Hierarchical Matrix Computation on GPU |
| 3. 学会等名 SC Asia (国際学会) |
| 4. 発表年 2018年 |

| |
|--|
| 1. 発表者名 Hiroki Naganuma, Rio Yokota |
| 2. 発表標題 Accelerating Convolutional Neural Networks Using Low Precision Arithmetic |
| 3. 学会等名 HPC Asia (国際学会) |
| 4. 発表年 2018年 |

| |
|--|
| 1. 発表者名 Rio Yokota |
| 2. 発表標題 Energy Conserving Fast Multipole Methods for the Calculation of Long-range Interactions |
| 3. 学会等名 Mathematics in Action: Modeling and analysis in molecular biology and electrophysiology (招待講演) (国際学会) |
| 4. 発表年 2018年 |

| |
|--|
| 1. 発表者名 Rio Yokota |
| 2. 発表標題 Can we use Hierarchical Low-Rank Approximation for Deep Learning? |
| 3. 学会等名 HPC Saudi (招待講演) (国際学会) |
| 4. 発表年 2018年 |

| |
|-------------------------------------|
| 1. 発表者名 大友広幸, 横田理央 |
| 2. 発表標題 Tensorコアを用いたBatched QR分解 |
| 3. 学会等名 第81回情報処理学会全国大会 |
| 4. 発表年 2019年 |

| |
|---|
| 1. 発表者名 Tetsuya Hoshino, Akihiro Ida, Toshihiro Hanawa, Kengo Nakajima |
| 2. 発表標題 Design of Parallel BEM Analyses Framework for SIMD Processors |
| 3. 学会等名 The International Conference on Computational Science (国際学会) |
| 4. 発表年 2018年 |

| |
|---|
| 1. 発表者名 Akihiro Ida |
| 2. 発表標題 Lattice H-Matrices on Distributed-Memory Systems |
| 3. 学会等名 32nd IEEE International Parallel & Distributed Processing Symposium (国際学会) |
| 4. 発表年 2018年 |

| |
|---|
| 1. 発表者名 Sameer Deshmukh, Rio Yokota |
| 2. 発表標題 Distributed Memory Task-Based Block Low Rank Direct Solver |
| 3. 学会等名 ISC High Performance 2020 (Research Poster) (国際学会) |
| 4. 発表年 2020年 |

| |
|---|
| 1. 発表者名 Hiroyuki Ootomo, Rio Yokota |
| 2. 発表標題 Randomized SVD on TensorCores |
| 3. 学会等名 ISC High Performance 2020 (Research Poster) (国際学会) |
| 4. 発表年 2020年 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

横田研究室webpage
https://www.rio.gsic.titech.ac.jp/jp/index.html

6. 研究組織

| | 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|-------|--|--|----|
| 研究分担者 | 大島 聡史 (Ohshima Satoshi) (40570081) | 名古屋大学・情報基盤センター・准教授 (13901) | |
| 研究分担者 | 伊田 明弘 (Ida Akihiro) (80742121) | 東京大学・情報基盤センター・特任准教授 (12601) | |

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

| 共同研究相手国 | 相手方研究機関 |
|---------|---------|
|---------|---------|