

令和 3 年 5 月 31 日現在

機関番号：10101

研究種目：基盤研究(B) (一般)

研究期間：2018～2020

課題番号：18H03302

研究課題名(和文) ノイズ注入により機能回復する極低電圧・低電力論理回路の設計基盤の構築

研究課題名(英文) Design methodology of noise-driven logic circuits toward ultra-low-power computing systems

研究代表者

浅井 哲也 (Asai, Tetsuya)

北海道大学・情報科学研究院・教授

研究者番号：00312380

交付決定額(研究期間全体)：(直接経費) 13,400,000円

研究成果の概要(和文)：電源電圧を下げることで消費電力を抑えつつ、電源電圧降下による誤動作をノイズ注入により回復可能な「確率共鳴(SR) NANDゲート」に関する研究を行った。基本構造は、フローティングゲート構造を用いた多入力インバータを二つ組み合わせたラッチであり、このラッチにノイズを与えてSRを誘引する。このラッチの状態遷移の閾特性を利用して閾論理回路を構築した。通常、フローティングゲートの容量を対地容量より大きくしなければ閾論理回路は構成できないが、ラッチ構造によりフローティングゲート入力のみが電圧差が増幅され出力に現われるため、入力の振幅とFG-INVの閾値のバラツキを緩和できる。

研究成果の学術的意義や社会的意義

本研究成果を基板とした集積回路工学の発展により、長時間駆動やエナジーハーベスティング技術の恩恵を直接受けられる集積回路が実現できると思われる。また、フローティングゲートプロセスが必須になることから、我が国が得意とするフラッシュ型不揮発メモリのプロセスの強みを活かした卓越した技術・産業の基盤となり得る。集積デバイス学、回路設計学、システム設計学の分野を横断する研究成果であり、停滞気味の日本の半導体集積回路研究の活性化に向けた一助となれば幸いである。

研究成果の概要(英文)：A stochastic-resonance (SR)-based NAND gate is designed where the power consumption is decreased by ultra-low voltage supply, and the subsequent malfunction of NAND operation (due to the low voltage supply) is recovered by injecting noises to the circuit. The gate consists of two floating-gate inverters having multiple inputs where a latch circuit is constructed by the two inverters. By using threshold function of the latch, a threshold-based logic circuit (NAND) was constructed. In general, to implement functional logic functions with floating-gate technology, capacitance of the floating gates must be larger than the ground capacitance, however, the latch amplified small differences between the input floating gates, which resulted in relaxation of its input amplitudes and threshold voltages of the two floating-gate inverters.

研究分野：集積回路工学

キーワード：集積回路 低電力論理回路 確率共鳴 フローティングゲート

1. 研究開始当初の背景

デバイス・回路・システム領域からその上に成り立っている OS・アプリケーション (ソフトウェア) にわたる技術の総合的な発展により半導体電子機器の低電力化がなされている。一方、大幅な低電力化が見込まれると謳われる「脳型計算」(脳型アルゴリズム処理) などのソフトコンピューティング分野研究とその応用技術は、現在のところ計算対象の問題が最適化問題や認識・推論などの演算に限られてしまうため、上記のような一般的な汎用コンピュータシステムの演算中枢に組みこむことができず、特定用途演算を補助するアクセラレータとして利用する方向で研究が進められている。しかし、これら自然計算や脳型計算の背後には、生命の進化過程での長年の最適化の結果である、演算を高効率 (低消費電力) で行うための普遍的な基本機能、即ちゆらぎやノイズを本質的に利用して情報処理を行う「確率共鳴¹」(SR) と呼ばれる現象が隠れており、その組み合わせが結果的に生物の低電力情報処理に結びついている。新しい低電力化技術をゼロから構築するのではなく、我々生物がその証となっている普遍的な基本機能 (SR) を半導体電子機器の抜本的な低電力化のために役立てる道を学術の視点から探求する必要がある。

計算機システムを低電力化するための近年の大きな動向は、メモリの不揮発化による待機電力ゼロ・およびインスタントパワーオンを目指したものであり、これは計算機のアーキテクチャを抜本的に変えずに低電力化ができる普遍的かつデバイス・システム視点の重要技術である。この大きな動向とは別に、電子回路の視点でデジタル CMOS 回路の低電力化に寄与する現在最も効果的かつ単純な方法は、電源電圧を MOS FET の閾値以下まで下げることである (図 1(a))。しかし電源電圧の降下は、論理信号がノイズに埋もれてしまう問題や、論理ゲートの利得低下、MOS FET の閾値ばらつきに起因する論理回路の動作不良を誘引する。一般には、十分なマージンをとった電源電圧設定が必要であり、スケールアップから大きく外れるような劇的な電源電圧降下は難しい。そのため回路視点の研究分野では、近年は電源電圧を降下させずに貫通電流パスの電流を絞ることで CMOS 回路の低電力化を図る手法が国内外の研究の中心となっている (図 1(b))。

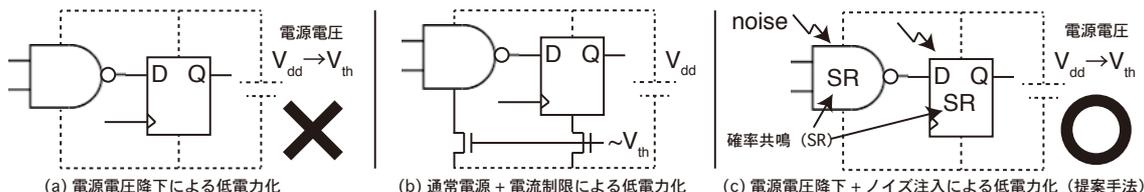


図 1: 要素演算レベルで論理回路を低電力化するための現在の技術(a, b)と提案方法(c)

2. 研究の目的

以下の問いに対する解を見つけることが本研究の目標である：

- ・ 長年の進化の過程でなぜ生命は「SR」という道を選択したのか？
- ・ どのような仕組みで「SR」が生命の情報処理を効率化 (低電力化) するのか？
- ・ 生物的情報処理と現代の計算機システムに共通する細粒度の基本演算単位は何か？

上記の理解により「SR」を現代の計算機システムの単位演算に組み込み、計算機アーキテクチャを変えずにシステムを抜本的に低電力化するソフトコンピューティング由来の集積回路工学を開拓する。具体的には、SR を応用して電源電圧降下により動作不良を起こす回路の機能回復を図る (図 1(c))。SR 現象の根幹 (なぜ生命は「SR」という道を選択したのか?) を理解し現実的な情報処理回路に適用する現代の集積回路工学の指針とは異なる学術視点での新しい低電力回路設計学を構築することが本研究の目的である。

3. 研究の方法

生命はそれを構成する材料由来の様々な制約を加味した進化・最適化の結果、SR という道を選

¹ 確率共鳴 (SR) とは、閾系 (単純な閾素子や、ダイナミクスを持つ閾回路) に適量のノイズを注入し、入力信号と系を共鳴させることで、微小な信号が確率的に検出される現象である。その工学応用は、これまでセンサ応用分野に限られてきた。閾論理を双安定系により構成すれば、論理関数の入力値 (または閾値) のパラツキ効果をノイズ注入・確率共鳴効果により緩和・安定化できると考えられる。

んだと考えられる。情報処理を実行する生体素子とゆらぎ・ダイナミクスとの関係は切っても切り離せない。生命がゆらぎ環境下でダイナミクスを活かす証拠の一つが SR (単安定・または双安定ダイナミクス) であるが、それと現代の集積システムとの関係性はまだ見出されていない。現在明らかになっている生命と現代の集積デバイスの唯一の共通点は、基本要素演算の中で閾処理を行うという点である。これらの知見 (閾処理とダイナミクス) を組み合わせ、現在の計算機システムで採用されている基本演算単位: スイッチベースの CMOS 論理回路を閾論理回路で構成し (図 2(a)→(b))、かつその閾関数を双安定系で構築することにより、SR 媒体としての機能と論理演算機能を同時に有する「SR 論理ゲート」を構築する (図 2(b)→(c))。

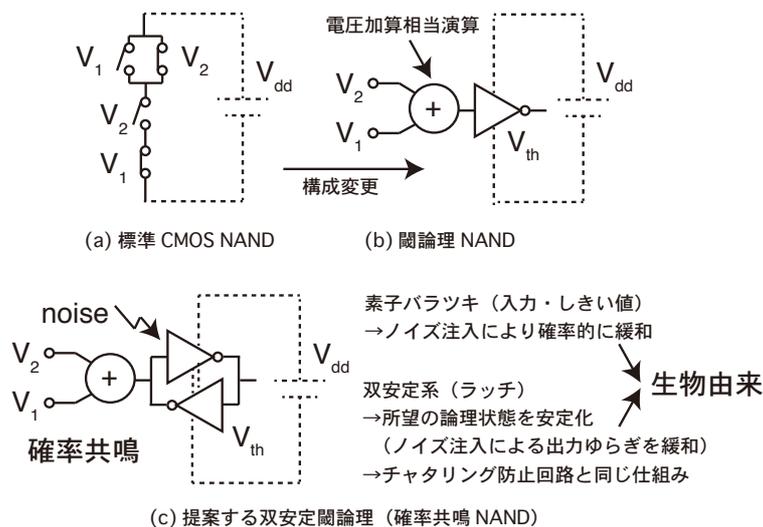


図 2: 標準の論理回路構成(a)と閾論理(b)に SR を組み込んだ SR ゲート(NAND)(c)

電源電圧の降下は回路の低電力化に直接的に貢献するが、入力値のゆらぎや閾値バラツキにより、SR ゲートが論理回路として機能しなくなる。そこまで電源電圧を下げた状態、つまり消費電力を極端に下げた状態では、MOS FET は電源電圧もゲート電圧も FET のしきい値となる「完全サブスレッショルド状態」になっている。この状態 (正常に機能はしないが極低電力の状態) でノイズ注入を行い、SR により論理機能を「確率的」復活させ、その状態を双安定系で安定化させる (図 1(c))。これらの仕組みによって、電源電圧を閾値以下に下げた状態 (極低電力状態) でも機能する回路を構成可能になる。図 1(c)の基本構造を具体化するにあたり、現在のフラッシュメモリのプロセスで一般に利用されているフローティングゲート (FG) プロセスを用いて、FG インバータ (FG-INV) を組み合わせた SR ゲートを構成した。FG を用いて演算をする場合、MOS FET のバックゲート効果を抑えるために、ターミナルゲート (TG) の容量を大きくしなければならぬ。そのため、バックゲート効果が大きくても (TG の容量が小さくても) 正しい閾論理演算が行えるようにする仕組みを構築し、さらに従来不揮発性メモリの用途でのみ使われていた FG に演算機能を担わせ、そこに SR の物理を組み込むことで (不揮発メモリ機能以外の) 新機能「極低電圧における論理機能の復活」を発現させる。また、FG の演算機能のみならずフラッシュの不揮発性を有効利用する複合型パワーゲーティング低電力アーキテクチャへの展開も視野に入る。

4. 研究成果

完全サブスレッショルド領域における CMOS インバータの入出力特性は、理論解析からその連続式が既に得られている。この完全サブスレッショルドインバータの組み合わせによりラッチ回路を構成し、そこで閾論理演算を行う。そのために、フローティングゲート (FG) を導入し、各ゲートにおいて入出力電圧とノイズ電圧の加算を容量分圧にて行う基本回路の準備が既にできている。FG におけるバックゲート効果 (MOS FET のゲート-基板間容量による FG の感度低下) は無視できないため、一般的には TG の容量 (～面積) を大きくしなければ回路は機能しない。この問題を解決するために、まず FG インバータ (FG-INV) を二つ用いたラッチ (センスアンプ) を準備回路として考案した。この回路はラッチ回路であるため二つの安定点を持ち、入力に対してその出力は一意に決まる。バックゲート効果により入力 of FG 電圧への寄与が弱くなっても、センスアンプにより両 FG 電圧の僅かな差が増幅されて出力に表われるため、TG の容量を小さくできる (数 fF の容量でもラッチが正しく機能することをシミュレーションで確認した)。またこのセンスアンプは双安定系であるので、FG へのノイズ注入により SR を起こすことができ、入力の振幅と FG-INV の閾値のバラツキを緩和できる。

FG ラッチは論理演算機能を持たない単なるラッチである。このラッチに閾論理演算機能を持たせるために、FG の入力を増やした SR-NAND 回路を新規に考案した (図 3)。FG ラッチ回路との違いは、入力を 2 端子 (V_a, V_b) にしたこと、FG-INV の閾値を変更したことである。FG-INV の閾値が $V_{dd}/2$ よりも高ければ NAND 機能、低ければ NOR 機能が発現する。それらの中間領域では回

路は双安定となるため、状態遷移に必要な入力振幅が足りない場合（あるいは閾値バラツキにより等価的にその状態となる場合）にノイズ注入により状態遷移が可能になる（図 4）。これを基本ゲートとして論理回路を構成し、FG へのノイズ注入により SR 現象を起こすことで、電源電圧を閾値以下にまで設定できることが数値計算により明らかになった。

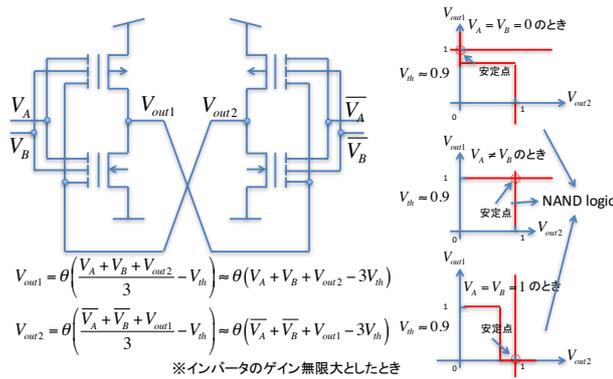


図 3: フローティングゲート(FG)型 SR-NAND

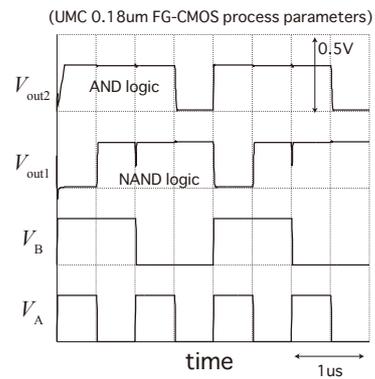


図 4: SR-NAND の機能回復動作

上記で検討した回路の集積回路化を行った（IMEC AMS 0.35um low-voltage CMOS, 2P4M プロセス）。TEG チップに搭載した回路は以下の五種類である：

1. FG Latch (SR 評価用)
2. FG SR NAND/NOR TEG (論理動作評価用)
3. スタセル版の NAND/NOR TEG (比較用)
4. FG SR NAND/NOR による小規模論理回路 (電力・エラー評価用)
5. スタセルの NAND/NOR による小規模論理回路 (比較用)

図 5 に FG-INV のレイアウトの一部を示す。本プロセスでは二層のポリシリコンを用いたキャパシタの設計に工夫が必要であった。具体的には、ポリシリコンキャパシタの 1 層目と 2 層目の面積を等しくすることができず（図 5 右上：DRC fail）、その結果、FG-INV の面積が想定よりも若干大きくなってしまっているが（同図下段）、これは AMS プロセス固有のデザイン上の制限であり、フラッシュ向けの特殊プロセス（SONOS 等）を用いれば大幅に小型化可能である。

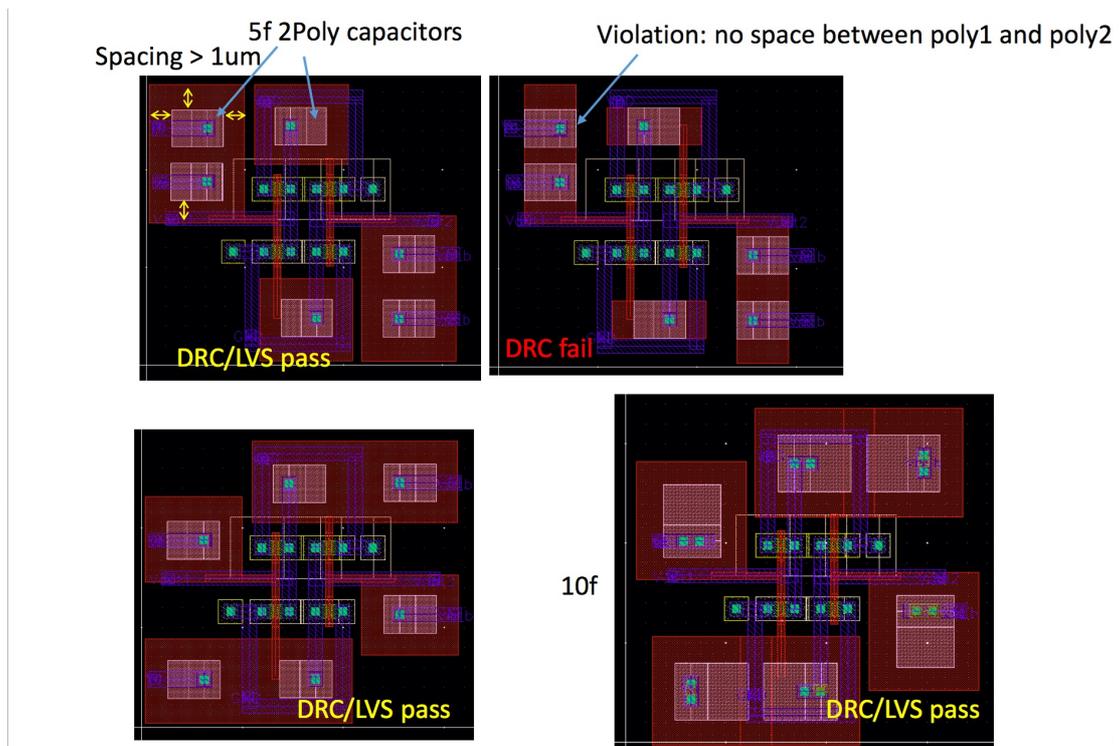


図 5: SR-INV のレイアウト (IMEC AMS 0.35um low-voltage CMOS, 2P4M プロセス)

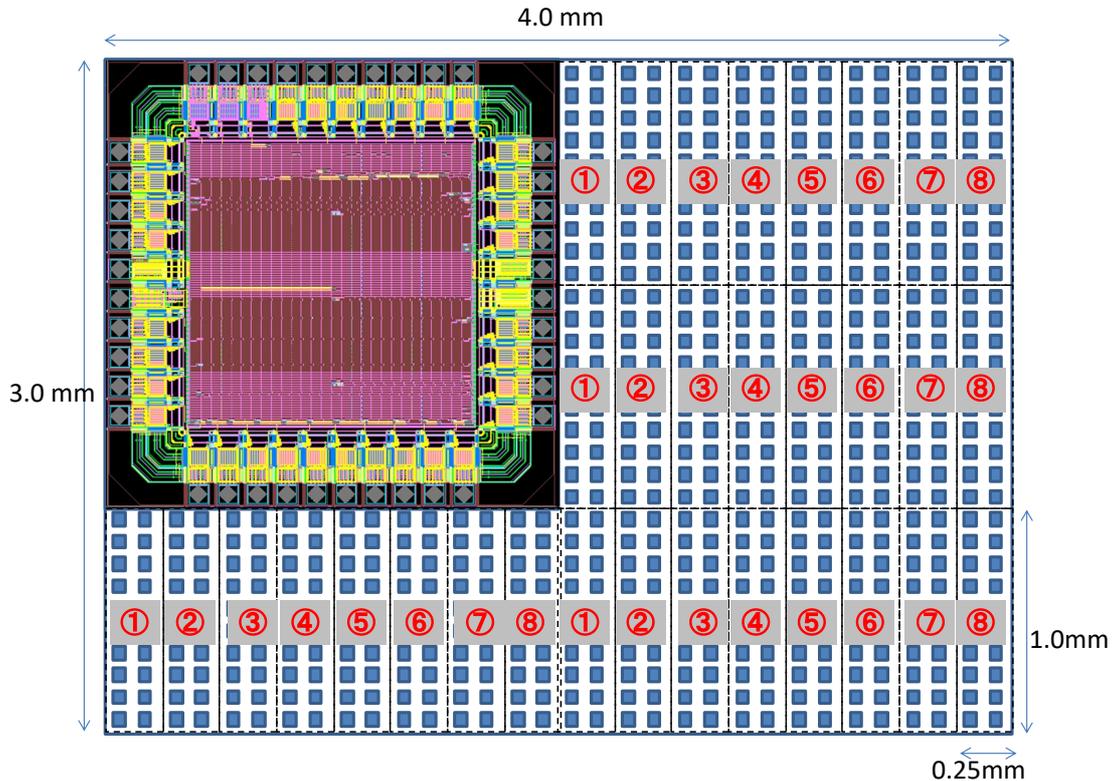


図 6: SR-NANDTEG チップのレイアウト(IMEC AMS 0.35um low-voltage CMOS, 2P4M プロセス)

図 6 に設計した SR-NAND TEG チップのレイアウトおよび検証用回路のパッド配置図を示す。FG 容量の組み合わせの異なる 32 種類の SR-NAND が集積された TEG アレイ、および通常の論理ゲートと SR-NAND ゲートを組み合わせた論理ゲート群を実装した。

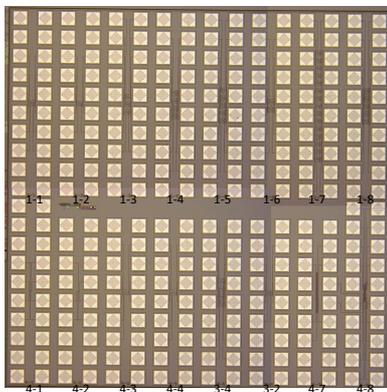


図 7: 試作 TEG チップ写真(一部のみ)

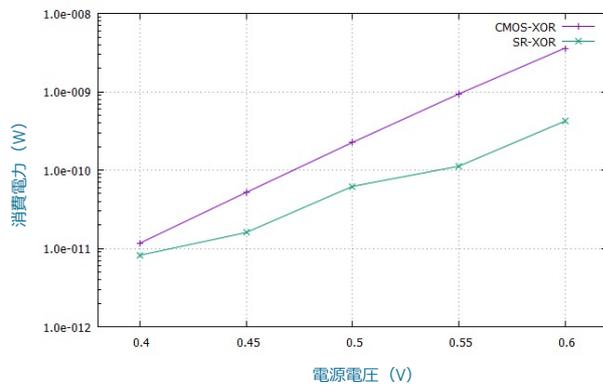


図 8: 試作 TEG の評価結果

上記で設計した集積回路の試作と評価を行った。図 7 にそのチップ写真の一部、図 8 に XOR ゲートの消費電力を示す (SR-NAND×4 個で XOR ゲートを構成したもの、および標準 CMOS XOR)。電源電圧にもよるが、0.6 V 電源時に標準 CMOS のおよそ 1/10 の消費電力となった。

本研究の発展により、長時間駆動やエネルギーハーベスティング技術の恩恵を直接受けられる集積回路が実現できると思われる。また、FG プロセスが必須になることから、我が国が得意とするフラッシュ型不揮発メモリのプロセスの強みを活かした卓越した技術・産業の基盤となり得る。集積デバイス学、回路設計学、システム設計学の分野を横断する研究成果であり、停滞気味の日本の半導体集積回路研究の活性化に向けた一助となれば幸いである。

5. 主な発表論文等

〔雑誌論文〕 計11件（うち査読付論文 11件 / うち国際共著 0件 / うちオープンアクセス 7件）

1. 著者名 浅井 哲也	4. 巻 25
2. 論文標題 情報・神経科学とものづくりの学際融合による人工知能ハードウェア	5. 発行年 2018年
3. 雑誌名 日本神経回路学会誌	6. 最初と最後の頁 148-156
掲載論文のDOI (デジタルオブジェクト識別子) 10.3902/jnns.25.148	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Hirose K., Uematsu R., Ando K., Ueyoshi K., Ikebe M., Asai T., Motomura M., and Takamaeda-Yamazaki S.	4. 巻 E9-N
2. 論文標題 Quantization error-based regularization for hardware-aware neural network training	5. 発行年 2018年
3. 雑誌名 Nonlinear Theory and Its Applications	6. 最初と最後の頁 453-465
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.9.453	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Achararit P., Hida I., Marukame T., Asai T., and Hara-Azumi Y.	4. 巻 E9-N
2. 論文標題 Structural exploration of stochastic neural networks for severely-constrained 3D memristive devices	5. 発行年 2018年
3. 雑誌名 Nonlinear Theory and Its Applications	6. 最初と最後の頁 466-478
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.9.466	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Ando K., Ueyoshi K., Orimo K., Yonekawa H., Sato S., Nakahara H., Takamaeda-Yamazaki S., Ikebe M., Asai T., Kuroda T., and Motomura M.	4. 巻 53
2. 論文標題 BRein memory: a single-chip binary/ternary reconfigurable in-memory deep neural network accelerator achieving 1.4TOPS at 0.6W	5. 発行年 2018年
3. 雑誌名 IEEE Journal of Solid-State Circuits	6. 最初と最後の頁 983-994
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JSSC.2017.2778702	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kaneko T., Ikebe M., Takamaeda-Yamazaki S., Motomura M., and Asai T.	4. 巻 23
2. 論文標題 Hardware-oriented algorithm and architecture for generative adversarial networks	5. 発行年 2019年
3. 雑誌名 Journal of Signal Processing	6. 最初と最後の頁 151-154
掲載論文のDOI (デジタルオブジェクト識別子) 10.2299/jsp.23.151	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Kaneko T., Orimo K., Hida I., Takamaeda-Yamazaki S., Ikebe M., Motomura M., and Asai T.	4. 巻 E10-N
2. 論文標題 A study on a low power optimization algorithm for an edge-AI Device	5. 発行年 2019年
3. 雑誌名 Nonlinear Theory and Its Applications	6. 最初と最後の頁 373-389
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.10.373	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Ando K., Ueyoshi K., Oba Y., Hirose K., Uematsu R., Kudo T., Ikebe M., Asai T., Takamaeda-Yamazaki S., and Motomura M.	4. 巻 E102
2. 論文標題 Dither NN: hardware/algorithm co-design for accurate quantized neural networks	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 2341-2353
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2019PAP0009	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 秋永 広幸, 浅井 哲也	4. 巻 89
2. 論文標題 アナログ抵抗変化素子を用いた脳型回路	5. 発行年 2020年
3. 雑誌名 応用物理	6. 最初と最後の頁 41-45
掲載論文のDOI (デジタルオブジェクト識別子) 10.11470/oubutsu.89.1_41	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Momose H., Kaneko T., and Asai T.	4. 巻 59
2. 論文標題 Systems and circuits for AI chips and their trends	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 050502(1)-(15)
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab839f	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Hirayama Y., Asai T., Motomura M., and Takamaeda-Yamazaki S.	4. 巻 10
2. 論文標題 A hardware-efficient weight sampling circuit for Bayesian neural networks	5. 発行年 2020年
3. 雑誌名 International Journal of Networking and Computing	6. 最初と最後の頁 84-93
掲載論文のDOI (デジタルオブジェクト識別子) 10.15803/ijnc.10.2_84	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

〔学会発表〕 計10件 (うち招待講演 10件 / うち国際学会 5件)

1. 発表者名 浅井 哲也
2. 発表標題 神経科学と情報科学, ものづくりの学際融合によるAIハードウェア・デバイスに向けて
3. 学会等名 JEITA非ノイマン型情報処理へ向けたデバイス技術分科会 (招待講演)
4. 発表年 2018年

1. 発表者名 浅井 哲也
2. 発表標題 ニューロモルフィック工学とマテリアル
3. 学会等名 応用物理学会春季学術講演会シンポジウム (招待講演)
4. 発表年 2018年

1. 発表者名 浅井 哲也
2. 発表標題 AIシンギュラリティへの遠い道のりとAIハードウェアの現状
3. 学会等名 三菱UFJモルガン・スタンレー証券 2019新春セミナー（招待講演）
4. 発表年 2018年

1. 発表者名 Tetsuya Asai
2. 発表標題 Brain-morphic AI hardware evolved from integration of information science and manufacturing technologies
3. 学会等名 2018 Symposia on VLSI Technology Short Course（招待講演）（国際学会）
4. 発表年 2018年

1. 発表者名 Tetsuya Asai
2. 発表標題 Unconventional AI and neuromorphic computing driven by emerging devices and materials
3. 学会等名 2018 IEEE Silicon Nanoelectronics Workshop（招待講演）（国際学会）
4. 発表年 2018年

1. 発表者名 浅井 哲也
2. 発表標題 ニューロモルフィック工学とマテリアル
3. 学会等名 応用物理学会春季学術講演会シンポジウム（招待講演）
4. 発表年 2019年

1. 発表者名 Asai T. and Momose H.
2. 発表標題 Make AI: Hardware-driven open innovation platform for Edge-AI
3. 学会等名 The 32nd International Microprocesses and Nanotechnology Conference (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 浅井 哲也
2. 発表標題 AIチップ：研究開発の動向とエッジAIアプリ創出に向けた取り組み
3. 学会等名 第6回先端イメージングデバイス・技術分科会 (招待講演)
4. 発表年 2019年

1. 発表者名 Asai T. and Momose H.
2. 発表標題 Programming artificial intelligence: A reconfigurable AI shield for embedded microcontrollers
3. 学会等名 International Conference on Solid State Devices and Materials (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 浅井 哲也
2. 発表標題 超スマート社会に向けたニューロモルフィック材料・デバイス・システムの展望
3. 学会等名 日本金属学会 2021年春期大会 (招待講演) (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------