

令和 3 年 6 月 16 日現在

機関番号：32708

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K04079

研究課題名(和文) スイッチトキャパシタ集積DC/DCコンバータの高電力密度化

研究課題名(英文) High-power-density integrated switched-capacitor DC/DC converter

研究代表者

崔 通 (Sai, Toru)

東京工芸大学・工学部・准教授

研究者番号：70633337

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：スイッチトキャパシタDC-DCコンバータの高電力密度化を検討した。スイッチトキャパシタDC-DCコンバータは、電力蓄積素子にコンデンサを使用するので、インダクタンスを電力蓄積素子として使用するバックコンバータに比べて、集積回路化に適している。しかし、電力密度を上げるためには、ディープトレンチのような特別な素子が必要であり、通常のCMOS標準プロセスでは構成できない。そこで、MLCC(Multi Layer Ceramic Capacitor)を使用した高電力密度SC DC-DCコンバータの設計手法を示し、ディープトレンチ並みの電力密度が得られることを示した。

研究成果の学術的意義や社会的意義

MLCCを使用することで、標準CMOSプロセスで、高電力密度化のスイッチトキャパシタDC-DCコンバータが実現できることを示した。MLCCを使用することで生じる信頼性の問題、esL(寄生インダクタス)により生じるスパイクノイズの問題、動作周波数の決め方の問題などを解決する手法を示した。近年、車やデータセンターなど、負荷の大電流化に伴う配線のRIドロップが問題になるアプリケーションが多い。ここで使用される電源はSC DC-DCをベースにしたハイブリッド形が有用であり、今回の研究成果はこれらアプリで使用される電源にも展開できる可能性を示した。

研究成果の概要(英文)：High power density of switched-capacitor DC-DC converters was investigated. Switched-capacitor DC-DC converters are more suitable for integrated circuits than buck converters because capacitors are used as power storage elements instead of inductor. However, in order to increase the power density, special elements such as deep trenches are required, which cannot be configured in CMOS standard process. A design methodology for a high power density SC DC-DC converter using MLCC (Multi Layer Ceramic Capacitor) is presented. It can achieve the comparable power density that of a deep trench.

研究分野：集積回路設計、パワーエレクトロニクス

キーワード：集積回路設計 パワーエレクトロニクス DC-DCコンバータ ゲートドライバ 太陽光発電システム

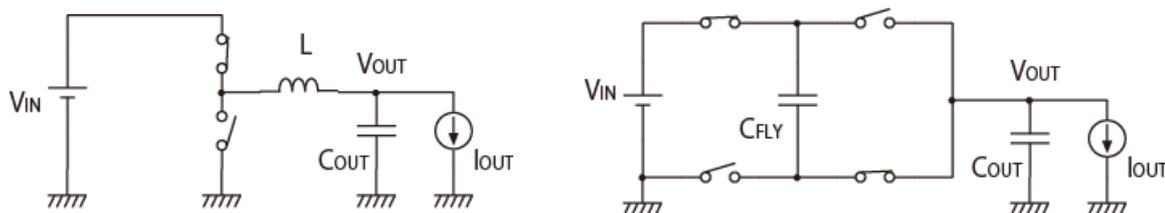
## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

図1に DC/DC コンバータのブロック図を示す。図1(a)は、インダクタ形の DC/DC コンバータであり、図1(b)は、スイッチトキャパシタ形の DC/DC コンバータである(以下 SC DC/DC コンバータ)。容量は、インダクタに比べ、エネルギー密度が約 1000 倍高いので、SC DC/DC コンバータは、集積化に適した電力コンバータである[Ref. 1]。

[Ref. 1]

S. Sanders, E. Alon, H. Le, M. Seeman, M. John, and V. Ng, "The Road to Fully Integrated DC-DC Conversion via the Switched-Capacitor Approach," IEEE Transactions on Power Electronics, 2013, pp. 4146 - 4155.



(a) インダクティブ形 DC/DC コンバータ (b) キャパシティブ形 DC/DC コンバータ  
図1. DC/DC コンバータの種類

### 2. 研究の目的

本研究の目的は、SC DC/DC コンバータの 高電力密度化と スパイクノイズを低減することである。

SC DC/DC コンバータは、集積化に適した DC/DC コンバータであるが、標準 CMOS プロセスで構成する場合、容量の面積がチップの大半を占めてしまい、せっかくの短チャンネル CMOS プロセスがキャパシタで占められてしまう。ディープトレンチのようにスペシャルな容量は、容量密度が高いが、高価で標準 CMOS プロセスでは構成できない。そこで、MLCC を標準 CMOS プロセスチップ上にマウントして、面積を最小にして高電力密度化を図り、ディープトレンチ並みの高電力密度 SC DC/DC コンバータを実現する。

出力電圧のスパイクノイズは、CMOS スイッチの寄生容量と MLCC の寄生インダクタンス ESL (Equivalent Series Inductance) と寄生抵抗 ESR (Equivalent Series Resistance) の影響で生じる。スパイクノイズは、GHz 帯の高周波ノイズであり、通常のデキャップでは取り除くことができない。スパイクノイズが下側に振れた場合、DC/DC コンバータに接続された回路(例えば CPU)が、一瞬ダウンしてしまう。スパイクノイズが上側に振れた場合は、DC/DC コンバータに接続された回路の耐圧をオーバーする可能性がある。また、スパイクノイズにより高調波ノイズが増え、EMC (electromagnetic compatibility) の問題が生じる。

### 3. 研究の方法

まず、MLCC の選定、CMOS プロセスの選定、トランジスタサイズの最適化を行い、IC 設計、シミュレーションを行う。次に、効率を犠牲にしないでスパイクノイズを低減する手法を提案する。最後に、提案手法使用した SC DC/DC コンバータを組み合わせた動作確認をする。

### 4. 研究成果

#### (1) MLCC を使用した SC DC-DC コンバータの設計手法

MLCC には寄生素子(esR, esL)が存在するので、esR が最小となり、esL の影響が生じない動作周波数を決める。本設計では、図2から  $f_{clk}=20\text{MHz}$  とした。

#### (2) 実測結果

試作した SC DC-DC コンバータの実測結果を図3に示す。電力密度は  $256\text{W}/\text{mm}^2$ 、出力電力は  $274\text{mW}$  を得ている。図3中の ISSCC2015 IBM(88.0%)は DT(Deep Trench)を使用しており、JSSC2011 UCB(85.5%)は SOI(Silicon On Insulator)を使用している。これらと比べて、標準プロセスと MLCC で同等の効率を得ていることがわかる。

#### (3) スパイクノイズ( $V_{spike}$ )の低減

スパイクノイズの低減手法として、スイッチに使用するトランジスタを並列にし、一部トランジスタの時間を遅延させる手法を提案した。効果を図4に示す。効率を大きく変化させずに、スパイクノイズが  $124\text{mV}$  から  $30\text{mV}$  に低減している。

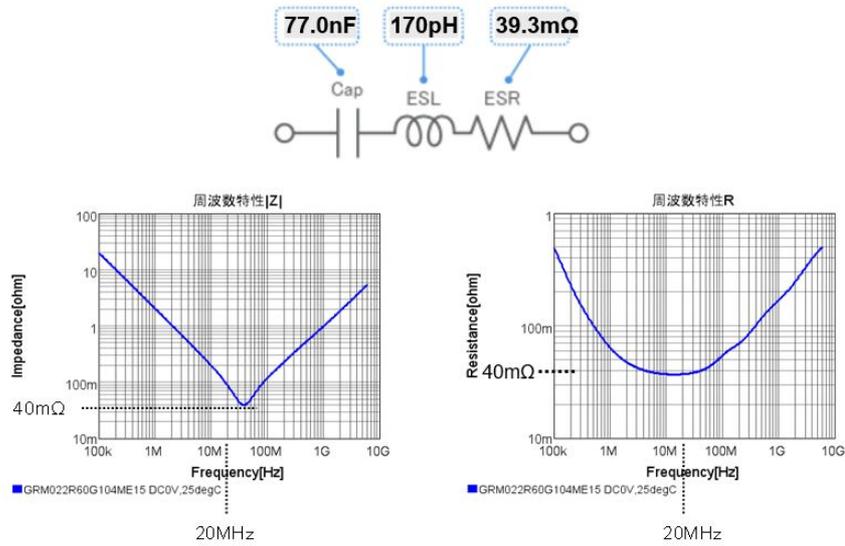
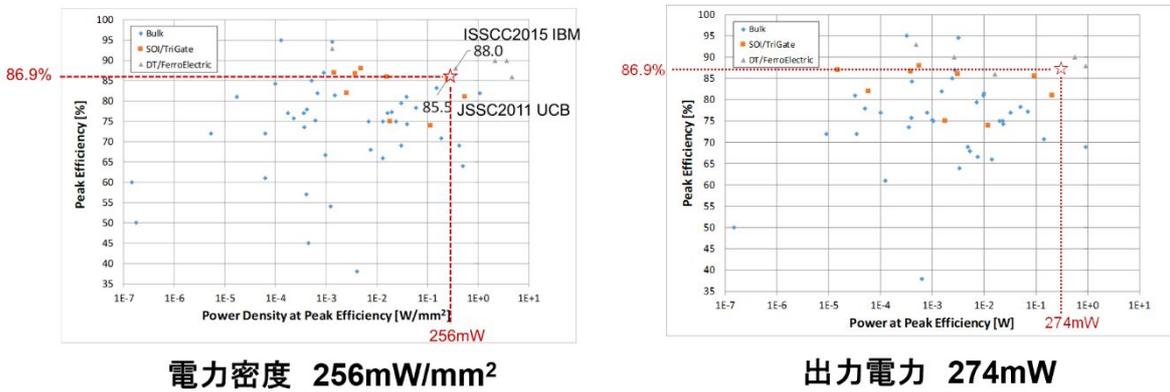


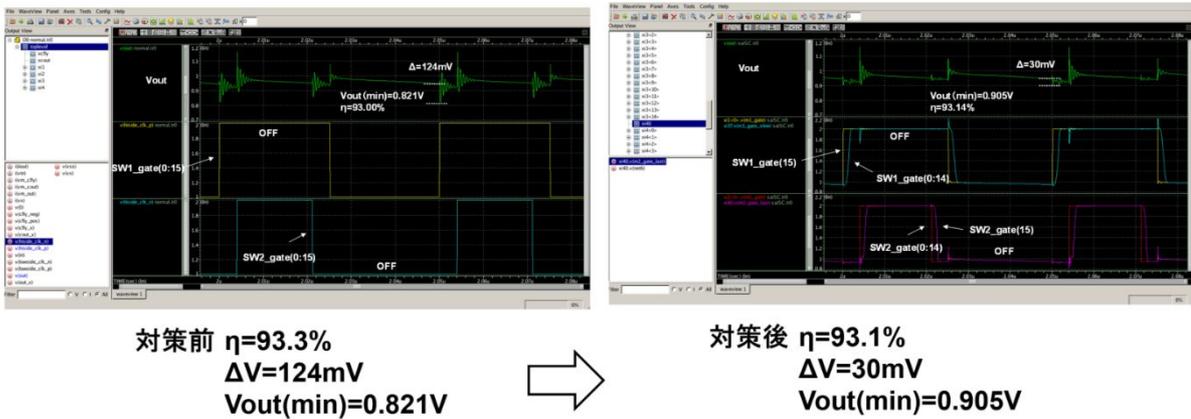
図 2 . 使用した MLCC の寄生素子と特性



電力密度 256mW/mm<sup>2</sup>

出力電力 274mW

図 3 . Other Works との比較



対策前  $\eta=93.3\%$   
 $\Delta V=124\text{mV}$   
 $V_{\text{out}}(\text{min})=0.821\text{V}$



対策後  $\eta=93.1\%$   
 $\Delta V=30\text{mV}$   
 $V_{\text{out}}(\text{min})=0.905\text{V}$

図 4 . Vspike を低減する方法の効果

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計1件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 崔通
2. 発表標題 MLCC on Silicon スイッチトキャパシタ DC-DC コンバータ
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------