

令和 3 年 6 月 23 日現在

機関番号：12608

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K04258

研究課題名(和文)自己発熱効果フリー超高集積p/n積層NW/FinFETと6T-SRAM

研究課題名(英文)Self-Heating-Effect-Free p/n-Stacked-NW/Bulk-FinFETs and 6T-SRAM

研究代表者

若林 整 (Hitoshi, Wakabayashi)

東京工業大学・工学院・教授

研究者番号：80700153

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：超低消費電力LSI向けMOSFET技術について、Nano-wire (NW)構造による微細化が有効である。しかし自己発熱による駆動電流低下が問題であり、FinFET上にNWを積層することで基板へ通じる放熱経路を確保(リセスコンタクト)することが有効である。そこでp/n積層NW/FinFETsによるInverterやTransfer gate, NOR, NAND, 多入力NOR/NAND, SRAM について、自己発熱効果抑制と面積削減効果を明らかにした。次に本構造ではNANDよりもNORで自己発熱効果が顕著であるが、5入力までであれば駆動電流を大きく維持できることを明らかにした。

研究成果の学術的意義や社会的意義

この成果は今後のLogic LSIの高性能化のために重要な知見であると考えられ、今後のサステナブル社会に資すると考えられる。

研究成果の概要(英文)：For MOSFET technology for ultra-low power consumption LSI, miniaturization by nano-wire (NW) structure is effective. However, the decrease in drive current due to self-heating effect is a problem, and it is effective to realize a heat dissipation path (recess contact) leading to the substrate by stacked NW on FinFETs. Therefore, we clarified the self-heating effect suppression and area reduction effect for Inverter, Transfer gate, NOR, NAND, multi-input NOR / NAND, and SRAM by p/n-stacked NW/FinFETs. Next, although the self-heating effect is more serious in NOR than in NAND, but it was clarified that the drive current is able to be maintained up to 5 inputs.

研究分野：集積回路工学

キーワード：Nano-wire FinFET 自己発熱効果

1. 研究開始当初の背景

IoT エッジデバイスへ応用する超高集積・超低消費電力 LSI 向け MOSFET 技術について、FinFET を凌駕する低消費電力化を達成するため、Nano-wire (NW)構造による微細化が必要である。しかし自己発熱による駆動電流低下と信頼性劣化が大きな問題であり、高集積化の妨げとなっている。

2. 研究の目的

ここで図1の通り、FinFET 上に NW-FET を積層して形成することで、NW からコンタクトを経由して基板へ通じる放熱経路を確保して自己発熱効果を抑制することが有効であると考えられる。これをリセスコンタクトと呼ぶ。さらに、高集積化のため図2の通り、n型 NW-FET 上にさらに p型 NW-FET を積層することにより自己発熱効果フリーな超高集積 p/n 積層 NW-FET on FinFET 構造を基礎とするインバータおよび SRAM を実現することができると考えられる。これらの原理検証を研究の目的とする。

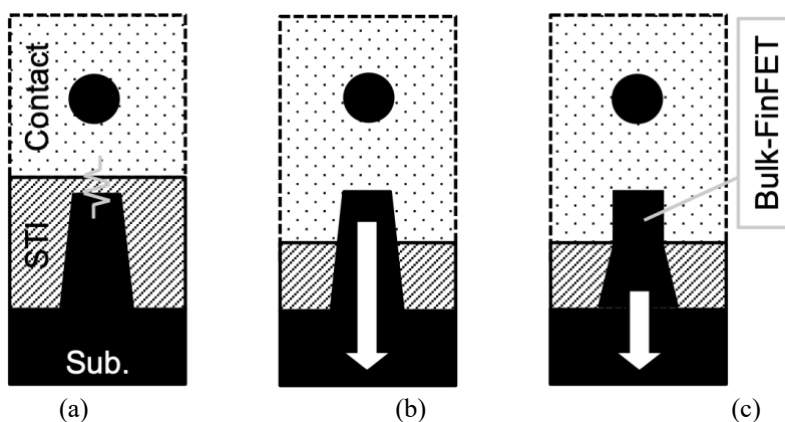


図1: リセスコンタクトにより並列接続された NW on FinFET の S/D 部断面構造。

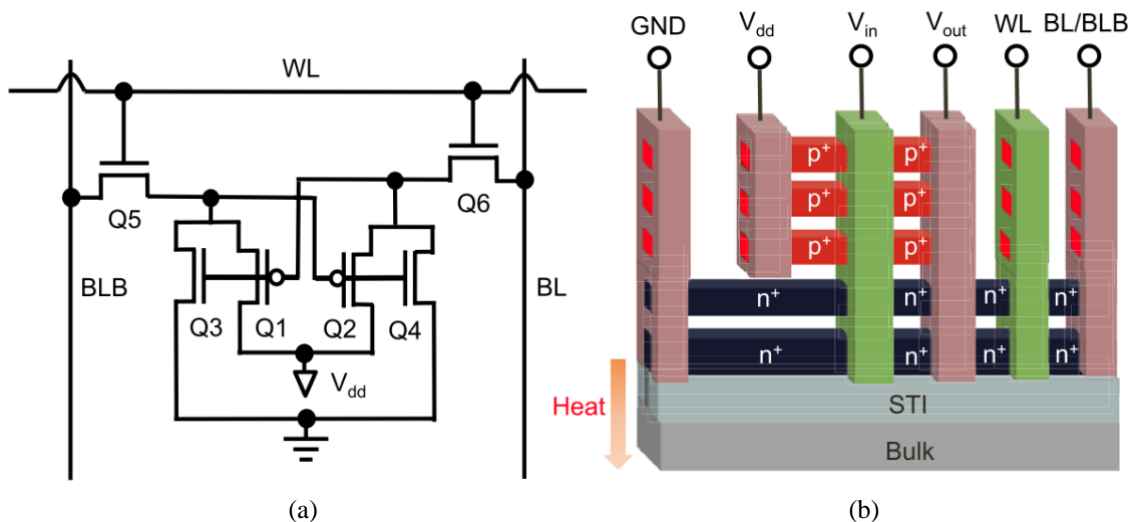


図2: p/n 積層 NW/FinFETs による SRAM セル構造. (b)は3Trs.分.

3. 研究の方法

そこで SILVACO ATLAS 3D device simulator with Giga 3D module を用いて、定常状態における熱コンダクタンスと温度依存性を加味して電気特性を計算した。

4. 研究成果

まず NW/FinFET 構造による自己発熱効果抑制について、熱/デバイスシミュレーションにより放熱・デバイス性能を向上できる FET 構造を設計した。図 3 に示す通り、リセスコンタクト構造を採用することにより、NW チャネルの温度を効果的に抑制することができることが分かった。

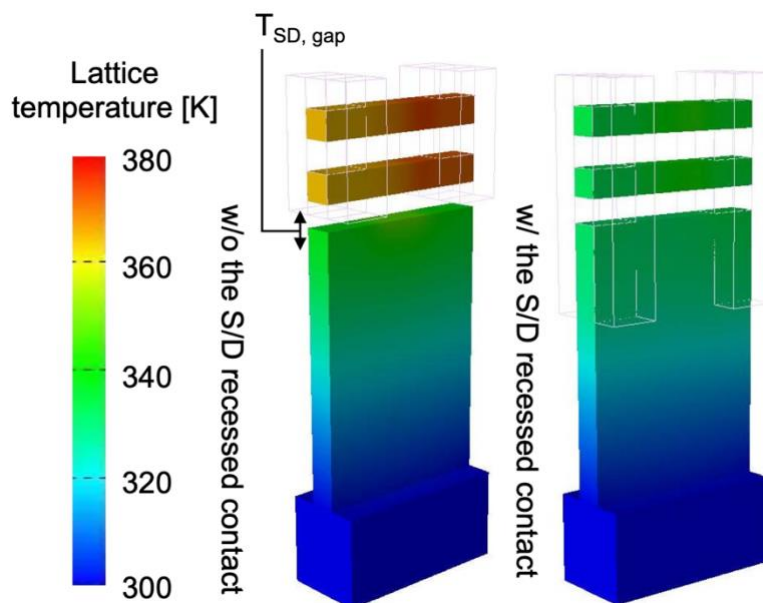


図 3: NW/FinFETs 構造による自己発熱効果の低減.

次に、図 4 の通り、p/n 積層 NW/FinFETs を形成するためのプロセスを提案した。その上で、図 5 の通り、Inverter, Transfer gate や NOR, NAND, さらに多入力 NOR および NAND, SRAM について面積の削減割合を提示した。

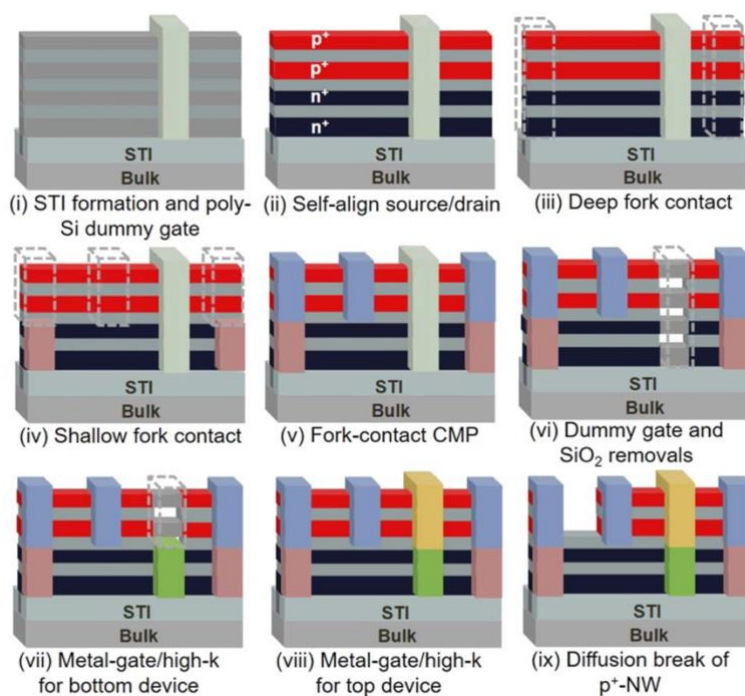


図 4: p/n 積層 NW/FinFETs を用いた場合の CMOS 形成プロセス例.

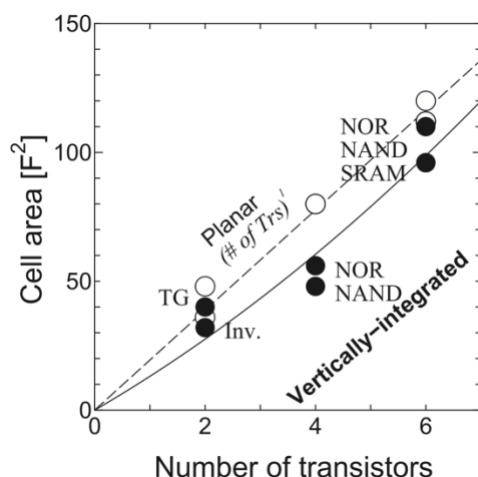


図 5: Inverter, Transfer gate (TG), NAND, NOR, SRAM の面積のトランジスタ数依存性. F は Feature size を示している。

次に、p/n 積層 NW/FinFETs 構造においては、NAND よりも NOR において自己発熱効果が顕著であるが、図 6 の通り、リセスコンタクトを採用することにより、5 入力までであれば、採用しない場合よりも駆動電流を大きく維持できることを明らかにした。最後に、自己発熱効果の回路的影響を調査するため、FinFET の熱上昇による駆動電流とオフ電流の温度依存性を調査した。特に高温化によるオフ電流の増大を抑制する必要がある、ソース・ドレイン領域深さよりもゲート電極をより深く形成することが有効であることを明らかにした。

以上の結果により、NW-FETs on FinFETs により、自己発熱効果を低減できることを明らかにした。またさらに p/n 積層 NW-FETs on FinFET により高集積化を実現でき、5 入力でも自己発熱効果を抑制できることを明らかにした。この結果は今後の Logic LSI の高性能化のために重要な知見であると考えられる。

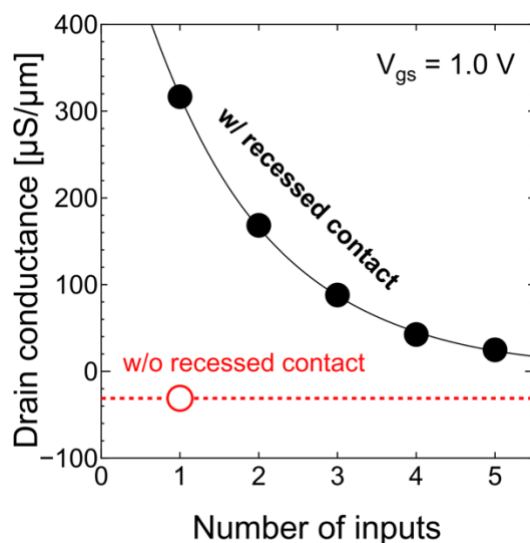


図 6: NOR 回路におけるドレインコンダクタンスの入力数依存性. 入力数が多くなると自己発熱効果の影響が見られるが、リセスコンタクトにより適切に抑制することができる。

研究発表

- [1] Eisuke Anju, Iriya Muneta, Kuniyuki Kakushima, Kazuo Tsutsui and Hitoshi Wakabayashi, "Relaxation of Self-Heating-Effect for Stacked-Nanowire FET and p/n-Stacked 6T-SRAM Layout," No. 6, 2019, IEEE, Journal of Electron Device Society, 1239-1245, doi:10.1109/JEDS.2018.2882406, 査読有、オープンアクセス
- [2] Hitoshi Wakabayashi, "Benchmark on Advanced Logic Devices and Predictive Discussion on Future LSIs," The 40th anniversary of DPS 2018(招待講演)(国際学会), 2018 年
- [3] Hitoshi Wakabayashi, "Discussion on LSI Configurations and Performances from Process to Upper Levels," IEEE ISSM 2019, Tutorial(招待講演)(国際学会), 2018 年
- [4] Hitoshi Wakabayashi, "Advanced Device Technologies beyond FinFET era for Logic Chip,"

- SEMI Japan 2018, STS(招待講演), 2018 年
- [5] 若林整、「総論:Si ULSI の現状と今後の動向」招待講演, JSPS, 145 委員会(招待講演), 2018 年
 - [6] Hitoshi Wakabayashi, “Current Progress on 2D Materials and their FETs for Future LSIs,” SEMI China, IEEE, CSTIC 2019(招待講演)(国際学会), 2019 年
 - [7] Hitoshi Wakabayashi, “Vertically-Stacked Nanowire/FinFETs and Following 2D FETs for Logic Chips,” IEEE, EDS, S3S 2018(招待講演)(国際学会), 2018 年
 - [8] Hitoshi Wakabayashi, “Advanced 3D-CMOS-Device Benchmark and Sputtered-MoS₂ 2D-FET Operation,” 22nd International Symposium on Chemical-Mechanical Planarization(招待講演)(国際学会), 2018 年
 - [9] 山岸 朋彦、堀 敦、宗田 伊理也、角嶋 邦之、筒井 一生、若林 整、「横型 p/n 積層ナノワイヤによる NOR と NAND セルの省面積設計」2019 年第 80 回応用物理学会秋季学術講演会、18a-B11-4, 2019 年
 - [10] T. Yamagishi, A. Hori, I. Muneta, K. Kakushima, K. Tsutsui, and H. Wakabayashi, “Self-Heating-Aware Cell Design for Multi-Stacked Circuits with p/n-Vertically-Integrated Nanowires on FinFET,” N-1-02, pp. 557-558, Solid State Devices and Materials, Japan Society of Applied Physics(国際学会), 2019 年
 - [11] Tomohiko Yamagishi, Atsushi Hori, Iriya Muneta, Kuniyuki Kakushima, Kazuo Tsutsui and Hitoshi Wakabayashi, “Self-heating-aware cell design for p/n-vertically-integrated nanowire on FinFET beyond 3 nm technology node,” No. 59, 2020, Japanese Journal of Applied Physics, SGG A09, <https://doi.org/10.35848/1347-4065/ab6d83>, 査読有、オープンアクセス
 - [12] 若林整, 「研究室訪問 東京工業大学 工学院 電気電子系 若林整(ひとし)研究室」No. 24, 2021 年、エレクトロニクス実装学会誌、24 巻 (2021) 1 号 162 頁

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件/うち国際共著 0件/うちオープンアクセス 2件）

1. 著者名 Tomohiko Yamagishi, Atsushi Hori, Iriya Muneta, Kuniyuki Kakushima, Kazuo Tsutsui and Hitoshi Wakabayashi	4. 巻 59
2. 論文標題 Self-heating-aware cell design for p/n-vertically-integrated nanowire on FinFET beyond 3 nm technology node	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SGGA09
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/ab6d83	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Eisuke Anju, Iriya Muneta, Kuniyuki Kakushima, Kazuo Tsutsui and Hitoshi Wakabayashi	4. 巻 6
2. 論文標題 Relaxation of Self-Heating-Effect for Stacked-Nanowire FET and p/n-Stacked 6T-SRAM Layout	5. 発行年 2019年
3. 雑誌名 IEEE, Journal of Electron Device Society	6. 最初と最後の頁 1239-1245
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/JEDS.2018.2882406	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計9件（うち招待講演 7件/うち国際学会 6件）

1. 発表者名 T. Yamagishi, A. Hori, I. Muneta, K. Kakushima, K. Tsutsui, and H. Wakabayashi
2. 発表標題 Self-Heating-Aware Cell Design for Multi-Stacked Circuits with p/n-Vertically-Integrated Nanowires on FinFET
3. 学会等名 N-1-02, pp. 557-558, Solid State Devices and Materials, Japan Society of Applied Physics（国際学会）
4. 発表年 2019年

1. 発表者名 山岸 朋彦、堀 敦、宗田 伊理也、角嶋 邦之、筒井 一生、若林 整
2. 発表標題 横型p/n積層ナノワイヤによるNORとNANDセルの省面積設計
3. 学会等名 2019年第80回応用物理学会秋季学術講演会、18a-B11-4
4. 発表年 2019年

1. 発表者名 Hitoshi Wakabayashi
2. 発表標題 Benchmark on Advanced Logic Devices and Predictive Discussion on Future LSIs
3. 学会等名 The 40th anniversary of DPS 2018 (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Hitoshi Wakabayashi
2. 発表標題 Discussion on LSI Configurations and Performances from Process to Upper Levels
3. 学会等名 IEEE ISSM 2019, Tutorial (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Hitoshi Wakabayashi
2. 発表標題 Advanced Device Technologies beyond FinFET era for Logic Chip
3. 学会等名 SEMI Japan 2018, STS (招待講演)
4. 発表年 2018年

1. 発表者名 若林 整
2. 発表標題 総論：Si ULSIの現状と今後の動向、招待講演
3. 学会等名 JSPS, 145委員会 (招待講演)
4. 発表年 2018年

1. 発表者名 Hitoshi Wakabayashi
2. 発表標題 Current Progress on 2D Materials and their FETs for Future LSIs
3. 学会等名 SEMI China, IEEE, CSTIC 2019 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Hitoshi Wakabayashi
2. 発表標題 Vertically-Stacked Nanowire/FinFETs and Following 2D FETs for Logic Chips
3. 学会等名 IEEE, EDS, S3S 2018 (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Hitoshi Wakabayashi
2. 発表標題 Advanced 3D-CMOS-Device Benchmark and Sputtered-MoS2 2D-FET Operation
3. 学会等名 22nd International Symposium on Chemical-Mechanical Planarization (招待講演) (国際学会)
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	宗田 伊理也 (Muneta Iriya) (90750018)	東京工業大学・工学院・助教 (12608)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------