

令和 3 年 8 月 17 日現在

機関番号：26402

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11222

研究課題名(和文)故障検出機構を用いた多重化によるAMSシステムの高信頼化

研究課題名(英文) Fault-based Built-In Self Test schemes for AMS System LSI

研究代表者

橋 昌良 (Tachibana, Masayoshi)

高知工科大学・システム工学群・教授

研究者番号：50171715

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：システムLSIのアナログ回路部分の故障検出を製造工程からシステムの動作時までいつでも行うことの出来る機構の開発を主たる目的として研究を行った。本研究ではアナログ混載システムLSIで多用される基準電源回路と変調器をモチーフとし、回路のインパルス応答に基づいた回路素子の開放/短絡などのカタストロフィック故障を検出できる故障検出システムの開発を行い、回路シミュレーションと実チップによる試作/測定の結果、回路素子の開放/短絡については86%から95%の検出が出来ることを確認した。また、回路に付加回路を追加してカオス発振回路を構成することで、回路素子のパラメトリック故障を検出できる見込みが立った。

研究成果の学術的意義や社会的意義

アナログ回路の故障検出のためのテスト方式の研究は古くから行われているが、これらの研究は特別なテストモードと大規模な即手系を使用してテストを行い、故障原因と故障箇所の特定に重点を置いた出荷時のテストを前提としたものが多い。

本研究による故障検出方式では、故障箇所、原因の特定にはこだわらず、システムの動作中に故障検出を行うことが出来るので、システム動作時のシステムの信頼性向上を図ることが出来る。

研究成果の概要(英文)： We propose fault-based BIST(Built-In Self Test) schemes for Analog part of AMS (Analog Mixed-Signal) system LSI. The BIST systems can be used throughout life time of LSIs, from fabrication process to the system's operation.

Motif circuits of analog system to design BIST systems are Voltage/Current reference generator and delta-sigma modulator. The BIST systems are based on transient response of circuits and fault coverage of Catastrophic faults, such like open/short fault of circuit elements, are about 85% to 96% with reasonable area overhead. We also find the BIST systems based on Chaotic oscillation can cover Parametric faults.

研究分野：システムLSI設計、LSI設計支援系

キーワード： Built-In Self Test Analog-Mixed Signal カタストロフィック故障 パラメータ故障 デペンダブルコンピューティング

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

アナログ回路は、デジタルシステムと比べて多重化による高信頼化が難しく、集積度の高いAMS(Analog Mixed-Signal)システム LSI の高信頼化の問題点の一つとなっている。

しかし、現実のシステムではすべての回路が常時動作する必要があるような構成をとることはあまりなく、特定の回路が動作しない時間が発生する。このような空き時間を利用して間欠的にテストを行い、異常が発生した回路とあらかじめ用意されている正常な回路との切り替えを行うことができれば、システム全体の信頼性を向上させることができる。また、回路に異常が発生した場合にシステムの使用を停止することができるだけでも有用である。

2. 研究の目的

AMS システム LSI の高信頼化を目的としたアナログ回路の故障検出をシステムの動作中にも行える機構の開発を目的とする。

この機構はLSIシステムがデジタル/アナログ両方の回路を組み合わせる利点を利用して、アナログ回路にテスト信号発生回路、動作状態を監視するプローブ回路とその出力から動作異常を検出する故障検出回路を組み合わせ、それらをデジタル回路により制御することにより、システムは動作中であるが検査対象となるアナログ回路の動作を必要としない時間帯を利用して、間欠的にテストを進めることの出来るものである。

このような、システムの動作状態での動作異常の検出を行うことのできる BIST システムを提案し、LSI を試作しその有効性を実証することを目標としている。

3. 研究の方法

AMS システム LSI で一般的に用いられる各種形式のアナログ回路とその故障検出を行う回路のシミュレーションと実チップによる有効性の検証をおこなった。対象としたのは基準電源回路と  $\Delta \Sigma$  変調器である。

回路設計とシミュレーションおよび LSI チップの試作は VDEC (VLSI Design and Education Center) を利用して各種の EDA ツールと Rohm 0.18  $\mu\text{m}$  CMOS プロセスを使用して行った。対象としたのは、カタストロフィック故障はトランジスタの各端子の開放/短絡故障と抵抗、キャパシタンスの開放/短絡故障、パラメトリック故障は抵抗、キャパシタンスの 10% 程度の変化である。

カタストロフィック故障の検出は単純なパルスに対するインパルス応答を解析する回路により行った。パラメトリック故障の検出には周期、幅の異なるいろいろなパルスについてのインパルス応答を用いている。このようなパルスの発生にはカオス発振回路出力を用いた。

4. 研究成果

(1) 基準電源回路 (バンドギャップリファレンス回路: 以下 BGR) における素子の開放/短絡故障検出

BGR は基準電流/電圧を生成するための回路であるため、入力が存在しない。しかしながら、回路の動作開始時に動作点を決定するためのスタートアップ回路が存在する。このスタートアップ回路を利用して故障検出を行った。

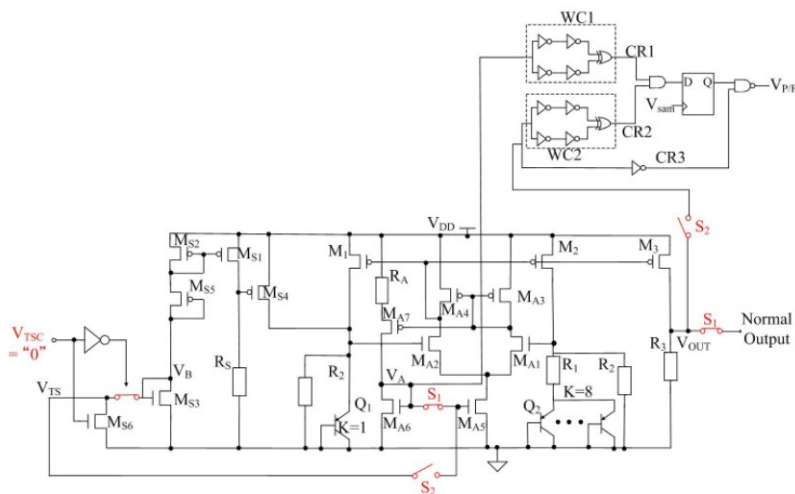


図 1



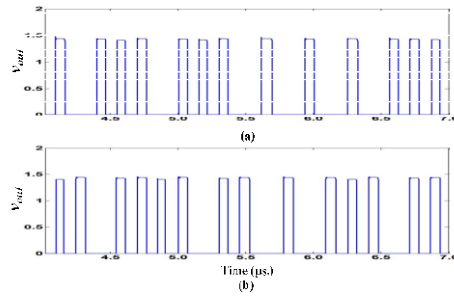


図 5

図 5 は回路のシミュレーション結果である。(a)は故障を含まない回路、(b)は位相補償のためのキャパシタ、抵抗のパラメトリック故障 (10%減) を含む回路の出力である。この回路では発振回路を構成するための付加回路の面積がオペアンプよりも大きくなっているが、インパルス応答では検出できなかったパラメトリック故障の検出に成功している。

### (3) カオス発振回路により生成した疑似乱数クロックを用いた $\Delta \Sigma$ 変調器のパラメトリック故障検出

図 6 にテスト対象とした 2 次の  $\Delta \Sigma$  変調器のブロック図 (テストのための付加回路含む) を示す。本研究では、時定数の等しい 2 個の積分器の出力を比較することで故障検出を行っている。テスト時には 2 つの積分回路は図 7 のマルチプレクサ、でマルチプレクサにより切り離され、固定された電圧  $1/2 V_{DD}$  (0.9V) とカオス発振器を利用した乱数クロックにより駆動される DAC の出力を入力する。この二つの積分器の出力をコンパレータにより 0/1 に変換し、その出力を比較することで故障検出を行っている。

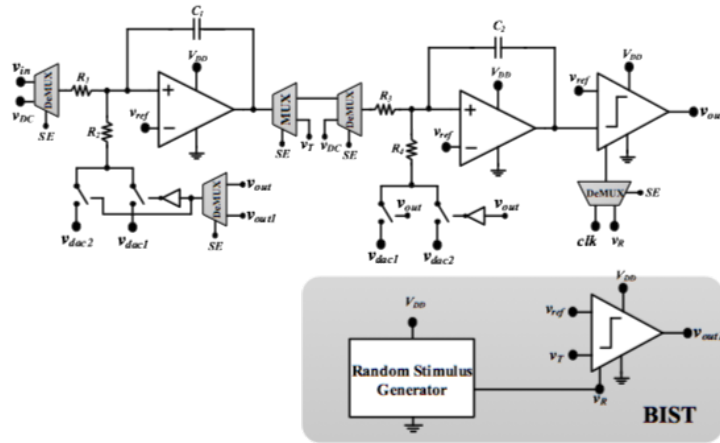


図 6

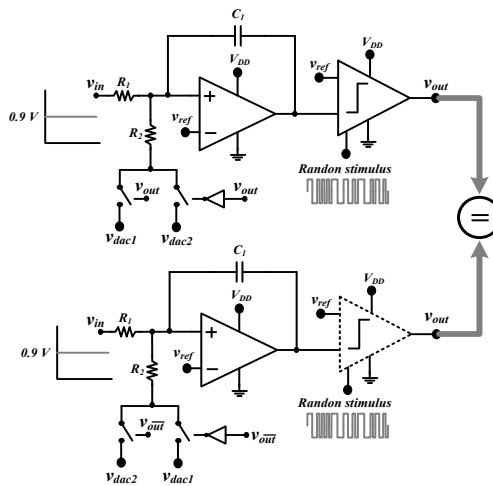


図 7

図8に実験に使用した回路のレイアウトパターンを示す。この回路はシミュレーションで全ての素子の開放/短絡故障の検出と抵抗、キャパシタの10%変動の検出が可能であることが確認されている。実チップによる確認では5通りの故障を注入した回路について故障検出が可能であることを確認した。

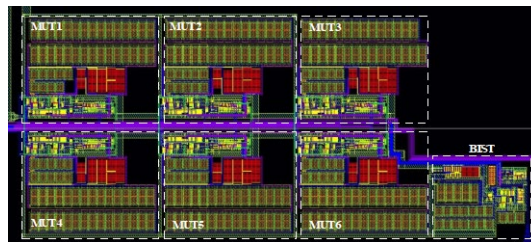


図8

(4) 以上の3種のBIST手法は、検出できる故障はかぎられるが、LSIの製造段階からシステムに実装した後までどの段階でも動作させること出来る。このため、検査対象となるアナログ回路を複数システムに実装しておき、故障が発見された場合は回路を切り替えることでシステムの高信頼化をはかることが出来る。

また、カオス発振を用いることで素子の開放/短絡故障だけでなくトランジスタや抵抗、キャパシタに関するパラメトリック故障や検出の難しい開放故障を検出できる見込みがあった。これらのパラメトリック故障は簡単な故障検出回路では検出できなかったものである。

カオス発振回路は疑似乱数発生器として使用しているが、出力の再現性が乏しいため、現状では故障の無い回路とテスト対象の回路について出力を比較することにより故障検出を行っている。このため、この方式で故障検出の出来る回路には制限がある。今後の研究の方向としては、この制限を減らすことがあげられる。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件/うち国際共著 3件/うちオープンアクセス 3件）

1. 著者名 Wannaboon, Chatchai ; Masayoshi Tachibana ; Wimol San-Um	4. 巻 28
2. 論文標題 A 0.18- $\mu$ m CMOS high-data-rate true random bit generator through modulation of chaotic jerk circuit signals	5. 発行年 2018年
3. 雑誌名 AIP Chaos: An Interdisciplinary Journal of Nonlinear Science	6. 最初と最後の頁 1-20
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/1.5022838	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Chatchai Wannaboon, Nattagit Jiteurtragool, Wimol San-Um, Masayoshi Tachibana	4. 巻 15
2. 論文標題 Phase difference analysis technique for parametric faults BIST in CMOS analog circuits	5. 発行年 2018年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 1-9
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/elex.15.20180175	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Nattagit Jiteurtragool ; Masayoshi Tachibana ; Wimol San-Um	4. 巻 20
2. 論文標題 Robustification of a One-Dimensional Generic Sigmoidal Chaotic Map with Application of True Random Bit Generation	5. 発行年 2018年
3. 雑誌名 Entropy	6. 最初と最後の頁 1-15
掲載論文のDOI (デジタルオブジェクト識別子) 10.3390/e20020136	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

〔学会発表〕 計3件（うち招待講演 0件/うち国際学会 0件）

1. 発表者名 橘 昌良、猪岡 柚香
2. 発表標題 バンドギャップ基準電源回路を対象としたBIST手法の評価
3. 学会等名 DAシンポジウム2019
4. 発表年 2019年

1. 発表者名 橘 昌良、上村 大輔
2. 発表標題 Nauta OTAを用いた二次 変調回路の設計と評価
3. 学会等名 D A シンポジウム 2 0 1 9
4. 発表年 2019年

1. 発表者名 猪岡 柚香、橘 昌良
2. 発表標題 バンドギャップ基準電源回路を対象としたB I S T手法の検討
3. 学会等名 D A シンポジウム 2 0 1 8
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関