

令和 3 年 6 月 21 日現在

機関番号：27101

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11223

研究課題名(和文) アナログ信号の機械学習のためのアナログ・デジタル混在再構成システム

研究課題名(英文) Analog-Digital Mixed Signal Reconfigurable System for Machine Learning to Analog Signal

研究代表者

中武 繁寿 (NAKATAKE, SHIGETOSHI)

北九州市立大学・国際環境工学部・教授

研究者番号：10282831

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：本研究では、ニューラルネットワークの不可欠な機能であるパーセプトロンに焦点を当て、入力に対する重み和の演算に相当するDAC型乗算器、および活性化関数ReLUに相当するソースフォロア回路を用いて実現し、センサノードに搭載を目的としたハードウェアの軽量化を図る。そのため、提案パーセプトロン回路を伴う多層化ニューラルネットワークの回路・レイアウト設計を行い、CMOS0.6 $\mu$ mプロセスによるチップ試作、測定評価を実施した。その結果、ニューラルネットワークとしての基本的な動作の確認ができ、さらにFPGAによる従来のデジタル実装の回路と比較し、面積、消費電力の尺度で優位性を示すことができた。

研究成果の学術的意義や社会的意義

本研究では、ニューラルネットワークのアナログ・デジタル混在の実装方法およびその優位性を示すことにより、現在主流のデジタル実装以外の選択肢を見出すことができた。また、提案回路を実際のチップ試作・測定により評価することにより、その方式の妥当性に実装面からの説得力を与えることができた。この研究をさらに発展させることにより、センサノードの軽量化が進み、多数のセンサを必要とする、例えば、ブレイン・マシン・インターフェースへの応用も期待できる。

研究成果の概要(英文)：In this work, we focus on the perceptron, which is an essential function of neural network, and realize it by using a DAC-type multiplier that corresponds to the calculation of the weight sum for inputs, and a source-follower circuit that corresponds to the activation function ReLU. We demonstrate to reduce the hardware cost intended to be installed in a sensor node. Therefore, we design the circuit and layout of the multi-layer neural network with the proposed perceptron circuit, and carried out chip fabrication and measurement evaluation by the CMOS 0.6 $\mu$ m process. As a result, we are confirmed the fundamental function as a neural network, and convinced the superiority in terms of area and power consumption compared to the conventional digitally mounted circuit using FPGA.

研究分野：集積回路設計技術

キーワード：センサノード 機械学習ハードウェア パーセプトロン回路 ニューラルネットワーク アナログ・デジタル混在回路

1. 研究開始当初の背景

近年の人工知能では、膨大なデータに基づく学習を基本的な考え方としており、計算性能を追求し、機械学習に特化したハードウェアの研究は重要である。ニューラルネットワークは機械学習の基本的なアーキテクチャの1つであり、多層型、畳込み型、リカレント型など様々な拡張もあり、それらのFPGA (Field Programmable Gate Array) を用いた実装やGPU (Graphics Processing Unit) によるアクセラレーションなどが多く報告されている。一方で、IoT デバイスと無線センサネットワークの組み合わせは、データを収集するために広く使用され、工場、農場、都市などのさまざまな場所で使用されはじめている。単純なモデルでは、センサノードで取得した情報は機械学習の機能を有する高性能サーバに転送される。これは、膨大なデータから全体像を見出す、いわゆるビッグデータ解析の考え方に基づくが、逆にセンサノード近傍のデータの特徴が見えづらくなる。そこで、近年、注目されはじめている少ないデータから知見を得るスモールデータ解析をセンサノード内部で実現できれば、ノード近傍のデータの特徴をより鮮明化できる可能性がある。

2. 研究の目的

本研究では、無線センサネットワークやIoT プラットフォームを対象とし、センサノード内でアナログ信号の機械学習によるスモールデータ解析を実現するアナログ・ニューラルネットワーク回路を提案する。ニューラルネットワークの不可欠な機能であるパーセプトロンに焦点を当て、入力  $f(t)$  に対する重み和  $\sum w_i \cdot f(t)$  の乗算ハードウェアを、アナログ・デジタル混在の回路により軽量化する。

具体的には、デジタル・アナログ・コンバータ (DAC) を可変抵抗として利用し、アナログ・デジタル混在の乗算器を実現し、パーセプトロン回路へ拡張する。我々の提案するDAC型乗算器の精度はデジタルコードによってのみ定式化され、広い入力範囲と良好な温度依存性を備える。研究では、これらの回路のアイデアについて、実際の試作を行い、性能検証を行う。さらに、生体センシングを題材としたシステムレベルでの提案方式の有効性も検証する。

3. 研究の方法

本研究では、図1に示すDAC型乗算器に基づくアナログ・デジタル混在多層ニューラルネットワーク (以降、A/D型MLP) の回路を設計し、評価チップとして開発し、その有効性を実証する。

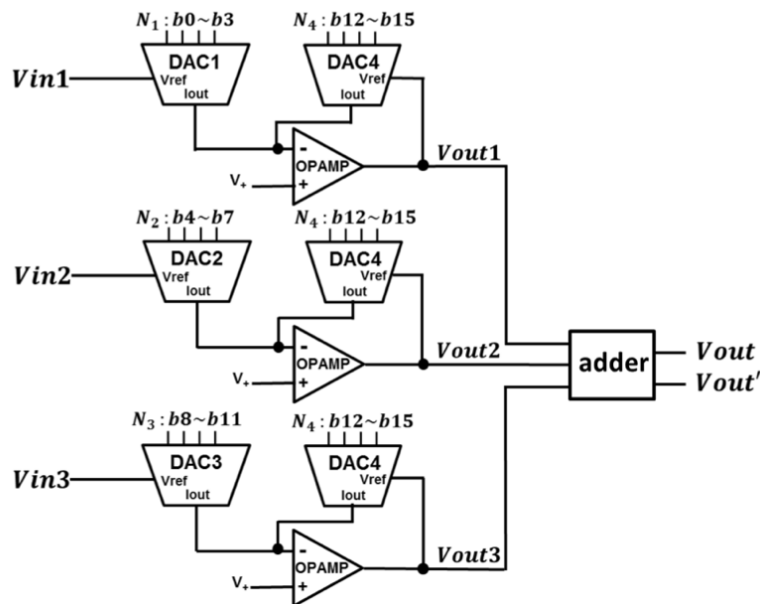


図1: 提案DAC型乗算器を伴うパーセプトロン回路

構成可能なA/D型MLPは、全結合型の多層ニューラルネットワーク構造 (MLP) を採用している。

- 多段化の際に、DAC乗算器に用いられている反転増幅の出力を加算器 (adder) によるさらに反転させ、結果として非反転を実現している。また加算器は後段のパーセプトロン回路からの反射ノイズを遮断する役目も担う。
- 活性化モジュールは、畳込みニューラルネットワーク (CNN) およびディープニューラルネットワーク (DNN) でよく用いられるReLUを採用し、多段ソースフォロワー形式

- のアナログ回路で実現している。
- 3層ニューラルネットワークへの適用を行い、シミュレーションによりその有効性を確認している。
  - 簡単な周期入力に対して、機械学習のデファクトである TensorFlow によるソフトウェア検証と提案回路の SPICE シミュレーションの結果を比較し、提案するパーセプトロン回路が機械学習ハードウェアとして正常に動作することを確認している。

提案 A/D 型 MLP 回路の設計を行い、多層化の際に、パーセプトロン回路間のノイズを軽減するためのフィルタ回路を導入し、レイアウト設計、ポストレイアウトシミュレーション検証を実施し、回路を確定する。その結果を踏まえ、CMOS 0.6 $\mu$ m $\pm$ 2.5V プロセスにおいて回路のチップ試作し、回路の性能評価を行った。試作した評価用チップのアーキテクチャ (回路図) を図 2 に、チップのレイアウトを図 3 に示す。

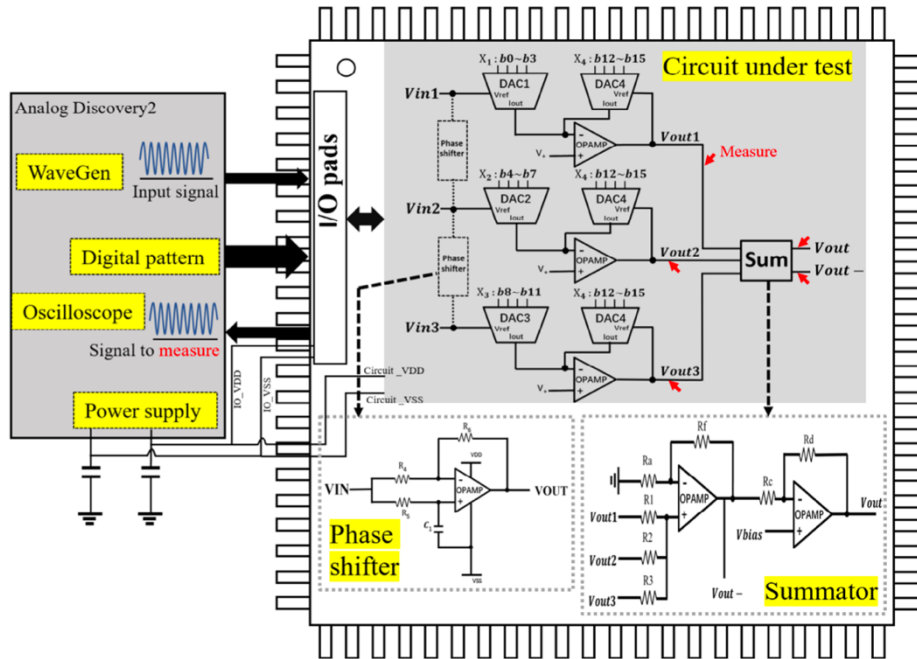


図 2: 評価チップの回路図

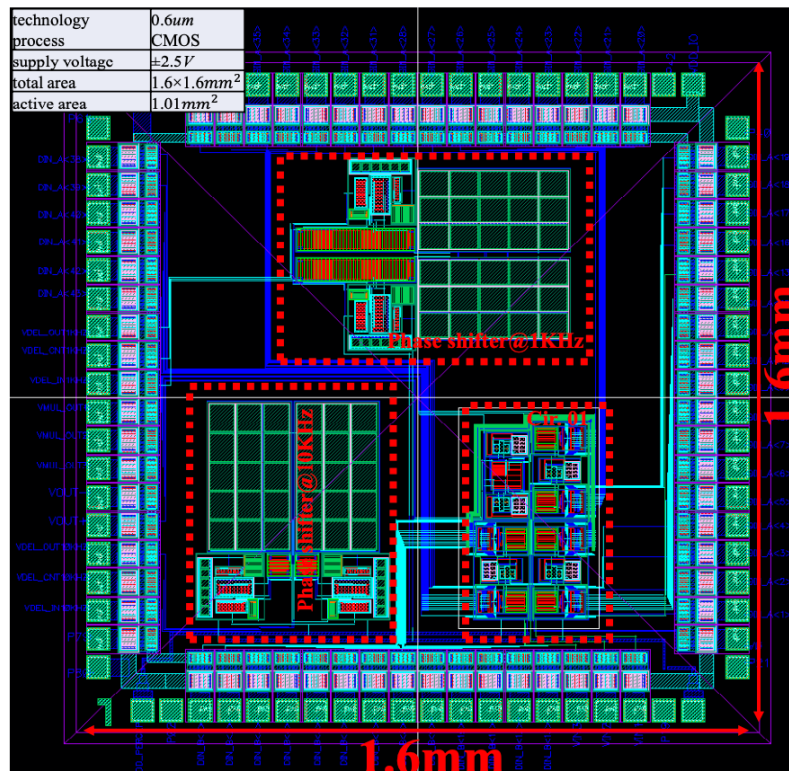


図 3: 評価チップのレイアウト図

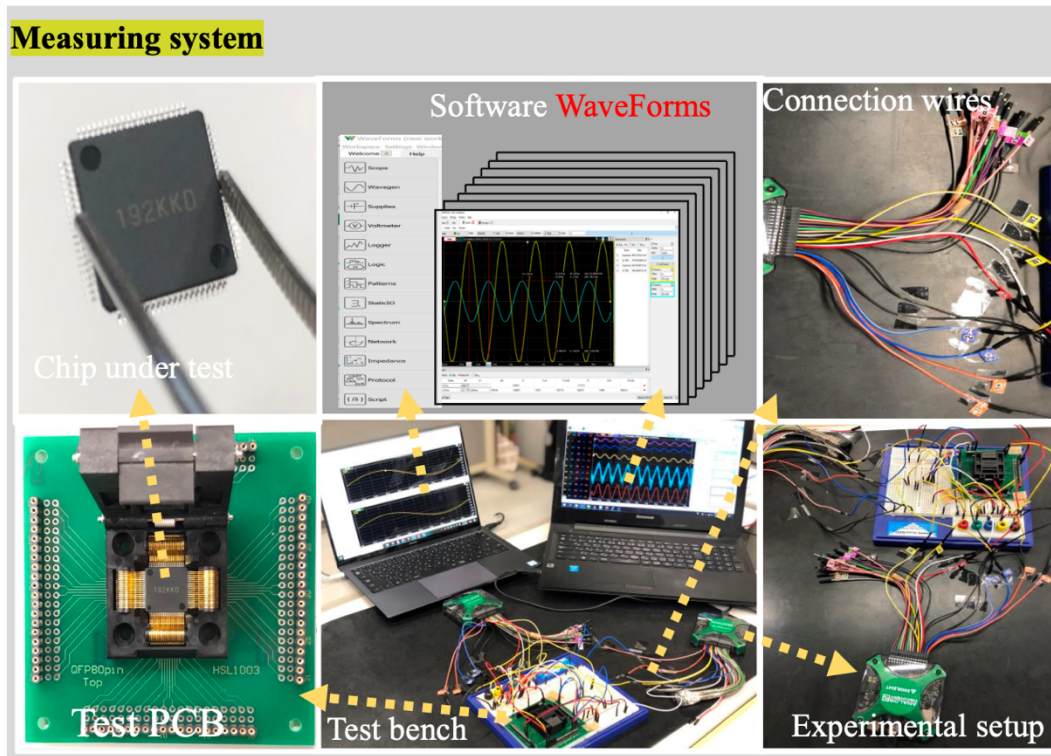


図 4: 評価チップ用の測定システム環境

#### 4. 研究成果

評価チップ ( $0.6\mu\text{m}/\pm 2.5\text{VCMOS}$  プロセス) をカスタム PCB に搭載し、図 4 に示す測定システム環境において評価を行った。評価チップの動作周波数は  $1\text{MHz}$  としているが、A/D 型 MLP 回路の実装では、カスケードのインピーダンスの問題や OPAMP のユニットゲイン周波数など、ニューロンの相互作用が複雑になり、どちらも回路全体の動作周波数に影響を与える可能性がある。消費電力については、製造コストを考慮した高度なプロセスを採用していないため、測定結果は  $200\text{mW}$  の消費電力となっている。今回の試作 ( $0.6\mu\text{m}$  のプロセステクノロジー) における A/D 型 MLP 回路チップの予想面積は約  $1.69\text{mm}^2$  となる。

表 1. 提案回路 (A/D 型 MLP) と FPGA 型 MLP の比較

MLP	Case	Structure	RMSE(%) of Error Ratio	Power Dissipation (mW)	Expected Area ( $\text{mm}^2$ )	Working Frequency (MHz)	Configurable Weight Bits (bit)	Hardware Cost
This work  (Analog-based MLPs)	1	2-3-4	10.70	200	1.69	1	4	Perceptron chip (low)
	2	4-3-2	10.73	192	1.56			
	3	1-2-4	10.40	131	1.17			
	4	4-2-1	10.33	118	0.96			
	5	1-3-9	10.59	223	2.73			
	6	9-3-1	10.41	219	2.17			
	7	7-6-5	10.58	234	3.05			
	8	12-3-1	10.37	228	2.68			
FPGA-based MLPs	[17]	7-5-6	-	241	-	100	16	Artix-7 (high)
	[39]	12-3-1	-	1776	-	100	24	Zynq-7000 (high)

[Ref.17] Gaikwad, N.B.; Tiwari, V.; Keskar, A.; Shivaprakash, N.C. Efficient FPGA Implementation of Multilayer Perceptron for Real-Time Human Activity Classification. IEEE Access 2019, 7, 26696–26706. doi:10.1109/access.2019.2900084.

[Ref.39] Zhai, X.; Ali, A.A.S.; Amira, A.; Bensaali, F. MLP Neural Network Based Gas Classification System on Zynq SoC. IEEE Access 2016, 4, 8138–8146. doi:10.1109/access.2016.2619181.

本提案の A/D 型 MLP の評価のため、表 1 では 8 つのネットワーク構造のケースを例題として示している。エラー (誤差) 率 RMSE (二乗平均平方根誤差) を使用し、指定された構造の A/D 型 MLP を評価している。エラー率は、A/D 型 MLP から生成される固有エラーを特徴付けるパ

ラメーターであり、各ニューロン出力の理想的なエラー率は 0 となる。MLP ハードウェアのエラー率を取得した後、ソフトウェアの MLP は、ハードウェアからのエラー率に従って値を修正するように調整している。したがって、ソフトウェアからの学習モデルは、デバイス起因の誤差を考慮しないモデルと比較して、より高い精度を達成できている。以下に評価概要をまとめる。

- エラー率は、すべてのケースの間に大きな違いがなく、A/D 型 MLP のシステムに起因するエラーはほぼ一定であり、許容範囲内といえる。
- 消費電力は、A/D 型 MLP は、DAC 型乗算器と ReLU 回路の数に応じて、採用された構造によって消費電力が変化している。一方で、今回は、回路設計の複雑さを抑え、電力をいくらか犠牲にしているため、さらに改善できる見込みがある。
- 動作周波数は、さまざまな構造の A/D 型 MLP は、アナログ信号を処理する最も一般的なアプリケーションの観点から、1MHz 以下の範囲としている。
- A/D 型 MLP のケース 7 と 8 は、それぞれ FPGA 型 MLP の Ref.17、Ref.39 と比較するために使用している。
- 消費電力に関しては、ケース 7 は、Ref.17 の最良値と比較して同定であるが、ケース 8 は、Ref. 39 と比べて消費電力が大幅に少ない。これは、Ref. 39 が多数のフリップフロップを使用しているためことに起因する。A/D 型 MLP の非同期動作の優位性が確認できる。
- 予想面積に関しては、FPGA 型 MLP がカスタム実装されていないため、厳密な比較を行うことは困難であるが、Ref. 17、Ref. 39 の構造で使用されているコア FPGA チップはそれぞれ  $10 \times 10 \text{mm}^2$  と  $17 \times 17 \text{mm}^2$  であることを踏まえると、A/D 型 MLP のダイサイズ  $3.6 \times 3.6 \text{mm}^2$  は、サイズの優位性も認められる。
- FPGA 型 MLP は、動作周波数と構成可能な重みの点で、A/D 型 MLP よりも多くの利点を有する。しかし、ほとんどのセンサアプリケーションでは動作周波数 1MHz で十分である。また、重みも BNN (2 値ニューラルネットワーク) などの研究を見るとそれほど多様な構成は不要といえる。

この他、本研究の拡張として、以下の知見も得ることができている。

- 分解能 2~3 ビット分解能の DAC 乗算器を用いた回路に相当するニューラル・ネットワークを実装し、心拍による心臓疾患の判定に関する検証を行い、通常の高層ニューラルネットワークとほぼ同等の結果を得ることができた。

多様な環境音 (ノイズ) を含む音声認識をテストするためのベンチマーク・データを整理し、2~3 ビット分解能 DAC 乗算器を用いた回路に相当するニューラル・ネットワークを実装し、90% 以上の正解率を得ることができていることを確認した。

## 5. 主な発表論文等

〔雑誌論文〕 計7件（うち査読付論文 7件/うち国際共著 3件/うちオープンアクセス 0件）

1. 著者名 Xuncheng Zou, Shigetoshi Nakatake	4. 巻 102-A(7)
2. 論文標題 A Low Voltage Stochastic Flash ADC without Comparator	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals	6. 最初と最後の頁 886-893
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Xinghuai Zhang, Shigetoshi Nakatake	4. 巻 1
2. 論文標題 On-chip resistance configuration by subthreshold MOSFET-array for ultra weak current sensing	5. 発行年 2019年
3. 雑誌名 Proceedings of IEEE APCCAS2019	6. 最初と最後の頁 261-264
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Ryosuke Sakai, Shigetoshi Nakatake	4. 巻 1
2. 論文標題 An Impedance Measurement of Intravesical Urine Volume Appropriate to Seated Posture	5. 発行年 2019年
3. 雑誌名 Proceedings of IEEE APCCAS2019	6. 最初と最後の頁 385-388
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Chao Geng, Bo Liu, Shigetoshi Nakatake	4. 巻 102-A(12)
2. 論文標題 Density Optimization for Analog Layout Based on Transistor-Array. IEICE Transactions	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals	6. 最初と最後の頁 1720-1730
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -



1. 著者名 Kenya Kondo, Koichi Tanno, Hiroki Tamura, Shigetoshi Nakatake	4. 巻 101-A (5)
2. 論文標題 Low Voltage CMOS Current Mode Reference Circuit without Operational Amplifiers	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 748-754
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Yoritaka Ishiguchi, Daishi Isogai, Takuma Osawa, Shigetoshi Nakatake	4. 巻 63
2. 論文標題 Analog perceptron circuit with DAC-based multiplier	5. 発行年 2018年
3. 雑誌名 Integration	6. 最初と最後の頁 240-247
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Bo Liu, Gong Chen, Bo Yang, Shigetoshi Nakatake	4. 巻 23(4)
2. 論文標題 Routable and Matched Layout Styles for Analog Module Generation	5. 発行年 2018年
3. 雑誌名 ACM Transactions on Design Automation of Electronic Systems	6. 最初と最後の頁 47:1-47:17
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計8件 (うち招待講演 0件 / うち国際学会 2件)

1. 発表者名 石川大暉・八尋信之・中武繁寿
2. 発表標題 汎用論理スイッチを伴うPLA再構成デコーダの設計とポストレイアウトシミュレーション検証
3. 学会等名 電子情報通信学会 コンピュータシステム研究会
4. 発表年 2019年～2020年

1. 発表者名 野口仁一郎・中武繁寿
2. 発表標題 アナデジ混在パーセプトロン回路におけるDAC型乗算回路に関する検討
3. 学会等名 電子情報通信学会 コンピュータシステム研究会
4. 発表年 2019年～2020年

1. 発表者名 Shigetoshi Nakatake
2. 発表標題 OpenSource Multi-functional Memory Unit and Application to Approximate Computing
3. 学会等名 IEEE HPEC2019
4. 発表年 2019年～2020年

1. 発表者名 Xuechen Zang, Shigetoshi Nakatake, Hiroyuki Kozutsumi, Mitsunori Katsu, Shoichi Sekiguchi
2. 発表標題 Approximate Function Configuration by Neural Network on Memory-array Unit
3. 学会等名 SASIMI2019
4. 発表年 2019年～2020年

1. 発表者名 Xinghuai Zhang, Daishi Isogai, Takaaki Shirakawa, Shigetoshi Nakatake
2. 発表標題 Ultra Low Current Measurement with On-chip High Resistance of MOSFET Array
3. 学会等名 SASIMI2019
4. 発表年 2019年～2020年



1. 発表者名 Ryousuke Sakai, Shigetoshi Nakatake
2. 発表標題 An Intravesical Urine Volume Sensor Robust to Body Posture and Movement
3. 学会等名 SASIMI201
4. 発表年 2019年～2020年

1. 発表者名 Yoritaka Ishiguchi and Shigetoshi Nakatake
2. 発表標題 Analog Neural Circuit with DAC-based Perceptron
3. 学会等名 Workshop on Hardware and Algorithms for Learning On-a-chip (HALO) 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 Nobuyuki Yahiro and Shigetoshi Nakatake
2. 発表標題 Approximate Computing in Memory with PLA-based Reconfigurable Decoder
3. 学会等名 Workshop on Hardware and Algorithms for Learning On-a-chip (HALO) 2018 (国際学会)
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------