

令和 4 年 6 月 13 日現在

機関番号：32657

研究種目：基盤研究(C)（一般）

研究期間：2018～2021

課題番号：18K11224

研究課題名（和文）オンチップ信号観測システムの自動生成によるSoCのデバッグ支援技術

研究課題名（英文）SoC Debugging Technique based on Automatic Generation of On-Chip Signal Observation

研究代表者

小松 聡（Komatsu, Satoshi）

東京電機大学・工学部・教授

研究者番号：90334325

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では、SoC開発におけるデバッグ支援のために、SoC開発におけるシグナルインテグリティやパワーインテグリティによる不具合のデバッグを可能とするオンチップ信号観測の実現、それをSoC上に短期間で設計をするためのオンチップ信号観測システムの自動生成技術の確立、オンチップ信号観測による実用的なアプリケーションでのデバッグ支援の効率化を目的として研究を行った。オンチップ信号観測に必要なスタンダード・セルによるRail-to-Railコンパレータの提案と評価、オンチップ信号観測回路の自動生成システムの構築、オンチップ信号観測回路のオンチップオシロスコープへの応用、などの成果が得られた。

研究成果の学術的意義や社会的意義

スタンダード・セルによるオンチップ信号観測システムの自動生成技術を確立することで、従来、SoC開発において大きな労力と長い時間が必要であったデバッグ作業に必要なオンチップ信号観測を短い時間で信号観測システムを実現することができるようになり、SoC開発の効率化・短期間化と製品の品質向上に貢献することが可能である。また、実際の試作チップによる信号観測例を示すことで、本技術の有効性を示すことができた。

研究成果の概要（英文）：The objectives of this research are to realize on-chip signal observation system for debug support in SoC development, which enables debugging of faults caused by signal integrity and power integrity in SoC development, to establish automatic generation technique of on-chip signal observation system to design in a short time, and to improve efficiency of debug support in practical applications by proposed on-chip signal observation system. We proposed and evaluated a standard-cell based rail-to-rail comparator for on-chip signal observation, established an automatic generation system for on-chip signal observation system, and applied it to an on-chip oscilloscope.

研究分野：集積回路設計工学

キーワード：オンチップ信号観測 デバッグ支援

1. 研究開始当初の背景

現在の高度情報化社会において、システム・オン・チップ(Sysnte-on-Chip; SoC)は様々な用途に用いられ、必要不可欠な存在となっている。VLSI のプロセス技術・デバイス技術の面から考えると、ムーアの法則に代表されるようにシリコン上のトランジスタ、金属配線などが微細化され続け、CMOS 回路では 14nm テクノロジーが広く実用的になり、10nm やさらに微細なテクノロジーも実現されつつある。このような極微細テクノロジーでは、より多くの回路素子、回路モジュールを 1 つのチップ上に搭載することが可能となり、ディジタル回路、メモリ、アナログ回路、が混在する真の SoC が実現可能である。

しかし、SoC の設計、デバッグ、製造テストに必要となる時間的なコストも上昇し続けており、早い製品サイクルのアプリケーションへの対応が困難となってきている。特に、極微細テクノロジーにおける信号の品質の問題であるシグナルインテグリティや電源ノイズなどのパワーインテグリティについては、設計段階でのシミュレーションによる見積もりでは完全な対策をすることが困難であり、プロトタイプ製造後に問題が露見することが珍しくない。以前より、VLSI チップ上の波形取得、アイ・ダイアグラム観測技術が提案されてきている[1,2,3]が、これらの手法では特定のテクノロジーでの高品質な波形観測が主目的であり、SoC 上に搭載するためにはその回路自体の設計に費やす時間が長くなってしまい、製品開発の長期間化につながってしまう。

このような背景を踏まえ、本研究課題では今後の SoC 開発におけるプロトタイプのデバッグを支援するための技術に取り組む。

2. 研究の目的

上記で述べた背景を踏まえ、本研究課題では以下のような項目に対して、今後の SoC 開発におけるプロトタイプのデバッグを支援するための技術に取り組む。

- (1) 極微細テクノロジーを用いたSoC開発における、シグナルインテグリティ、パワーインテグリティによる不具合のデバッグを可能とするオンチップ信号観測の実現
- (2) それをSoC上に実現する際に、短期間での設計を実現するオンチップ信号観測システムの自動生成技術の確立
- (3) オンチップ信号観測による、現実的なアプリケーションでのデバッグ支援の効率評価

図 1(a)に示すように、VLSI チップ上の信号や電源のアナログ的な振る舞いを信号ピンから観測することは困難であり、また、VLSI チップ表面に作成した信号観測用のパッドから信号を観測するためには、測定環境の構築にコストが必要となる。本研究では、図 1(b)に示すように、VLSI チップ上で対象とする信号の電圧を周期的に取得する回路を用いることで信号のサンプリングとディジタル化を行ってメモリに保存し、そのディジタル値を外部に読み出すことで信号波形の観測を行う「オンチップ信号観測システム」を実現する。主要要素回路は、(1) Phase Locked Loop (PLL)、Delay Locked Loop (DLL)によるサンプリングタイミング生成回路、(2) A/D 変換器(ADC)による信号のディジタル化回路、(3) サンプリングしたデータを保存するメモリ、(4) 外部とのインタフェース回路、などである。本研究ではオンチップ信号観測システムの自動生成を行うため、上記の要素回路については可能な限りスタンダード・セル(設計ライブラリとして予め用意された論理回路)のみを用いて実現することとする。

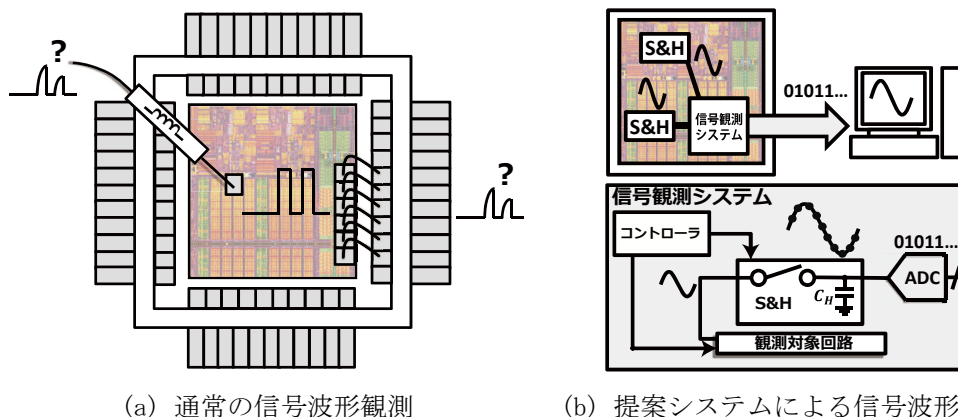


図 1. オンチップ信号観測システムによる VLSI チップ上の信号観測

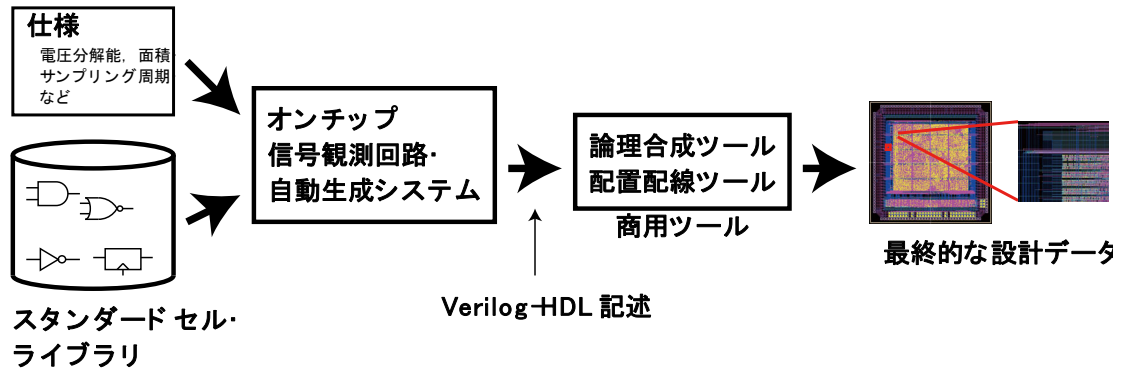


図 2. オンチップ信号観測回路の自動生成システム

3. 研究の方法

オンチップ信号観測システムの設計期間を短縮するために、図 2 に示すような自動生成システムを構築する。この自動生成システムは、実現したいオンチップ信号観測システムの仕様 (A/D 変換の分解能、サンプリング周波数、信号の電圧レンジ、回路面積、など) を与えることで、自動的に信号観測システムの回路を生成することを目的とする。与えられた仕様をもとに、Verilog-HDL などのハードウェア記述言語による自動生成システムの設計データを生成し、商用の論理合成、配置配線ツールを用いて最終的な回路を得る。この自動生成システムにより、短時間で SoC のデバッグを支援することが可能となる。

本研究では以下のような方法で研究を進めた。

(1) オンチップ信号観測システムのアーキテクチャ設定

本研究では、オンチップ信号観測システムの自動生成環境の構築を最終的な目的とするため、自動生成が可能となるような信号観測手法の検討を行う。システム内の要素回路については、基本的にはスタンダード・セルのみで実現可能な回路を検討し、また、与えられた仕様に応じて性能をカスタマイズできるような構成とする。

(2) オンチップ信号観測システムの要素回路設計と評価

上記の検討に基づき、PLL, DLL, ADC などの要素回路についての設計を行い、シミュレーションによる評価を行う。その際に、様々な仕様に対応できる回路であることを確認する。また、必要に応じて要素回路を VLSI チップとして実装し、実測による評価を行い、本研究の提案システムで利用できることを確認する。

(3) 自動生成システムの構築

オンチップ信号観測システムとして与えられた仕様をもとに、上記の要素回路それぞれについての仕様や性能、面積などの設計制約を決定する自動生成システムの構築を目指す。回路最適化のためには、厳密な最適化を行う手法、発見的な手法を用いて最適化を行う手法の両者を検討する予定である。

(4) 現実的なアプリケーションの VLSI チップへの実装によるデバッグ効率の評価

提案手法によって生成された「オンチップ信号観測システム」について、実際の VLSI チップに現実的なアプリケーションを実装して評価を行い、提案手法によるデバッグ効率の評価を行う。

4. 研究成果

本研究による成果のうち、代表的なものを以下に示す。

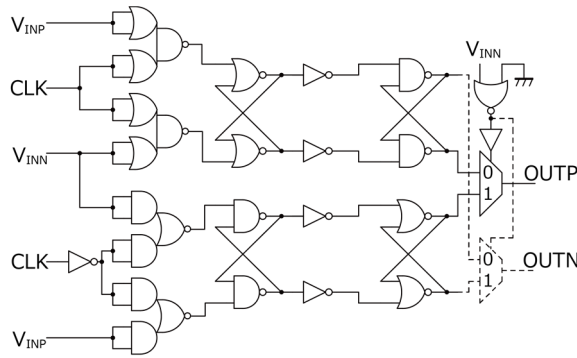
(1) スタンダード・セルによる Rail-to-Rail コンパレータの提案と評価

図 3(a) に本研究で提案したハイブリッドコンパレータを示す。このコンパレータはスタンダード・セルのみで構成されているためオンチップ信号観測回路の自動生成に適しており、また、図 3(b) に示すように、入力信号の電圧が低い場合には AOI22 によるコンパレータが動作し、電圧が高い場合には OAI22 によるコンパレータが動作することによるハイブリッドコンパレータであり、Rail-to-Rail な入力信号に対応することが可能である。

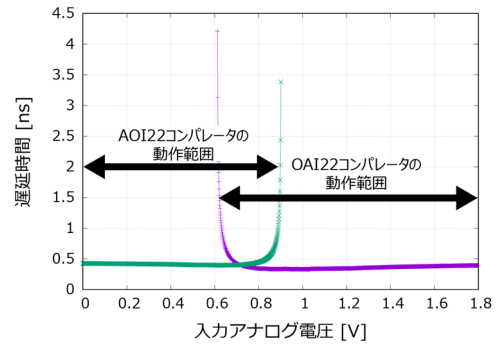
このような Rail-to-Rail コンパレータを様々な製造プロセスにて実現できることを示した。

(2) オンチップ信号観測回路の自動生成システムの構築

図 4 に本研究で提案した自動生成システムの設計フローを示す。ADC の種類、サイズ、形状、使用する CMOS プロセス、ビット数などを選択できる「要求仕様」、汎用的なプログラミング言語である Python を用いて要求仕様に沿うように RTL 記述やゲートレベル記述による Verilog の記述を行う「ADC の Verilog 記述」、同じく Python を用いて要求仕様に沿うようにして論理合成・配置配線スクリプトを記述し、それぞれ専用のツールを用いて論理合成と配置配線を行う「論理合成・配置配線」の 3 つのステージに分けることが出来る。生成可能な ADC は SAR ADC、Flash ADC、Subranging ADC、確率的フラッシュ ADC の 4 種類であり、それぞれを Rohm 0.18 μm , Ami



(a) ハイブリッドコンパレータ



(b) 提案コンパレータの伝搬遅延特性

図 3. スタANDARD・セルによる Rail-to-Rail コンパレータ

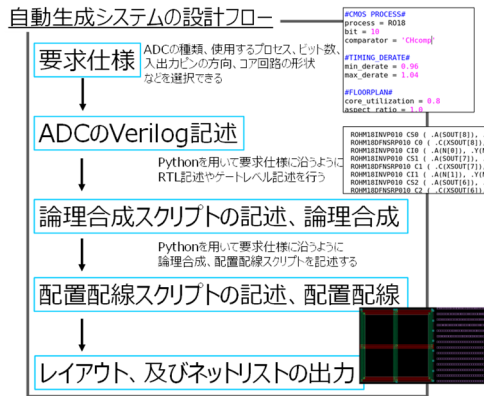


図 4. 自動生成システムの設計フロー

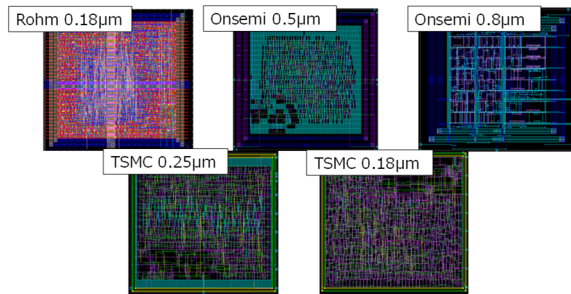


図 5 自動生成システムによる自動設計例

0.5 μm 、Onsemi 0.8 μm 、TSMC 0.18 μm 、TSMC 0.25 μm の 5 種類の CMOS プロセスにて自動生成することが可能である。例えば 8bit の SAR ADC の設計を行うのにフルカスタム設計手法で数週間要していたところを、提案する自動生成システムならば 3 分程度での設計が可能である。図 5 に自動生成システムにより生成された複数プロセスでの SAR ADC のレイアウト例を示す。

(3) 自動生成されたオンチップ信号観測回路のオンチップオシロスコープへの応用

提案した自動生成システムによって、実用的なアプリケーションへ応用する例として、オンチップの信号を計測器であるオシロスコープを用いて波形するようなオンチップオシロスコープを設計し、評価を行った。図 6 にオンチップオシロスコープ回路に正弦波信号を入力した際の実出力コードを示す。この結果より、提案手法によって自動生成された信号観測システムを用いてオンチップオシロスコープを実現することができたと言える。

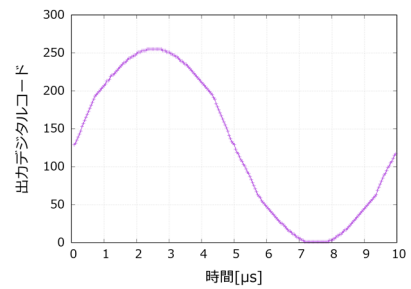


図 6. オンチップオシロスコープ回路の実出力コード

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 平野皓士, 小松聡
2. 発表標題 スタンダードセル設計を用いた逐次比較型ADCの自動設計
3. 学会等名 電子情報通信学会ディペンダブルコンピューティング研究会 (信学技報, vol. 121, no. 388, DC2021-64)
4. 発表年 2022年

1. 発表者名 福島拓実, 小松聡
2. 発表標題 スタンダードセル設計によるADCのマルチプロセス自動生成
3. 学会等名 電子情報通信学会ディペンダブルコンピューティング研究会 (信学技報, vol. 121, no. 388, DC2021-65)
4. 発表年 2022年

1. 発表者名 平野皓士, 小松聡
2. 発表標題 自動配置配線可能な温度センサセル
3. 学会等名 2021年 電子情報通信学会 総合大会
4. 発表年 2021年

1. 発表者名 福島拓実, 小松聡
2. 発表標題 スタンダードセルによるRail-to-Railハイブリッドコンパレータ
3. 学会等名 2021年 電子情報通信学会 総合大会
4. 発表年 2021年

1. 発表者名 S. Ubukata, S. Komatsu
2. 発表標題 A Framework for Automatic Generation of Fully Synthesizable ADPLL
3. 学会等名 2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS) (国際学会)
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関