

令和 3 年 5 月 20 日現在

機関番号：32689

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11226

研究課題名(和文)トラフィックパターンの変動にロバストなNoCシステムの研究

研究課題名(英文)Research on NoC system robust to fluctuation of traffic patterns

研究代表者

渡邊 孝博(WATANABE, TAKAHIRO)

早稲田大学・理工学術院(情報生産システム研究科・センター)・教授

研究者番号：70230969

交付決定額(研究期間全体):(直接経費) 2,700,000円

研究成果の概要(和文):NoC(Network-on-Chip)は数百、数千のプロセッサ・コアを1チップ上に集積し、コア間通信をネットワークで処理するアーキテクチャであり、大規模システム化が容易で、高い通信性能を有する。しかし通信量の増大につれて通信混雑による遅延が発生し、性能向上のボトルネックとなる。本研究では、通信混雑の状況下でも効率よく通信できる機構を提案した。具体的には(1)異なるトラフィックパターンに対する様々な経路探索アルゴリズムの性能評価、(2)通信混雑状況の検出機構、(3)トラフィックパターンに応じた最適アルゴリズムの選択機構である。提案した機構はシミュレーション実験により評価し、効果を確認した。

研究成果の学術的意義や社会的意義

近年、大規模で複雑な演算処理をより高速に処理したいという要求が高まっている。そこで、数百～数千もの演算装置を1チップ上に集積し、ネットワークで通信処理する方式であるNoC(Network-on-Chip)が期待されている。しかし通信量の増大につれて通信混雑による遅延が発生し、これがボトルネックとなる。本研究では、通信混雑下でも効率よく通信ができる機構として、混雑状況を随時、検出し、状況に応じて遅延が小さい通信路を確保する機構を構築し、実験により効果を確認した。NoCは構成が簡単で大規模システム化が容易であるので、更なる大規模な演算要求にも応えることができ、本提案の実用的な意義は大きい。

研究成果の概要(英文):NoC (Network-on-Chip) is an architecture that integrates hundreds or thousands of processor cores on one chip and can process packet-communication between cores on a network. NoC is easy to make into a large-scale system and has high communication performance. However, as the amount of traffics increases, delays due to communication congestion occur, which becomes a bottleneck for more improving performance. In this research, we proposed a mechanism that enables efficient communication even under traffic congestion. Specifically, it is (1) analysis of the performance evaluation of various routing algorithms for different traffic patterns, (2) traffic congestion detection mechanism, and (3) selection mechanism of the optimum algorithm according to the traffic pattern. The proposed mechanism was evaluated by simulation experiments and the effectiveness was confirmed.

研究分野：VLSIアーキテクチャ

キーワード：NoC オンチップネットワーク 通信混雑 混雑回避 混雑検出 トラフィックパターン 耐故障性 MP SoC

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

## 1. 研究開始当初の背景

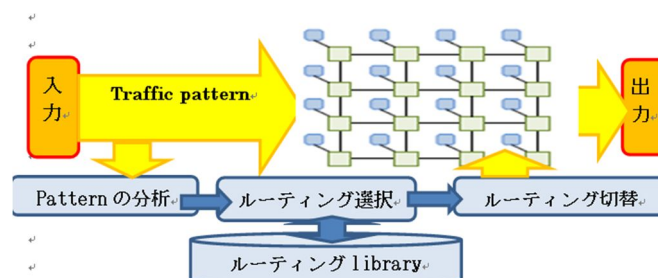
半導体の設計・製造技術の進歩およびプロセッサアーキテクチャの進化により1チップLSIに複数個のプロセッサ・コアを集積したMPSoC(Multi-Processor System on a Chip)が可能となり、演算処理の高性能化が実現されてきた。しかし従来のSoCでは基本的にオンチップバスを用いてコア間の通信を処理するので、搭載するコア数が増大するとバス構造が複雑になり、配線長も長くなり、消費電力増大やバンド幅による性能限界、スケーラビリティの問題などが顕在化してきた。一方でLSIシステムとしてはさまざまなアプリケーションへの需要が望まれ、更なる大規模化・高性能化が求められている。この課題に対処ための新しいアーキテクチャとして“ネットワークオンチップ”(NoC: Network-on-Chip)が提案され、活発に研究・開発されている。NoCではチップ上に配置されたコアをネットワーク接続し、パケット転送によるオンチップ・ネットワークの通信手段でデータを処理するもので、ネットワークのアーキテクチャ、トポロジ、ルーティング戦略、ルータなど構成要素のハードウェア回路の研究が行われている。ここでNoCのハードウェア構成がいったん定まると、NoCの処理性能は主に採用したルーティング戦略に依存し、ネットワーク上の通信トラフィックのパターンによっては通信混雑による遅延が生じて、十分な性能が発揮できなくなる。このため、通信混雑の状況下でも処理性能を劣化させずに、良好なネットワーク通信を可能にするルーティング機構が今後のNoCシステムに不可欠となっている。

## 2. 研究の目的

NoCについてはネットワークのトポロジをはじめ、新たなアーキテクチャやルーティング戦略など多くの研究開発が行われており、スループットやレイテンシなどの通信性能、消費電力、耐故障性などが検討されている。そこでは、主として異なるアーキテクチャ同士の比較や異なるルーティング戦略同士が比較評価されているが、複数のルーティング戦略を組み合わせることで通信状況に応じて最適なルーティングを選択し、より高い性能を目指すような研究はこれまで行われていない。本研究では、入力のパターン変化に対応し、また、性能評価項目に優先順位をつけて、最も優れたルーティング戦略を取捨選択する機構を構築する。この目的のために、まずトラフィックパターンやデータ注入率(Injection Rate)などの変動要因による性能評価とルーティング戦略との関連性を分析し、整理しておくことが必要であり、これはNoC研究の基礎データとして学術的価値があると同時に、今後のNoCの適用範囲を拡張する上で実用的な意義がある。次に、過剰を解決するNoCシステムとして、複数のルーティングアルゴリズムを装備し、トラフィックパターンと評価項目の優先度に応じて最適なルーティングアルゴリズムを選択・適用する機構を研究・開発する。この機構によって、トラフィックパターンが変化しても評価項目の優先度に応じた高性能化を達成でき、NoCの適用分野の更なる拡大が期待できる。

## 3. 研究の方法

下図は目標とするNoCシステムの構成である。



トラフィックパターンの変化にロバストな NoC システムの構成イメージ

このシステム構築のための開発作業項目は以下の(1)～(8)であり、この順に沿って研究開発を進めた。

- (1) トラフィックパターンの監視・分析方法
- (2) 評価項目別のルーティング戦略の特徴の整理
- (3) ルーティング戦略ライブラリ試作と選択機構
- (4) ルーティング戦略の切替機構
- (5) 個別の機構の全体統合と全体システムの試作
- (6) 評価用環境設定
- (7) 実験・評価
- (8) ルーティング戦略ライブラリの拡充と実験・評価

ルーティング戦略には適応型と決定型に大別される。これまで我々は、高スループットや低レイテンシ化、低電力化あるいは耐故障性などを目標に、主に適応型ルーティング戦略を研究し、既に複数のルーティングアルゴリズムを提案し、実験により評価した。(1)は複数のトラフィックパターンの特徴を検出する方法の検討である。パターンとしては、NoC シミュレータのベンチマークで用いられている主要なモデルを利用する。(2)では既開発の適応型ルーティングを用いて、評価項目ごとに分析する。(3)ではルーティング戦略の保持の方法とトラフィックパターンに応じた最適戦略の対応を定める。(4)ではルータでのルーティングアルゴリズム切替タイミングを検討すると共に、切替のためのハードウェアおよびソフトウェアを構成する。(5)では個々の機構を統合し、(6)および(7)で試行実験の準備と実験・評価を行う。(8)では、決定型ルーティング戦略も含めて、あらかじめ準備するルーティング戦略の拡張を検討する。3年間の研究開発期間中、初年度に(1)～(3)、2年目に(4)～(8)の一部を行い、最終年度に(8)とまとめを行う。研究成果は適宜発表していくこととした。

#### 4. 研究成果

本研究では、通信混雑が発生した場合でも、遅延が小さくて高い通信性能を発揮できるルーティング機構を提案した。具体的には、(1)様々なトラフィックパターンに対する異なるルーティングアルゴリズムの性能評価を行い、トラフィックパターンとルーティングアルゴリズムの関連性の調査・分析、(2)トラフィックパターンに依存する通信混雑状況の検出機構、(3)NoC稼動中にトラフィックパターンが変化した場合、最適ルーティングアルゴリズムを選択する機構、(4)低コスト混雑検出回路、および、(5)通信混雑と同様なボトルネックを生じるネットワーク故障への対処法を研究した。混雑状況の検出機構を開発した上で、NoCに複数のルーティングアルゴリズムを装備し、トラフィックパターンに応じて最適なアルゴリズムを選択し、切り替える機構を実現した。また、NoCの故障箇所を回避する耐故障ルーティング手法を提案した。これら提案した機構や手法はシミュレーション実験により評価し、NoCの通信混雑および故障問題の解法として効果を確認した。提案した「トラフィックパターンの変動にロバストなNoCシステム」は様々な通信混雑の状況に応じて適切なルーティング戦略を適用して効率を高めるものであり、今後のNoCシステムの応用分野を広げることにつながるもので、実用的な意義は大きい。また、トラフィックパターンに対する代表的なルーティングアルゴリズムの性能特性を分析・調査した結果は学術的な面でも有用である。

なお、以上の成果は2018年度から2020年度にかけて6件の査読付き国際会議論文(後述の文献リスト(1)～(6))、2件の査読付き国内会議論文(リスト(9),(10))として発表した他、関連の研究成果として査読付きの国際会議論文1件(リスト(7))および査読なし国内会議論文1件(リ

スト(8))の発表を行った。

#### 発表リスト

- (1) Zhenyu Hu, Michael Conrad Meyer, Xin Jiang, Takahiro Watanabe, “ [Multiple Factors Congestion Prediction Algorithm for Network-on-Chip](#), ” ITC-CSCC 2020 pp. 211- 216. (査読付き国際会議)
- (2) Cheng Hu, Michael Conrad Meyer, Xin Jiang, Takahiro Watanabe, “ [A Fault-Tolerant Hamiltonian-Based Odd-Even Routing Algorithm for Network-on-Chip](#), ” ITC-CSCC 2020 pp. 217 - 222. (査読付き国際会議)
- (3) Michael Conrad Meyer, Yu Wang, Takahiro Watanabe, “ [Fault-Tolerant Traffic-Aware Routing Algorithm for 3-D Photonic Networks-on-Chip](#) ”, MCSoC-2019 (IEEE 13th Int ' I Symp. Embedded Multicore/Many-core System-on-Chip). (査読付き国際会議)
- (4) Siying Xu, Michael Conrad Meyer, Xin Jiang, Takahiro Watanabe, “ [A Traffic-Robust Routing Algorithm for Network-on-Chip Systems](#), ” MCSoC-2019 (IEEE 13th Int ' I Symp. Embedded Multicore/Many-core System-on-Chip). (査読付き国際会議)
- (5) Yaoying Luo, Michael Conrad Meyer, Xin Jiang, Takahiro Watanabe, “ [A Hotspot-Pattern-Aware Routing Algorithm for Networks-on-Chip](#), ” MCSoC-2019 (IEEE 13th Int ' I Symp. Embedded Multicore/Many-core System-on-Chip). (査読付き国際会議)
- (6) Zhengqian Han, Michael Conrad Meyer, Xin Jiang, Takahiro Watanabe, “ [Low-Cost Congestion Detection Mechanism for Networks-on-Chip](#), ” MCSoC-2019 (IEEE 13th Int ' I Symp. Embedded Multicore/Many-core System-on-Chip) (査読付き国際会議)
- (7) M. C. Meyer, Y. Wang and T. Watanabe, “ [Wavelength-Selective Fog-Computing Network for Big-Data Analytics of Wireless Data](#), ” 2019 International Conference on Electronics, Information, and Communication (ICEIC), Auckland, New Zealand, 2019, pp. 1-7. (査読付き国際会議)
- (8) Huang, Y. and Watanabe, T., “ [TSV Placement for Large-size 3D-NoC by Evolutionary Algorithm](#), ” FIT2018, Sept. 2018. (査読なし国内会議)
- (9) Ma, W. and Watanabe, T., “ [A Local Congestion Avoidance Routing Algorithm for 2D Network-on-Chip](#), ” Proc. 31<sup>st</sup> Workshop on Circuits and Systems, pp258-262, 2018. (査読付き国内会議)
- (10) Li, R. and Watanabe, T., “ [A Deadlock-Free Routing Algorithm Based on Network Partitioning for 3D NoCs](#), ” 31<sup>st</sup> Workshop on Circuits and Systems, May 17, 2018. (査読付き国内会議)

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 S. Xu, M. C. Meyer, X. Jiang and T. Watanabe	4. 巻 2019
2. 論文標題 A Traffic-Robust Routing Algorithm for Network-on-Chip Systems.	5. 発行年 2019年
3. 雑誌名 2019 IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc)	6. 最初と最後の頁 209, 216
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00037	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Y. Luo, M. C. Meyer, X. Jiang and T. Watanabe	4. 巻 2019
2. 論文標題 A Hotspot-Pattern-Aware Routing Algorithm for Networks-on-Chip	5. 発行年 2019年
3. 雑誌名 2019 IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc)	6. 最初と最後の頁 229, 235
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00040	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Z. Han, M. C. Meyer, X. Jiang and T. Watanabe	4. 巻 2019
2. 論文標題 Low-Cost Congestion Detection Mechanism for Networks-on-Chip	5. 発行年 2019年
3. 雑誌名 2019 IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc)	6. 最初と最後の頁 157, 163
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00030	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 M. C. Meyer, Y. Wang and T. Watanabe	4. 巻 2019
2. 論文標題 Fault-Tolerant Traffic-Aware Routing Algorithm for 3-D Photonic Networks-on-Chip	5. 発行年 2019年
3. 雑誌名 2019 IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc)	6. 最初と最後の頁 172, 179
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00032	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 MA Wenda, et al.
2. 発表標題 MA, Wenda: A Local Congestion Avoidance Routing Algorithm for 2D Network-on-Chip
3. 学会等名 The 31st Workshop on Circuits and Systems, May 2018
4. 発表年 2018年

1. 発表者名 XY Siying, et al.
2. 発表標題 A Traffic-Robust Routing Algorithm for Network-on-Chip Systems
3. 学会等名 IEICE General Conference 2019, D-6-8, March 2019
4. 発表年 2019年

1. 発表者名 HAN Zhengqian, et al.
2. 発表標題 Routing Algorithm Exchange using a Congestion Detecting Mechanism
3. 学会等名 IEICE General Conference 2019, D-6-10, March 2019
4. 発表年 2019年

1. 発表者名 ZHOU Jiakai, et al.
2. 発表標題 Congestion-Avoidance Adaptive Routing Algorithm
3. 学会等名 IEICE General Conference 2019, D-6-11, March 2019
4. 発表年 2019年

1. 発表者名 LUO Yaoying, et al.
2. 発表標題 Evaluation of Westfirst and Northlast Routing Algorithm in Network-on-Chip under Different Hotspot Patterns
3. 学会等名 IEICE General Conference 2019, D-6-9, March 2019
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関