

令和 3 年 6 月 17 日現在

機関番号：34406

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11229

研究課題名(和文)モンテカルロシミュレーションによるSRAMの動作限界見極めに関する研究

研究課題名(英文)A Study on the Operation limit of SRAM using Monte Carlo Simulation

研究代表者

牧野 博之(Makino, Hiroshi)

大阪工業大学・情報科学部・教授

研究者番号：50454038

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：MOSトランジスタの微細化によって閾値電圧のランダムなばらつきが増大し、SRAMの安定動作が困難になる問題に対し、1次元縮退モデルの適用によるモンテカルロシミュレーションの回数削減手法を提案し、これによってSRAMの動作の可否を判断するために必要なシミュレーション回数を2桁以上削減することに成功した。さらにこの手法を用いて、様々な閾値電圧の仕上がり状況に対してSRAMの動作不良率を調べることにより、SRAMの規模に応じた動作限界を明らかにした。本研究成果によって、SRAMの動作限界を少ないシミュレーション回数で見極めることができ、SRAMの設計を容易化することができる。

研究成果の学術的意義や社会的意義

近年、微細化に伴うMOSトランジスタの閾値電圧のばらつきが増大し、多ビットSRAMの設計が困難になっている。SRAMはすべてのLSIに使用される重要な記憶素子であり、安定動作のためにはばらつきを考慮した動作限界の見極めが必須である。ばらつきを正しく扱うためにはモンテカルロシミュレーションが有効であるが、計算回数が膨大で、長時間を要してしまうという問題がある。本研究では、1次元縮退モデルという新たなアイデアを適用することによって、シミュレーション回数を劇的に削減することに成功し、動作限界を明らかにした。提案した手法は、あらゆるLSIに適用可能であり、学術的・社会的意義の高いものである。

研究成果の概要(英文)：In order to solve the problem that the SRAM cannot operate stably by the increasing random scattering of threshold voltages (V_{th} 's) of MOS transistors, single-dimension-degradation model is proposed to reduce the number of times of the monte-carlo-simulation (MCS). By using the model, the number of MCS times is reduced to less than 1/100 in judging whether SRAM can operate or not. The failure rates of SRAM are shown for various V_{th} 's using this judging process. From this result, an SRAM designer knows the operational region of V_{th} according to the required failure rate, that is, the operational limit of SRAM according to the bit number of SRAM. The proposed method enables to facilitate the SRAM design by reducing the number of MCS times by two orders of magnitude.

研究分野：集積回路設計

キーワード：SRAM ばらつき モンテカルロシミュレーション 動作限界 閾値電圧 書き込み動作 読み出し動作
データ保持動作

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1 . 研究開始当初の背景

半導体素子の微細化に伴い、MOS トランジスタの閾値電圧(V_{th})のばらつきが増大して LSI を安定に動作させることが困難になっている。 V_{th} の分布は正規分布に従うことが知られており、中心値に対して標準偏差 σ でランダムにばらつく。ランダムなばらつきは、半導体内の不純物数の揺らぎなどに起因する不可避のもので、しかも微細化の進展とともに急速に増大している[1]。特に、SRAM(Static Random Access Memory)においては、メモリセルを構成する MOS トランジスタの V_{th} のランダムなばらつきのために多数のビットを同時に動作させることが困難となっている。このため、SRAM を設計する上で、ランダムなばらつきに対して正確な動作限界を知ることが極めて重要である。正確な動作限界を知るためには、各トランジスタに対して実際にランダムなばらつきを与えて動作の可否を調べる必要があり、回路シミュレータ SPICE のモンテカルロシミュレーション(MCS)を利用することが有効である。しかし、SRAM に適用する場合はシミュレーション回数が膨大となり、長時間を要してしまうという問題がある。例えば 1Mbit の SRAM が正しく動作するかどうかを調べるためには、一つのメモリセルに対して 100 万回以上の MCS が必要となり、いくら高性能のコンピュータを使用しても短時間で結果を得ることはできない。今後半導体の微細化が進み、ランダムなばらつきがさらに大きくなることを考えると、SRAM の設計において、シミュレーション時間の問題を解決し、正確な動作限界を見極めることが極めて重要な課題である。

2 . 研究の目的

本研究では、モンテカルロシミュレーション(MCS)の回数を削減して、ばらつきに対する SRAM の動作限界を容易かつ高精度に見積もる手法を開発することを目的とする。MCS の回数削減については、従来 IS(Importance Sampling)法が提案されているが[2]、手順が複雑であり、本研究は従来よりも容易な手法を提案する。これを実現するために、ばらつきを意図的に増加させて不良の出現を加速させる手法を導入し、設計上十分な見極め精度が得られる加速手法を確立する。さらに、この手法を用いて様々なばらつきの仕上がり状況に対する SRAM の動作限界を明らかにし、従来の手法と比較することによって本研究の有効性を実証する。

3 . 研究の方法

(1) 本研究では、モンテカルロシミュレーションの回数削減のために、MOS トランジスタのしきい値電圧のランダムなばらつきを意図的に大きくすることで不良の出現を加速する手法を提案する。SRAM のメモリセルの回路を図 1 に示す。メモリセルは nMOS トランジスタ 4 個と pMOS トランジスタ 2 個の合計 6 個から構成され、それぞれの閾値電圧を、 V_{tn} および V_{tp} としている。また、ここでは左側の記憶ノード N1 に“1”、左側の記憶ノード N2 に“0”が記憶されているとしている。このように 6 個のトランジスタから成るため、厳密には 6 次元のばらつきモデルを考える必要があるが、本研究では 1 次元縮退モデルの適用を提案する。

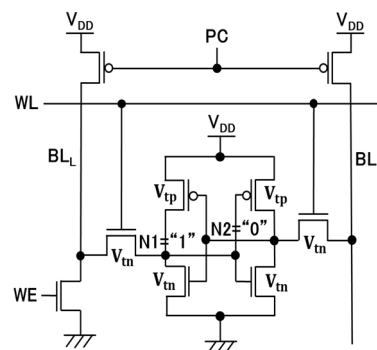


図 1 SRAM メモリセル回路

ここで、累積分布関数 f (式 1) の逆関数 L (式 2) を導入し、 L を限界指標と呼ぶ。 $E(\sigma)$ は不良率であり、 L はばらつきを 1 次元で近似した際の動作限界となる閾値電圧の変動値を表している。

$$f(x) = \int_{-\infty}^x \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{t^2}{2\sigma^2}} \cdot dt = 1 - E(\sigma) \quad (式 1)$$

$$L(\sigma) = f^{-1}(1 - E(\sigma)) \quad (式 2)$$

本提案では、 σ を大きくした場合の限界指標 L の挙動を調べることで、現実の (σ_0) における不良率の推定を行った。1 次元縮退モデルが成立すれば、 L は σ_0 に対して一定となる。 L が一定であることが明らかになれば、実際のばらつき σ_0 における動作不良率を (式 3) により求めることができる。

$$E(\sigma_0) = 1 - f(L) \quad (式 3)$$

(2) 提案した手法を、SRAM の書き込み動作、データ保持動作、読み出し動作のそれぞれに適用し、SRAM 動作全体としての、動作限界を見極める。そのために、 V_{tn} と V_{tp} の中央値を幅広く変化させて、1 次元縮退モデルによる動作不良率を求め、 V_{tn} - V_{tp} の 2 次元平面に等高線グラフとして表示させる。これによって、SRAM 設計者は、設計する SRAM の規模(ビット数)に対する動作限界を知ることができる。ただし、これを行うためには莫大な回数の MCS を行う必要があるため、回数を削減するための具体的な手順についても明らかにする。

(3) 最後に、予測した不良率の妥当性を検証するために、1,000万回のMCSを行い、予測値と比較する。

4. 研究成果

(1) SRAMの書き込み動作に対して本提案の手法を適用した。シミュレーションパラメータは45nmのものを用い、電源電圧VDDを0.8V、閾値電圧の中心値を $V_{tn}=0.6V$ 、 $V_{tp}=-0.2V$ として、に対するLの値を調べたところ、図2の結果が得られた。シミュレーション回数を1万回と5万回の二通りで行ったが、どちらもほぼ同じ結果が得られた。いずれもLはに対してほぼ一定となっており、1次元縮退モデルが成立していることを示している。Lが一定であれば、この値から実際のばらつき σ_0 における不良率を容易に計算することができる。なお、 σ_0 についてはパラメータに基づく計算からpMOSトランジスタおよびnMOSトランジスタのいずれに対しても $\sigma_0=46mV$ とした。図2から1万回におけるLの平均値は208mVなので、 σ_0 における不良率は、

$$E(\sigma_0) = 1 - f(208mV) = 3.1 \times 10^{-6}$$

と求めることができる[3,4]。つまり、1メガビットに対して3ビット程度の不良が生じることになり、動作限界は数十キロビットまでであることが分かる。

同様の手法をSRAMのデータ保持動作にも適用した。 $V_{tn}=0.2V$ 、 $V_{tp}=-0.6V$ の条件でLのに対する依存性を調べたところ、図3に示すようにLはに対して一定であり、ここでも1次元縮退モデルが成立することが確かめられた[5,6]。

次に読み出し動作についても同様のシミュレーションを行ったが、当初の予想とは異なり、読み出し動作においては1次元縮退モデルが成立せず、不良率の予測ができないことが判明した。原因を追究したところ、読み出し不良には多数のデータ保持不良が混じっていることが判明し、両者を完全に区別することが困難であることが分かった。そこで、データ保持不良と読み出し不良を同一の不良モードと見なして不良数を計数したところ、データ保持不良とほぼ同じ結果となり、図3と同様に1次元縮退モデルが成立することが確認された。

これらの結果から、SRAMの動作を、「書き込み動作」と「データ保持+読み出し動作」の二つとすることにより、1次元縮退モデルの適用によるMSCの回数削減が可能であることが分かった。

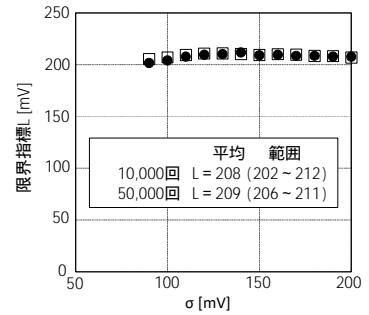


図2 書き込み動作における限界指標Lの依存性

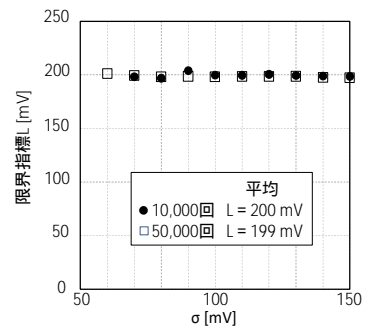


図3 データ保持動作における限界指標Lの依存性

(2) 次に、この手法を用いて幅広い閾値電圧の中心値(仕上がり値)に対する不良率を計測し、これに対応する限界指標Lの値を求めた[3-7]。ただし、MSCの回数が膨大となるため、以下の手順を定めてデータ採取を行った。

種々の(V_{tn} , V_{tp})に対して、100回のMCSで不良が出始めるを探す

そこからを10mV刻みで前後2点ずつ合計5点をとって1万回のMCSで不良率を求める。

不良率から(式1,2)を用いて限界指標Lを求め、5点の平均をとる

平均のLから不良率Eを(式3)により計算する。

この方法によって、1点の(V_{tn} , V_{tp})に対して、6万回以内のMSCで不良率を求めることが可能となった。

この手順により、閾値条件 V_{tn} および V_{tp} のそれぞれに対して、中心値の絶対値を0.2V~0.7Vの100mV刻みで変化させて、「書き込み動作」と「データ保持+読み出し動作」における上記の5点のLをプロットしたグラフを図4および図5に示す。

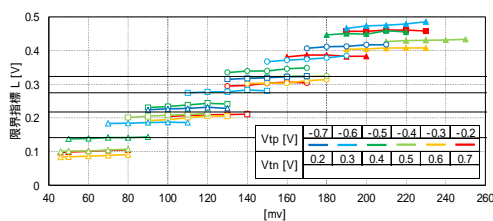


図4 各しきい値条件における5点のLとの関係 (書き込み)

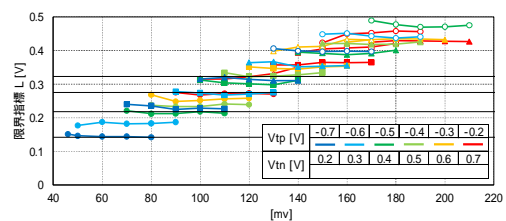


図5 各しきい値条件における5点のLとの関係 (データ保持+読み出し)

いずれの動作においても、閾値の広い範囲でLの値は概ね一定となっており、1次元縮退モデルが広い閾値の範囲で成立していることが確認された。最後に、図4および図5からLの平均値を求め、(式3)によって動作不良率を求めた。結果をVtn-Vtpの2次元グラフにプロットし、等高線を表示させたグラフを図6に示す。図の右下側が書き込み動作によって動作不良となる領域で、左上側がデータ保持または読み出し動作によって不良となる領域である。このグラフから、設計者は設計するSRAMのビット数に応じて、動作可能な閾値電圧の範囲を知ることができる。例えば1メガビットのSRAMを設計する場合は、 10^{-6} の等高線で挟まれた領域が、動作可能領域となる。このような投稿線グラフはこれまでに示されたことがなく、本研究によって新規に示されたものである。

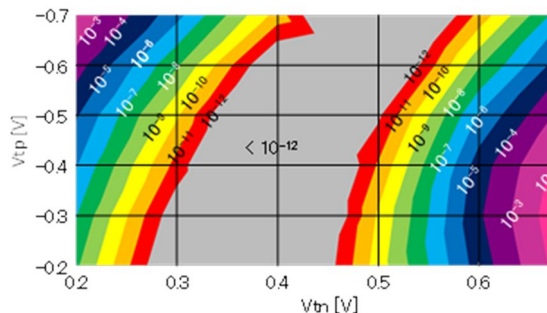


図6 Vtp-Vtn平面における不良率の等高線グラフ

(3) 得られた予測不良率の妥当性を検証するために、各閾値条件に対して1,000万回のMCSを行い、図6の予測不良率と比較した。「書き込み動作」と「データ保持+読み出し動作」のそれぞれにおける比較結果を図7および図8に示す。

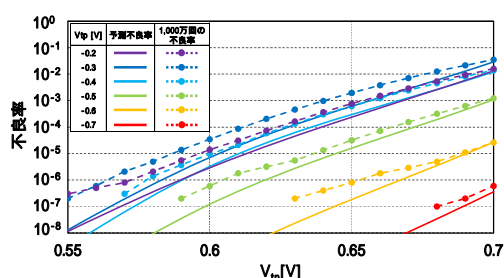


図7 予想不良率と1,000のMCSによる不良率との比較(書き込み)

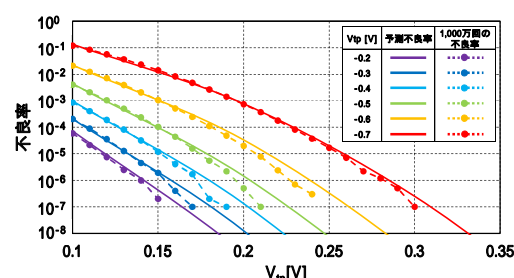


図8 予想不良率と1,000のMCSによる不良率との比較(データ保持+読み出し)

書き込み動作において、予測不良率と1,000万回のMCSとの間にやや乖離が見られるが、誤差は1桁以内に収まっており、全体として 10^{-7} 以上の不良率の領域において1桁以内の精度で不良率を予測できていることが分かった。特にデータ保持+読み出し動作においては非常に高い精度で予測できていることが確認できた。SRAMの設計において不良率の予測精度が1桁以内であれば、それに応じた動作マージンを確保することは容易であり、本研究の結果はSRAMの設計において十分に有用な成果であるということが出来る。また、シミュレーション回数については、1,000万回程度のシミュレーションを、6万回程度まで減らすことができ、シミュレーションに要する時間を2桁以上短縮することができる。以上のように、本研究成果により、SRAMの設計を劇的に容易化することができる。

<引用文献>

- [1] "Matching properties of MOS transistors," M. J. Pelgrom, et al., IEEE J. of Solid-State Circuits, Vol.24-5, pp.1433-1440, Oct. 1989.
- [2] "Robust Importance Sampling for Efficient SRAM Yield Analysis," T. Date, et al., Proc. of ISQED 2010, pp.15-21, 2010.
- [3] 上村貴史, 武村健太, 牧野博之, 「SRAMの書き込み限界見極めに関する研究—モンテカルロシミュレーションの回数削減の検討—」, 2018年度電気関係学会関西連合大会, G9-6, pp.283-284, 2018年12月1日~2日
- [4] 武村健太, 上村貴史, 牧野博之, 「ばらつきを加速させたモンテカルロシミュレーションによるSRAMの書き込み限界推定」, 2019年電子情報通信学会総合大会, C-12-10, pp.47, 2019年3月19日~22日
- [5] 上村貴史, 武村健太, 牧野博之, 「SRAMのデータ保持限界見極めに関する研究」, 令和元年電気関係学会関西連合大会, G9-1, pp.220-221, 2019年11月30日~12月1日
- [6] 居石壮平, 鶴園陸人, 牧野博之, 「ばらつきを加速させたモンテカルロシミュレーションによるSRAMのデータ保持限界推定」, 令和2年電気関係学会関西連合大会, G9-1, pp.187-188, 2020年11月14日~11月15日
- [7] 鶴園陸人, 居石壮平, 牧野博之, 「不良出現を加速させたモンテカルロシミュレーションによるSRAMの動作限界推定」, 2021年電子情報通信学会総合大会, C-12-30, pp.66, 2021年3月09日~3月12日

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計6件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 鶴園陸人、居石壮平、牧野博之
2. 発表標題 不良出現を加速させたモンテカルロシミュレーションによるSRAMの動作限界推定
3. 学会等名 2021年電子情報通信学会総合大会
4. 発表年 2021年

1. 発表者名 居石壮平、鶴園陸人、牧野博之
2. 発表標題 ばらつきを加速させたモンテカルロシミュレーションによるSRAMのデータ保持限界推定
3. 学会等名 令和2年電気関係学会関西連合大会
4. 発表年 2020年

1. 発表者名 上村 貴史、武村 健太、牧野 博之
2. 発表標題 SRAMのデータ保持限界見極めに関する研究
3. 学会等名 令和元年電気関係学会関西連合大会
4. 発表年 2019年

1. 発表者名 武村 健太、上村 貴史、牧野 博之
2. 発表標題 ばらつきを加速させたモンテカルロシミュレーションによるSRAMの書き込み限界推定
3. 学会等名 2019年電子情報通信学会総合大会
4. 発表年 2019年

1. 発表者名 上村 貴史、武村 健太、牧野 博之
2. 発表標題 RAMの書き込み限界見極めに関する研究 モンテカルロシミュレーションの回数削減の検討
3. 学会等名 平成30年電気関係学会関西連合大会
4. 発表年 2018年

1. 発表者名 原 佑一、牧野 博之
2. 発表標題 多段階出力DC-DCコンバータの設計
3. 学会等名 平成30年電気関係学会関西連合大会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関