

令和 3 年 5 月 31 日現在

機関番号：14603

研究種目：若手研究

研究期間：2018～2020

課題番号：18K18025

研究課題名（和文）脳型機械学習ハードウェアの高信頼化に関する研究

研究課題名（英文）Study on high reliability of neuromorphic hardware

研究代表者

新谷 道広 (Shintani, Michihiro)

奈良先端科学技術大学院大学・先端科学技術研究科・助教

研究者番号：80748913

交付決定額（研究期間全体）：（直接経費） 2,700,000円

研究成果の概要（和文）：本研究では、深層学習の性能を飛躍的に向上させる脳型機械学習ハードウェアに関する研究を行っており、特にメモristaを用いたニューラルネットワークの高信頼化に着目した。メモristaは、製造技術が習熟しておらず、信頼性に関する課題がある。そこで、メモristaニューラルネットワークの耐故障化に取り組んだ。特に、列方向および行方向にチェックサム用の冗長セルを付加する誤り訂正機能を開発した。ホップフィールドネットワークを用いた数値計算の結果、無施策と比べて25.81%、既存手法と比べて5.25%の識別率向上を確認した。

研究成果の学術的意義や社会的意義

フォンノイマンボトルネックによるノイマン型計算基盤の性能向上の限界、ムーアの法則の破綻が近づき、ヒトの脳を模した脳型コンピュータ(Neuromorphic Computer)はこれまでの計算の質を革新する最重要技術の1つとして期待を集めている。しかし、構成素子であるメモデバイスの製造不安定に起因する信頼性課題により大規模化、すなわち量、に重大な課題を抱えており、ノイマン型計算規模を超える目処は立っていない。本研究は、脳型コンピュータの高集積化に不可欠な高信頼化設計の技術基盤を形成するものであり、今後の脳型コンピュータの高集積化に向けた基礎技術となりうる。

研究成果の概要（英文）：In this research, we conducted research on neuromorphic hardware that drastically improves the performance of deep learning, and in particular, we focused on improving the reliability of neural networks using memristors. Manufacturing technology of the memristors is immature and have issues with reliability. Therefore, we worked on developing the fault-tolerant techniques for the memristor-based neural network. In particular, we have developed an error correction function that adds redundant cells for checksums in the column and row directions. As a result of numerical calculation using the Hopfield network, it was confirmed that the identification rate was improved by 25.81% compared to no measures and 5.25% compared to the existing method.

研究分野：計算機システム

キーワード：ニューラルネットワーク メモrista 高信頼化 誤り訂正 脳型コンピュータ

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

深層学習に代表される機械学習の性能を飛躍的に向上させる回路アーキテクチャとして、脳の神経細胞を模倣した脳型コンピュータ (Neuromorphic Computer) が注目を集めている。一方で、脳型コンピュータを実現する素子であるメモリスタは製造が不安定であるため個体毎に特性が大きくばらつく。その上、信頼性において課題があることが分かっている。脳型コンピュータの開発は、処理速度、回路面積、消費電力を性能指標としたものが中心であり、信頼性については十分な検討が行われていない。

2. 研究の目的

脳型コンピュータの集積度、処理速度、消費電力、認識精度を損なうことなく、低回路オーバーヘッドによる性能保障回路および耐故障学習アルゴリズムを提案し、脳型コンピュータの出荷後の信頼性を確保する。

3. 研究の方法

- ・ **故障が認識精度に与える影響:** 脳型コンピュータは「あいまい」な演算を許容する。したがって、故障の数または故障箇所によっては認識精度に影響を与える/与えない場合が考えられる。従来の研究では、全てのシナプスの故障を等価とみなしており、検査、信頼性確保の効率性の観点からより良い尺度が求められる。そこで、認識精度に対する故障の重み付けにより、故障の影響を定量化する。
- ・ **性能補償回路による信頼性向上:** 故障があったとしても、各シナプスの特性に応じて出力電圧をバイアスする回路機構を備えることで、出荷後の信頼性を確保する手法を検討する。また、上述した故障の重み付けを考慮することで、最小限の回路オーバーヘッドで認識精度を保つ適切な箇所を抽出する。
- ・ **高効率な耐故障学習:** 回路内に故障があった場合、学習がなかなか収束しない課題がある。この場合においても、効率的に学習を収束させる手法を開発する。また、性能補償回路と組み合わせることで、さらなる回路オーバーヘッドを抑制する。

4. 研究成果

ReRAM ストレージ回路の高信頼化

メモリスタは、脳型コンピュータへの応用が期待されていると同時に、記憶素子としての応用も進められている。そこで、メモリスタを用いたメモリ (ReRAM) ストレージの高信頼化に向けて、図 1 に示すハミング符号を応用した誤り訂正符号技術を提案した。元来、メモリスタは書き込み耐性の低い素子であり、多量の書き込みが生じると縮退故障を生じる。そのような素子で誤り訂正回路を構築した場合、書き込み回数の大きい誤り訂正回路に故障が生じ、正しく訂正できなくなってしまう。そこで、本研究では、誤り訂正符号回路は CMOS とメモリスタのハイブリッド実装により実現する。図 1 において、灰色の工程のみをメモリスタで実装し、白の工程は CMOS 論理で実装する。これにより、CMOS 論理のみで実装した場合と比べて小さな回路面積で実現でき、さらに同程度の誤り訂正性能を実現できることを示した。本研究は、集積回路検査分野の代表的な論文誌である Journal of Electronic Testing: Theory and Applications (JETTA) に採択されている。

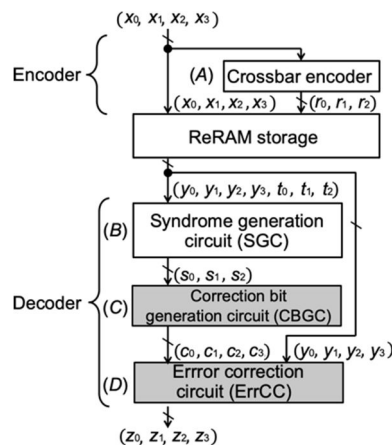


図 1: 誤り訂正回路。
灰色部の工程は
メモリスタで実装。

メモリスタニューラルネットワークにおける故障と認識性能の関係

入力層 (784) - 中間層 W1 (30) - 出力層 W2 (10) からなる 2 層ニューラルネットワークを構築し、各ノードにランダムに縮退故障 (高抵抗縮退故障、低抵抗縮退故障) を挿入し、手書き文字 (MNIST) 認識精度の識別性能を評価した。図 2 にエポック毎の識別性能の変化を示す。故障が無い場合は、常に 95% 以上の精度を達成しているのに対し、故障が存在する場合は、低い性能である。特に、低抵抗故障が存在した場合に低下が著しいことが分かった。これは、ニューラルネットワークは一般に発火するニューロン数が少ないことに起因しており、高抵抗故障が存在したとしても、期待される動作は変わらないためである。この予備実験は、発火するニューロン数がスパースである

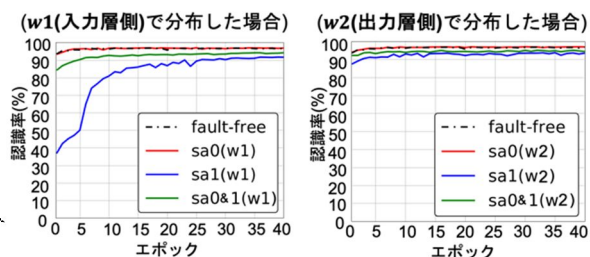


図 2: 手書き文字認識の識別性能

この予備実験は、発火するニューロン数がスパースである

事実を用いることで、故障に頑健な学習手法および高信頼化設計が可能であること示唆している。

メモリスタニューラルネットワークの高信頼化

メモリスタの信頼性課題が指摘されていることから、メモリスタニューラルネットワークの高信頼化に向けた研究が複数報告されるようになった。既存研究では、メモリスタクロスバアレイの行方向にチェックサム機能を追加することで過渡故障の訂正、さらには定期的なオンラインテストにより故障箇所を特定し冗長セルを入れ替える救済により耐故障化しているが、順伝播時のみ訂正可能、同一行に複数の故障が存在した場合は永久故障を救済できない課題がある。そこで、本研究では既存手法をベースとして列方向へもチェックサムセルとオンラインテストのテストベクトルを追加することで耐故障性のさらなる向上を図った(図3)。提案手法では、逆方向伝播を含むニューラルネットワークの学習時の誤り訂正機能と同一行に発生した場合の故障位置を特定するオンラインテストが可能となる。手書き文字認識による数値実験では、既存手法に比べて1.88%識別率が向上することを示した。本研究成果は、現在、国際会議に投稿中である。

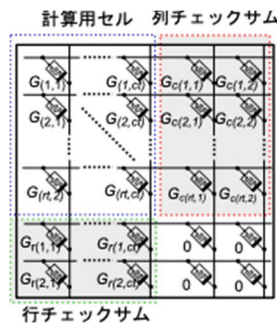


図3: チェックサム機能追加

本研究課題の派生として

本研究課題の主題と異なるが、得られた機械学習の学習アルゴリズムに関する知見を活かして、集積回路の見逃し故障を効率的に検出するシステムを開発した。従来法としてニューラル・ネットワークの1つである自己符号化器(AE)を用いた手法があるが、本研究では変分自己符号化器(VAE)を用いた手法を提案した。図4に示すように、従来手法と比べて8.5倍の性能向上を達成し、集積回路検査分野の最難関会議であるIEEE International Test Conference(ITC)2018に採録された。

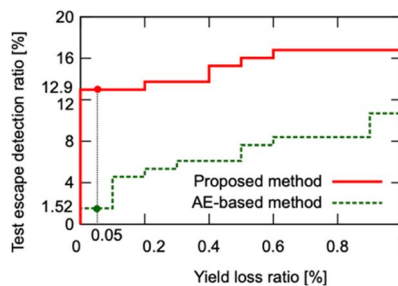


図4: 見逃し検出率

また、FPGA サプライチェーンの国際的な複雑高度化により、過去に使用歴のあるFPGAが新品として販売される再利用FPGAがそのFPGAを搭載するシステムの信頼を脅かす課題となっている。そこで、再利用FPGAを検出する手法にも本研究の知見を応用し研究成果を挙げている。ここでは、FPGA内部の全ての論理ブロックの全パスにリング発振器を設計して評価することで、劣化の影響を網羅的に評価する再利用FPGA検出手法を提案した。50個の市販FPGAを実際に劣化させた評価により、提案する解析は先行研究では捉えることができなかった劣化の影響を確認でき(図5)、機械学習により高精度な再利用FPGA検出を達成できることを示した。本研究成果は、2本の英文論文誌に採択されており、そのうちの1つは、集積回路設計自動化分野の最重要論文誌であるIEEE Transactions on Computer-Aided Design of Integrated Circuits and Systemsである。また、VDEC/d.labが主催する15th D2Tシンポジウム、および電子情報技術産業協会(JEITA)にて招待講演を行った。さらには、上記の研究はトレーニングデータを必要とする教師あり学習手法を採用しているが、プロセスばらつきのシステムティック成分により、隣接するブロックの周波数は似ている、という特徴を利用し、教師なし学習手法による再利用FPGA手法を提案しており、The 27th IEEE International Symposium on On-Line Testing and Robust System Design(IOLTS)に採択されている。

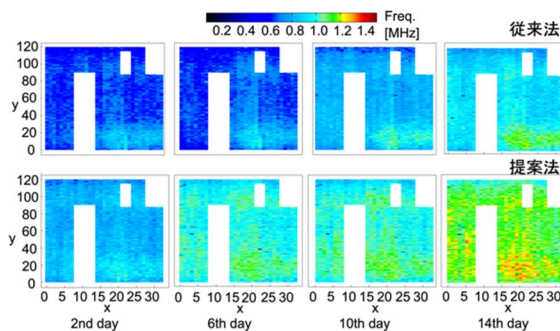


図5: FPGAの網羅的劣化解析

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 Michihiro Shintani, Michiaki Saito, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato	4. 巻 33
2. 論文標題 Measurement and Modeling of Ambient-air-induced Degradation in Organic Thin-Film Transistor	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Semiconductor Manufacturing	6. 最初と最後の頁 216-223
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TSM.2020.2986609	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Faisal Ahmed, Michihiro Shintani, Michiko Inoue	4. 巻 36
2. 論文標題 Area-Efficient and Reliable Error Correcting Code Circuit Based on Hybrid CMOS/Memristor Circuit	5. 発行年 2020年
3. 雑誌名 Journal of Electronic Testing	6. 最初と最後の頁 537 ~ 546
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/s10836-020-05892-3	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Faisal Ahmed, Michihiro Shintani, Michiko Inoue	4. 巻 E103.A
2. 論文標題 Cost-Efficient Recycled FPGA Detection through Statistical Performance Characterization Framework	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1045 ~ 1053
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transfun.2019KEP0014	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Faisal Ahmed, Michihiro Shintani, Michiko Inoue	4. 巻 -
2. 論文標題 Accurate Recycled FPGA Detection Using an Exhaustive-Fingerprinting Technique Assisted by WID Process Variation Modeling	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TCAD.2020.3023684	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計19件（うち招待講演 2件 / うち国際学会 9件）

1. 発表者名 Yuya Isaka, Michihiro Shintai, Faisal Ahmed, and Michiko Inoue
2. 発表標題 Unsupervised Recycled FPGA Detection Based on Direct Density Ratio Estimation
3. 学会等名 IEEE International Symposium on On-Line Testing and Robust System Design (国際学会)
4. 発表年 2021年

1. 発表者名 Michihiro Shintani, Tomoki Mino, and Michiko Inoue
2. 発表標題 LBIST-PUF: An LBIST Scheme Towards Efficient Challenge-Response Pairs Collection and Machine-Learning Attack Tolerance Improvement,
3. 学会等名 IEEE Asian Test Symposium (国際学会)
4. 発表年 2020年

1. 発表者名 新谷道広
2. 発表標題 統計学・機械学習を用いた集積回路検査の効率化と高精度化
3. 学会等名 一般社団法人 電子情報技術産業協会 (JEITA) エネルギー・マネジメント・材料デバイス技術分科会 (招待講演)
4. 発表年 2020年

1. 発表者名 Michihiro Shinani
2. 発表標題 Recycled FPGA detection using exhaustive fingerprinting characterization
3. 学会等名 The 15th D2T Symposium, The University of Tokyo (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 井阪友哉, 新谷道広, アフメドフォイスアル, 井上美智子
2. 発表標題 自己参照に基づく直接密度比推定を用いた教師なし再利用FPGA検出
3. 学会等名 電子情報通信学会技術研究報告(ディベンダブルコンピューティング研究会)
4. 発表年 2021年

1. 発表者名 Romain Chicoix, Michihiro Sintani, Kouichi Kumaki, and Michiko Inoue
2. 発表標題 Improvement of Variational Autoencoder Based Test Escape Detection through Image Transformation
3. 学会等名 電子情報通信学会技術研究報告(VLSI設計技術研究会)
4. 発表年 2019年

1. 発表者名 Faisal Ahmed, Michihiro Shintani, and Michiko Inoue
2. 発表標題 Feature Engineering for Recycled FPGA Detection Based on WID Variation Modeling
3. 学会等名 IEEE European Test Symposium (ETS) (国際学会)
4. 発表年 2019年

1. 発表者名 Faisal Ahmed, Michihiro Shintani, and Michiko Inoue
2. 発表標題 Low Cost Recycled FPGA Detection Using Virtual Probe Technique
3. 学会等名 IEEE International Test Conference in Asia (ITC-Asia) (国際学会)
4. 発表年 2019年

1. 発表者名 石坂守, 新谷道広, 井上美智子
2. 発表標題 チェックサムとオンラインテストによるメモリスタニューラルネットワークの耐故障設計
3. 学会等名 電子情報通信学会技術研究報告(VLSI設計技術研究会)
4. 発表年 2020年

1. 発表者名 新谷道広, アフメドフォイスル, 井上美智子
2. 発表標題 網羅的バス解析による高精度な再利用FPGA検出手法
3. 学会等名 電子情報通信学会技術研究報告(ディベンダブルコンピューティング研究会)
4. 発表年 2020年

1. 発表者名 Faisal Ahmed, Michihiro Shintani, and Michiko Inoue
2. 発表標題 Feature Engineering for Recycled FPGA Detection Based on WID Variation Modeling
3. 学会等名 IEEE European Test Conference (ETS) (国際学会)
4. 発表年 2019年

1. 発表者名 上田葵, 新谷道広, 岩田大志, 山口賢一, 井上美智子
2. 発表標題 自動微分を用いた SPICE モデルパラメータ抽出環境の構築
3. 学会等名 電子情報通信学会技術研究報告(VLSI設計技術研究会)
4. 発表年 2019年

1. 発表者名 Michihiro Shintani, Kouichi Kumaki, and Michiko Inoue
2. 発表標題 Variational Autoencoder-Based Efficient Test Escape Detection
3. 学会等名 電子情報通信学会技術研究報告(ディベンダブルコンピューティング研究会)
4. 発表年 2019年

1. 発表者名 Faisal Ahmed, Michihiro Shintani, and Michiko Inoue
2. 発表標題 An Efficient Approach to Recycled FPGA Detection Using WID Variation Modeling
3. 学会等名 電子情報通信学会技術研究報告(ディベンダブルコンピューティング研究会)
4. 発表年 2019年

1. 発表者名 三野智貴, 新谷道広, 井上美智子
2. 発表標題 製造検査時における組込み自己テスト回路を利用した効率的なPUF回路のチャレンジレスポンス対の生成と評価
3. 学会等名 電子情報通信学会技術研究報告(ディベンダブルコンピューティング研究会)
4. 発表年 2019年

1. 発表者名 石坂守, 新谷道広, 井上美智子
2. 発表標題 重み推定によるメモリスタニューラルネットワークの信頼性向上の試み
3. 学会等名 電子情報通信学会技術研究報告(ディベンダブルコンピューティング研究会)
4. 発表年 2018年

1. 発表者名 Michihiro Shintani, Yoshiyuki Nakamura, and Michiko Inoue
2. 発表標題 Artificial Neural Network Based Test Escape Screening Using Generative Model
3. 学会等名 IEEE International Test Conference (ITC) (国際学会)
4. 発表年 2018年

1. 発表者名 Mamoru Ishizaka, Michihiro Shintani, and Michiko Inoue
2. 発表標題 Area-efficient and Reliable Hybrid CMOS/Memristor ECC Circuit for ReRAM Storage
3. 学会等名 IEEE Asian Test Symposium (ATS) (国際学会)
4. 発表年 2018年

1. 発表者名 Mamoru Ishizaka, Michihiro Shintani, and Michiko Inoue
2. 発表標題 Area-Efficient Memristor-Crossbar-Based Error Correcting Code Circuit
3. 学会等名 Workshop on Security, Reliability, Test, Privacy, Safety and Trust of Future Devices (SURREALIST) (国際学会)
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

ディベンダブルシステム学研究室
<http://dslab.naist.jp/>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------