

研究種目：基盤研究（S）

研究期間：2007～2011

課題番号：19106005

研究課題名（和文）ナノメートル誘電体薄膜の電子物性の理解と制御の研究

研究課題名（英文）Understanding and Control of Electronic Properties of Nanometer-thick Dielectric Films

研究代表者

鳥海 明（TORIUMI AKIRA）

東京大学・大学院工学系研究科・教授

研究者番号：50323530

研究代表者の専門分野：工学

科研費の分科・細目：電気電子工学・電子電気材料工学

キーワード：電気・電子材料，誘電体物性，超薄膜，表面・界面物性

1. 研究計画の概要

本研究の目的は、ナノメートル厚絶縁膜の電子構造、誘電性、及びその絶縁膜との界面の性質に関して、材料の物性理解に基づいた系統的な制御指針を構築することである。比誘電率（静的、動的）だけでなく絶縁膜の電子構造、さらに絶縁膜との異種材料界面に研究の焦点をあて、絶縁膜内部電界における電荷再分布、構造変化に伴う原子の動きなど直接目に見えない量を抽出し、その動きの起源を明確にする。

2. 研究の進捗状況

(1) 新規絶縁膜の物性量の評価

本研究では、各種絶縁膜の電子構造を系統的、俯瞰的に理解することを目的に、評価手法の検討、その妥当性、結果の理解を進めた。手法は XPS を用いた。通常 Si 基板を参照電位として使うが、バンドベンディング、High k /SiO₂ 界面にあるダイポールの影響を避けるために、絶縁膜上面に極薄 Au を蒸着し、Au を参照にすべての評価を行ない、典型的な High k 材料に関して初めて系統的な結果を得ることができた。

(2) 等価酸化膜厚(EOT)の薄膜化

EOT の薄膜化には、誘電率をさらに高くするか、界面低誘電率層の薄膜化が必要である。本研究では前者に注力し、最近、急速昇温プロセスによって、HfO₂ の Higher k 相である正方晶相を出現させることに成功した。今後、薄膜化効果、昇温過程の改善をはかりながらメカニズムの解明と高誘電率の実証を急ぐ。

(3) 絶縁膜/絶縁膜界面のダイポール解析

SiO₂/High k 界面にダイポール層が形成されるという実験結果を電氣的な評価から見

いだした。その形成機構に関して、界面における High k と SiO₂ の酸素密度の差に着目し、その差がダイポール形成の駆動力になるというまったく新しいモデルを提案し、実験事実を無理なく説明することができた。一方、異なる物理評価からダイポールが観測されるかに関して、最近 XPS で観測することに成功した。これはダイポールが形成する界面電界による Si 2p 結合エネルギーシフトに着目したものである。

(4) メタル/半導体界面

メタル/Ge は典型的に強い Fermi-level Pinning が起こる系として知られているが、この界面に絶縁膜を挿入することで、界面におけるショットキー特性、つまり障壁高さ、ピンニングの強さ、が大きく変わることを見だし、比較的厚膜（～2nm）まで効果が続くことが示された。

(5) Ge の酸化機構

Ge と絶縁膜との界面、あるいは Ge 上の絶縁膜の性質は Si 上と同じかという観点で調べてきた。大きな特徴は、まず Ge/GeO₂ からは GeO の脱離が低温で観測される点である。この脱離機構を同位体酸素を用いて調べ、界面で生成した GeO が膜中拡散して表面から脱離という単純な過程では無く、表面元素の脱離がまず観測されることが明らかになった。

(6) 絶縁膜中欠陥の解析

GeO₂ は GeO が脱離し易く酸素欠損の影響が大きいと考えられる。実際に酸素欠損が増加すると光吸収端にテイル成分が現れることがわかった。実際、テイル成分は酸素圧力と見事に相関している。欠陥同定はまだできていないが、より極端な状況下では（N₂ ガス処理など）、バルク膜中に ESR 欠陥が明確に観

測され、微視的欠陥と対応していることが推測される。

3. 現在までの達成度

従来の技術を深掘りすることによって精緻な結果が得られたというだけでなく、新しい発見が伴われている点において、下記のように予定以上の展開がなされていると自負している。

(1) High-k/SiO₂界面のダイポールの発見およびモデル化は、現実的に最先端CMOS技術の中でトランジスタのしきい値制御技術として使われ始めようとしている。材料科学的興味深さから考えても、あるいは酸化エレクトロニクスへの展開を考えてもきわめて興味深く予想以上の展開と言える。

(2) Ge/Metal界面に絶縁膜を挿入することで、ショットキー特性が逆転するという現象は、ドーピング無しでGeにオーミックコンタクトを実現できることを意味しており、この発見を基にして世界に先駆けてドーピング無しでN、Pチャネルともに良好に動作するFETを実証することができた。このことは半導体界面におけるFermi-level Pinningはどのように決まるのかというきわめて基本的な課題に対する新しい実験事実を突きつけているとも言える。実際、この実験に対して世界の各所で追試も行われ、界面に対する大きな議論を引き起こしている。

(3) GeO脱離の熱力学および速度論的解析は半導体界面一般を考える上での基礎になると考えている。一般的にGeOが脱離することはよく知られていたが、それをより詳細に実験的に調べてみると、その脱離プロセスは単純ではない。これはGeの酸化機構とも結びついており、Geデバイスを考える上でのほとんどすべての基礎になると考えている。またそこから、Active/Passive酸化の議論の再考に至り、Geゲートスタックの基本的な考え方を提案できたことは予想外の展開である。

(4) HfO₂薄膜の高速熱処理によるHigher-k相の発現はまったく新しい発見である。我々はドーピングによってHigher-k層を実現する手法に関して報告しており、キャップ層の存在下でHigher-k相が出現しやすいことも知られていたが、温度だけでこれを制御するのは全く新しい発見であり、High

-k材料制御の基本的考え方になると考えている。

以上、本研究の中で発見した結果は、当初予想していなかった実験結果に基づいているだけでなく、FET技術そのものに根本的に影響を与え、また新しい形のデバイスへと進化させる事を示している。

4. 今後の研究の推進方策

High k膜、およびGeO₂膜の物性にかかわる新しい事実とその効果の解析という観点から研究は順調に進んでいると考えているが、これらの詳細な機構は不明な部分も多く、今後もそれぞれの項目について取り組み、誘電体薄膜をデバイス作製という観点から見た物性・材料科学の問題として捉えて本研究の大きな目的を達成する。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計33件)

1. K. Kita and A. Toriumi, "Origin of Electric Dipoles Formed at High-k/SiO₂ Interface," Appl. Phys. Lett. **94**, 132902-1~3, 2009.

2. T. Nishimura, K. Kita, and A. Toriumi, "A Significant Shift of Schottky Barrier Heights at Strongly Pinned Metal/Germanium Interface by Inserting an Ultra-Thin Insulating Film," Appl. Phys. Exp. **1**, 51406-1~3, 2008.

[学会発表](計102件)

1. A. Toriumi and K. Kita, "On the Origin of Anomalous V_{TH} Shift in high-k MOSFETs"(invited) 215th Meeting, The Electrochemical Society, 2009, USA

[図書](計2件)

1. A. Toriumi and K. Kita, "Materials Engineering of High-k Gate Dielectrics," in "Dielectric Films for Advanced Microelectronics," edited by M. Baklanov, M. Green and K. Maex, John Wiley & Sons, Ltd, (2007年).

[産業財産権]

出願状況(計2件)

名称: 半導体装置及びその製造方法

発明者: 島海明、西村知紀

権利者: 東京大学

種類: 特願

番号: 2007-227480

出願年月日: 2007年9月3日

国内外の別: 国内

[その他]

<http://www.adam.t.u-tokyo.ac.jp/publication.html>