

平成 22 年 3 月 31 日現在

研究種目：基盤研究(B)  
 研究期間：2007～2009  
 課題番号：19300009  
 研究課題名(和文) 微細化が招く工学的限界を克服するディペンダブル VLSI 設計技術  
 研究課題名(英文) Dependable VLSI design methodology which conquers engineering limits due to shrinking device size  
 研究代表者  
 南谷 崇 (NANYA TAKASHI)  
 東京大学・先端科学技術研究センター・教授  
 研究者番号：80143684

研究成果の概要(和文)：半導体製造技術の微細化に伴って顕在化しているリーク電力の増大、遅延変動の増大、ソフトウェアの発生確率の増大などの問題に対し、効率的な符号や多閾値電圧トランジスタを用いて低消費電力で遅延変動に対してロバスト性の高い非同期式システムを実現する方式を確立した。また、多数のプロセッサコアが一チップ上に実装された VLSI に対してコアレベルの冗長性を利用することで、高信頼・高性能な VLSI システムを実現する方式を確立した。

研究成果の概要(英文)：It has been recognized that a lot of problems like leakage current, delay variations, and soft-error become more serious due to shrinking device size in VLSI. In this research, we have developed an asynchronous design methodology which can tolerate any timing-related problems using the energy-efficient coding and the multi-threshold-voltage transistors. We have also developed a processor-level fault tolerance technique for dependable chip multiprocessors which will be widely used in the future technology.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	6,800,000	2,040,000	8,840,000
2008 年度	5,300,000	1,590,000	6,890,000
2009 年度	3,000,000	900,000	3,900,000
総計	15,100,000	4,530,000	19,630,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：計算機システム、半導体超微細化、ディペンダブル VLSI

## 1. 研究開始当初の背景

情報社会のハードウェア中枢である VLSI (大規模集積システム) の微細化・高集積化はこれまで同様に今後も進み、2020 年頃までは現在の VLSI 技術の進化がこのまま継続するとの予想が世界の多くの半導体研究者・技術者の合意であるが、一方で、そこへ

至る前に、微細化に起因してこれまで経験したことのない設計製造上のいくつかの問題が顕在化し、その結果、チップ歩留まりとシステム信頼性が大幅に低下する可能性が指摘されている(参考：International Technology Roadmap for Semiconductors 2009 Edition, <http://www.itrs.net/>)。

第一に、プロセスパラメータの統計的変動

でデバイス動作特性のばらつきが制御が困難になるため正常に動作するデバイスが設計できず、十分な製造歩留まりが得られなくなる上、デバイス動作の安定性が損なわれてシステム信頼性が大幅に低下する。第二に、複雑化する VLSI の設計・製造工程における人間の仕様ミス、設計ミス、検査ミスの可能性が増えることに加えて、オープンシステム化による異種モジュール間接続の仕様ミスや設計ミスの危険が増えるためシステム信頼性が低下する。第三に、アルファ線や中性子線などによって引き起こされるソフトウェア（メモリビット反転や論理誤動作）の発生頻度増大がシステム信頼性を低下させる。第四に、配線幅が縮小して配線間結合容量が増加することによって生じるクロストークが配線遅延変動をもたらすシステム動作の信頼性に大きな影響を与える。

すなわち、微細化の更なる進展で顕在化するこれらの諸問題が、VLSI チップの製造歩留まりを低下させ、VLSI システムの信頼性を大幅に低下させる結果、従来のチップアーキテクチャや設計方法論ではもはや経済合理性が成り立たず、VLSI の設計・製造が困難になるという工学的限界に直面することが懸念されている。

本研究課題研究者らは VLSI を構成要素とする情報システムの高信頼化を目指すディペンダブルコンピューティングの分野で豊富な研究実績があり、これまでの研究成果である「システム冗長化技術」を微細化が進んだ VLSI チップ内部に適用することによって、これから直面すると予想される前述の工学的限界を克服する新しいチップアーキテクチャと設計方法論を創出し得るとの着想を得て、本研究を行った。

## 2. 研究の目的

微細化の更なる進展で直面しつつある VLSI 設計の工学的限界を克服するためには、これまでのシステムレベルで培われた冗長化技術をチップレベルに導入することによって、チップ製造段階での歩留まり向上とシステム稼働段階での信頼性向上を同時に実現するアーキテクチャと設計方法を開発し、その効果を経済合理性の観点から評価する必要がある。この目的を達成するために必要な研究項目は、大きく分けると以下の 5 つになる。

- (1) プロセスパラメータ変動の増大で不可避免地に発生する不良デバイス、欠陥デバイスの統計的分布を前提にして製造歩留まりを最適化するチップ冗長構成方式および再構成可能アーキテクチャの開発
- (2) クロストークに起因するデバイス・配線の遅延変動に対してロバスト性を有する

セルフタイミング回路構成方式の開発

- (3) VLSI 設計の大規模化、複雑化を克服するマルチコア構成の高信頼化モジュラー設計方式の開発
- (4) システム稼働中にソフトウェアを自律的に検出するセルフチェック機能、システム状態を回復するセルフリカバリ機能を有するディペンダブル VLSI 方式の開発
- (5) 歩留まり向上と信頼性向上の効果を定量化するメトリックの定義とそれに基づくディペンダビリティ評価手法の開発

本研究は、上記 5 つの研究課題を総合的に解決することにより、近い将来微細化に伴って VLSI 設計が直面すると予想される工学的限界を克服するディペンダブル VLSI のアーキテクチャと設計技術を確立してその経済合理性を明らかにすることを目的とする。

## 3. 研究の方法

研究目的を達成するために、下記に示す項目に分けて研究を行う。技術開発上の特別な依存関係がない場合はそれぞれ同時に並行して研究を行う。研究実施の過程で依存関係が生じた場合には、その時点で実施の順序を定める。また、例えばロードマップに従った微細化の影響に関する科学的知見調査などのように、項目間で共通の方法論に従う場合はその実施プロセスを共有する。

- (1) 製造歩留まりを最適化するチップ冗長構成方式
- (2) 遅延変動に対してロバスト性を有するセルフタイミング回路構成方式
- (3) マルチコア構成の高信頼化モジュラー設計方式
- (4) ソフトウェアを自律的に検出するセルフチェック VLSI 方式
- (5) 歩留まりと信頼性を評価するメトリック定義とディペンダビリティ評価手法の開発

## 4. 研究成果

- (1) プロセス変動を考慮した電流制御による低電力化手法

VLSI の微細化が進むにつれて、非動作時においても流れてしまうリーク電流が大きな問題となりつつあり、今後の微細化プロセスでは全消費電力の中でリーク電力の占める割合が支配的になると予測されている。この問題の解決策として回路モジュールと GND 線、あるいは VDD 線の間にはスレッシュホールド電圧の高いトランジスタを挿入し、回路モジュールが非動作時にはトランジスタをオフにしてリーク電流の経路を遮断する Power Gating

(PG)手法が提案されている。PG 手法では一般的に十分な数のパワースイッチトランジスタが実装されるが、この数と消費エネルギーの間にトレードオフが存在する。一方、VLSIの製造工程上でトランジスタのチャンネル長やゲート酸化膜厚などに誤差が発生し、トランジスタ閾値のばらつきによって動作速度に変動が生じてしまうプロセス変動が大きくなっており、同じダイ内部の回路でも異なる動作速度を持つようになっている。従って、ダイ内でクロックを共有する回路モジュールが同じ速度で動作するように設計しても、製造後には遅延変動により動作速度の差が発生してしまう。そこで、プロセス変動により生じたばらつきに対して、遅くすることが許容される回路モジュールのパワースイッチトランジスタ数を調整することで、動的な消費電力を削減する手法を提案した。提案手法をいくつかの回路に対して適用して評価した結果、PS 数の調整により電力が削減可能であることが確認できた。

### (2) マルチ閾値電圧トランジスタを用いた2線2相式非同期式回路のリーク電力削減手法

微細化に伴う遅延変動に対して高いロバスト性を持つ回路設計方式として、1ビットの信号を2本の信号線対を用いて表す2線2相式非同期式回路設計方式がある。2線2相式回路構成は平均遅延で評価することができ、高信頼で高性能なVLSI設計手法として有効であるが、1線式回路と比較して回路量が大きく、リーク電力も大きくなるという問題がある。そこで、本研究では、2線2相式回路のリーク電力削減手法を2つ提案した。両手法とも多閾値電圧トランジスタを用いており、2線2相式回路が非動作時である休止相では回路の状態が一意に定まることに着目している。一つ目の手法は休止相においてオフとなるトランジスタをリーク電力の小さいスレッショルド電圧の高いトランジスタで構成する方式である(MT-Vth方式)。二つ目の手法は、休止相においてオフとなるトランジスタと電源またはグラウンド間にパワースイッチを接続し、休止相でそのパワースイッチをオフにすることによって、回路に流れるリーク電流を削減する方式である(PS方式)。

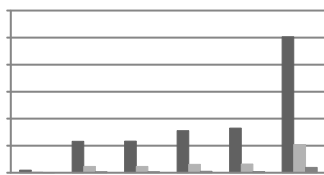


図1. 休止相におけるリーク電力

図1はISCAS89ベンチマーク回路に提案手法を適用して90nmプロセステクノロジーでの休止相におけるリーク電力をHSPICEにより求めたグラフである。両手法ともに回路規模の大小に関わらず、MT-Vth型で79~83%、PS型で90~97%という高いリーク電力削減効果が得られることを確認した。

### (3) 1-out-of-4符号を用いた低消費電力セルフタイミング回路方式

VLSIは微細化が進むに従い、プロセス変動、温度変動、電源電圧変動、クロストークなど様々な要因により遅延が大きく変動し、タイミングに依存した回路では大きなマージンを取らなければ正しい動作を保証することができない。非同期式セルフタイミング回路はこれらのタイミング依存問題を解決する有力な手法であるが、従来広く利用されてきた1-out-of-2符号を用いた2線2相式回路では、消費電力が大きいという問題があった。そこで、2線2相式回路と比較して遷移数が約半分となる1-out-of-4符号を用いた回路構成方式を提案し、90nmプロセスのスタンダードセルライブラリを用いて評価した。

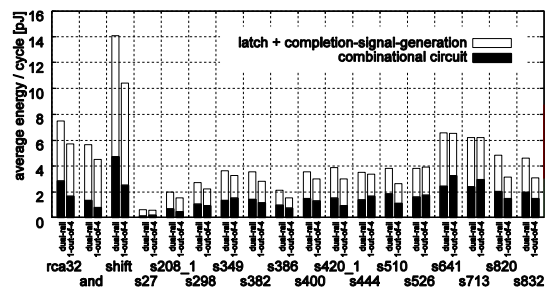


図2. 消費電力の比較

図2は1-out-of-2符号回路(dual-rail)と1-out-of-4符号回路により実装したISCAS89ベンチマーク回路の消費電力を比較したグラフであり、提案手法により約18%の低消費電力化を実現できることを確認した。

### (4) 共有資源の優先度と電源電圧の協調制御によるチップマルチプロセッサの省電力化

近年、消費電力や発熱量の限界から、クロック周波数向上による高性能化が望めなくなりつつあり、VLSIチップにおける性能向上手法として、複数のプロセッサコアを1チップに搭載するチップマルチプロセッサ(CMP)が今後の有効なアーキテクチャとして注目されている。CMPでは、リソース有効活用の観点から、複数のコアが、あるメモリ階層以下にあるキャッシュやバスを共有するのが一般的である。この共有リソースの使用率はプログラムの性質に大きく依存し、同時に実行するプログラムの組み合わせによってはリソース競合が発生する。リソース競合が発生すると、アクセスしたコアには、共有リソ

ースに対して既にアクセスしているコアのデータ転送を待つための待ち時間が生じる。この待ち時間は、各コアにおいてプログラムを処理可能な実行稼働時間を減少させる。この場合は実時間制約を持つプログラムを仮定すると、各コアは性能制約を満たすためにクロック周波数を上げる必要が出てくる。このことは消費電力の増加を招く。

本研究では、各コア間で起こる競合の総量は変化させずに、各コア間における競合の起こり方を調節し、CMP 全体での消費電力削減を目的とした。そこで、各コアの共有リソースへのアクセスに対して優先度を導入し、優先度制御と動的電圧・周波数制御 (DVFS) 手法を組み合わせることにより、各コアの負荷を調節し、CMP 全体での消費電力を削減する手法を提案した。

優先度制御による電力最適条件を明らかにするため、各コアの性能・電力変化に関するモデリングを行って検討した結果、全コアの周波数が等しくなるように優先度を制御した時、CMP 全体の消費電力は最小値を取ることが証明された。

次に、モデリングから得られた帰結を実現するための実際の制御手法について提案した。本制御手法は、優先度制御と DVFS 制御手法の組み合わせによって実現されている。優先度制御では各コアの周波数を観測しながら優先度を変更し、各コアの周波数が等しくなるよう制御する。DVFS 制御では、優先度制御により変化した各コアの競合による待ち時間と実時間制約から、制約を満たすために必要な周波数・電源電圧を決定し変更する。

本提案手法をいくつかのベンチマークを使用して評価した結果、手法非適用のシステムと比較して、平均で 10%の消費電力削減を達成できることを確認した。また、各プログラム間における性能制約の差が大きければ大きいほど、また、L2 ミス率が高く競合の総量が大きいほど、提案手法によって電力削減の余地が大きいことを確認した。

### (5) 多入力非同期式調停回路

VLSI チップ上に搭載可能なトランジスタ数は半導体製造技術の微細化に伴って増加しており、多数の共有リソースが 1 チップ上に実装されるようになってきている。遅延変動に対して高いロバスト性を有する非同期式回路システムにおいて、これら共有リソースを監視するには、複数の要求信号の調停を行う多入力アービタが重要な役割を果たす。これまで提案されてきた多入力アービタは調停結果に偏りが生じる、消費電力が大きいなどの問題があった。そこで、スクエア型メッシュアービタ (図 3) と遷移論理によるトークンを用いたリングアービタ (図 4) を提案した。

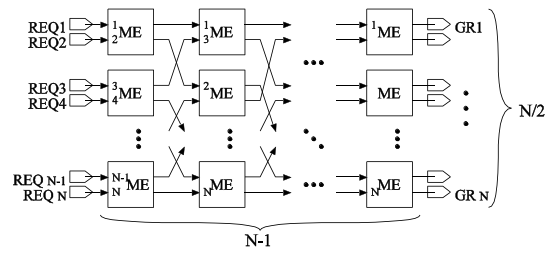


図 3. スクエア型メッシュアービタ

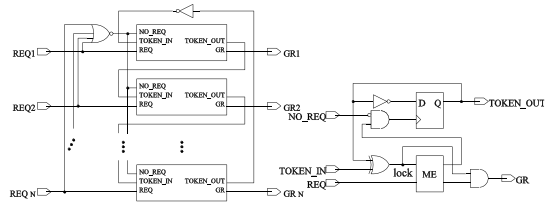


図 4. 遷移論理トークンリングアービタ

HSPICE を用いた評価により、提案回路は低い消費電力で公正な調停を行うことができることを確認した。

### (6) Pair & Swap

VLSI は微細化・大規模化に伴い、ソフトウェアなどの一過性故障の発生確率が増大し、信頼性の低下が問題となりつつある。そこで、近年主流となっている CMP において、コアレベルの冗長性を利用した高信頼度化手法として Pair&Swap を提案した。Pair&Swap では、与えられたタスクの二つの同じコピーが 2 つのプロセッサコア上で実行され、その結果が比較される。比較結果の不一致により誤りを検出した場合、他のペアとパートナーを交換して新たなペアを構成し、不一致のタスクを最新のチェックポイントから再実行して再度比較することで、発生した故障が一過性故障か永久故障かを判断する (図 5)。

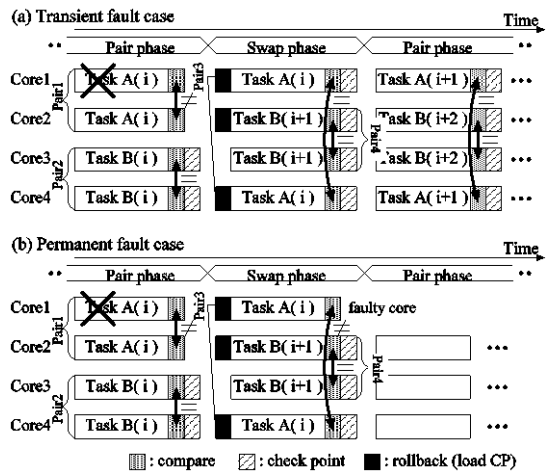


図 5. Pair&Swap の故障判定方法

永久故障の場合、故障したコアを特定して隔離し、システム全体のタスク割り当てを再構築することにより、漸次縮退を実現する。

本研究では、信頼性と性能の両方を考慮した新しい指標として Mean Computation To

Failure (MCTF)を提案し、本手法と従来手法である三重化冗長システムをマルコフ過程によりモデル化して評価した (図 6)。

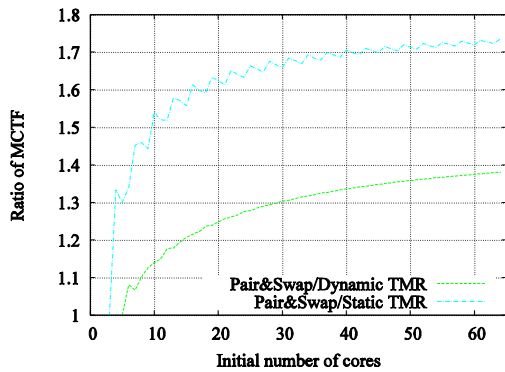


図 6. MCTF 比

その結果、提案手法は従来手法よりも高い性能と信頼性を実現できることを確認し、初期状態のコア数の増加に伴い、従来手法に比べて約 1.4 倍の MCTF を実現できることを確認した。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 3 件)

- Naohiro Hamada, Yuki Shiga, Takao Konishi, Hiroshi Saito, Tomohiro Yoneda, Chris Myers, and Takashi Nanya, "A Behavioral Synthesis System for Asynchronous Circuits with Bundled-Data Implementation," IPSJ Journal, 査読有, Vol. 2, pp. 65-79, (Feb., 2009)
- Hiroshi Saito, Naohiro Hamada, Nattha Jindapetch, Tomohiro Yoneda, Chris Myers, and Takashi Nanya, "Scheduling Methods for Asynchronous Circuits in Bundled-Data Implementation Based on the Approximation of Start Times," IEICE Trans. on Fundamentals of Electronics, Communications, and Computer Sciences, 査読有, Vol. E90-A, No. 12, pp. 2790-2799, (Dec., 2007)
- W. Qu, K. Li, M. Kitsuregawa, and T. Nanya, "An optimal Solution for Caching Multimedia Objects in Transcoding Proxies," Computer Communications, 査読有, Vol. 30, No. 8, pp. 1802-1810, (Jun., 2007)

[学会発表] (計 2 2 件)

- Roberto Jung Drebes, Takashi Nanya, "Inter-Module Error Propagation Paths in Monolithic Operating System Kernels," EDCC2010, (2010. 04), Valencia, Spain (to appear)
- 長井智英, 今井雅, 南谷崇, "プロセス二重化とプロセス対交換によるチップマルチプロセッサの高信頼化手法," デザインガイア 2009, (2009. 12. 03), 高知
- Roberto Jung Drebes, Takashi Nanya, "Zapmem: a Framework for Testing the Effect of Memory Corruption Errors on Operating System Kernel Reliability," PRDC2009, (2009. 11. 16), Shanghai, China
- Masashi Imai, Tomohiro Yoneda, Takashi Nanya, "N-way-Ring and Square Arbiters," ICCD2009, (2009. 10. 05), Lake Tahoe, CA, USA
- Tomohiro Yoneda, Masashi Imai, Hiroshi Saito, Atsushi Matsumoto, "Achieving Degradation Tolerance in a Hardware Accelerator with Parallel Functional Units," WDSN2009, (2009. 06. 29), Lisbon, Portugal
- Masashi Imai, Kouei Takada, Takashi Nanya, "Fine-grain Leakage Power Reduction Method for m-out-of-n Encoded Circuits Using Multi-Threshold-Voltage Transistors," Async2009, (2009. 05. 20), Chapel Hill, NC, USA
- 高田幸永, 今井雅, 中村宏, 南谷崇, "マルチ閾値電圧トランジスタを用いた 2 線 2 相式非同期式回路のリーク電力削減手法," デザインガイア 2008, (2008. 11) 福岡
- Bogdan Tomoyuki Nassu, Takashi Nanya, Hiroshi Nakamura, "Discovering Implicit Redundancies in Network Communications for Detecting Inconsistent Values," International Conference on Data Mining, (2008. 12), Pisa, Italy
- Roberto Jung Drebes, Takashi Nanya, "Limitations of the Linux Fault Injection Framework to Test DMA Address Errors," PRDC2008, (2008. 12), Taipei, Taiwan
- Bogdan Tomoyuki Nassu, Takashi Nanya, Hiroshi Nakamura, "Detecting Inconsistent Values caused by Interaction Faults Using Automatically Located Implicit Redundancies," PRDC2008, (2008. 12),

- Taipei, Taiwan
11. Masashi Imai, Takashi Nanya, "Performance Comparison between Self-Timed Circuits and Synchronous Circuits Based on the Technology Roadmap of Semiconductors," WDSN2008, (2008.06), Anchorage, USA
  12. 椎名公康, 近藤正章, 今井雅, 中村宏, 南谷崇, "共有資源の優先度制御によるチップ・マルチプロセッサの省電力化手法," SACSIS2008, (2008.06), 広島
  13. Masashi Imai, Takashi Nanya, "A Design Method for 1-out-of-4 Encoded Low-Power Self-Timed Circuits using Standard Cell Libraries," ACS2008, (2008.06), Xian, China
  14. H. Hamada, Y. Shiga, Hiroshi Saito, Tomohiro Yoneda, Chris Myers, Takashi Nanya, "A Behavioral Synthesis Method for Asynchronous Circuits with Bundled-Data Implementation," ACS2008, (2008.06), Xian, China
  15. B. T. Nassu, T. Nanya, "Interaction Faults Caused by Third-Party External Systems - a Case Study and Challenge," ISAS2008, (May 2008), 東京
  16. B. T. Nassu, T. Nanya, "Injecting Inconsistent Values Caused by Interaction Faults for Experimental Dependability Evaluation," EDCC2008, (May 2008), Lithuania
  17. Nattha Jindapetch, Hiroshi Saito, Krerkchai Thongnoo, Takashi Nanya, "AN Optimization Method for Synchronous Fine-Grained Pipelines Based on Optimal Pipeline Stage Partitioning," ICESIT2008, (2008.02), Bangkok, Thailand
  18. 椎名公康, 近藤正章, 今井雅, 中村宏, 南谷崇, "共有資源の優先度と電源電圧の協調制御によるチップマルチプロセッサの省電力化," デザインガイア 2007, (2007.11), 福岡
  19. 金均東, 今井雅, 中村宏, 南谷崇, "プロセス変動を考慮した電流制御による低電力化手法," デザインガイア 2007, (2007.11), 福岡
  20. R. Watanabe, M. Kondo, H. Nakamura, T. Nanya, "Power Reduction of Chip Multi-Processors using Shared Resource Control Cooperating with DVFS," ICCD2007, (2007.10), CA, USA
  21. Bogdan T. Nassu, Takashi Nanya, Elias Procopio Duarte Jr., "Topology Discovery in Dynamic and Decentralized Networks with Mobile

Agents and Swarm Intelligence," ISDA2007, (2007.10), Rio de Janeiro, Brazil

22. W. Qu, M. Kitsuregawa, K. Li, and T. Nanya, "An Efficient Method for Improving Data Collection Precision in Lifetime-adaptive Wireless Sensor Networks," ICC2007, (2007.06), Glasgow, Scotland

〔図書〕 (計 1 件)

1. 南谷崇, サイエンス社, "論理回路の基礎", 2009, 232

〔産業財産権〕

○出願状況 (計 0 件)

○取得状況 (計 0 件)

〔その他〕

ホームページ等、該当無し

## 6. 研究組織

### (1) 研究代表者

南谷 崇 (NANYA TAKASHI)

東京大学・先端科学技術研究センター・教授

研究者番号 : 80143684

### (2) 研究分担者

今井 雅 (IMAI MASASHI)

東京大学・駒場オープンラボラトリー・特任准教授

研究者番号 : 70323665

近藤 正章 (KONDO MASAOKI)

電気通信大学・大学院情報システム学研究科・准教授

研究者番号 : 30376660

神山 和人 (KAMIYAMA KAZUTO)

電気通信大学・電気通信学部・特任助教

研究者番号 : 60447331

### (3) 連携研究者

該当無し