

平成 22 年 5 月 28 日現在

研究種目：基盤研究(B)

研究期間：2007～2009

課題番号：19300010

研究課題名（和文）ばらつきや欠陥を克服する集積回路ハードウェア設計技術

研究課題名（英文）Variation and Defect Aware Design of Integrated Circuits

研究代表者

小野寺 秀俊 (ONODERA HIDETOSHI)

京都大学・情報学研究科・教授

研究者番号：80160927

研究成果の概要（和文）：製造容易性を向上させるとともにばらつきに強靱な構造を持つ論理回路の構造法と、ばらつきや欠陥の影響を救済する方法について検討した。ばらつき耐性と製造性を強化する方法としてレイアウトパターンの単純化と規則性向上に着目し、その定量的効果をシミュレーションと実測により明らかにした。フリップフロップがチップ内ばらつきに脆弱である事を解明し、ばらつきに強靱なフリップフロップを開発した。ばらつき量を測定するオンチップモニタ回路を開発した。

研究成果の概要（英文）：We have investigated on a design method that improves manufacturability and tolerance to variation as well as a method for compensating variation and defects. Simplification and regularity enhancement of layout patterns the effect of simplified and regularity-enhanced layouts have been quantitatively examined by simulation and real chip measurements. Vulnerability of FF timing characteristics under within-die variation has been pointed out and variation-tolerant design of FFs is proposed. On-chip monitor circuits for the estimation of die-to-die variation has been also developed.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	7,900,000	2,370,000	10,270,000
2008年度	3,800,000	1,140,000	4,940,000
2009年度	3,000,000	900,000	3,900,000
年度			
年度			
総計	14,700,000	4,410,000	19,110,000

研究分野：複合領域

科研費の分科・細目：情報学・計算機システム・ハードウェア

キーワード：製造ばらつき、製造容易化設計、高信頼化、ディペンダブルVLSI

1. 研究開始当初の背景

集積回路の規模拡大に伴い、計算機システムなどのシステムオンチップ化が急速に進んでいる。一方、CMOS スケーリングの終演に近

づいた状況においては、デバイスばらつきの増大と信頼性の低下が集積回路のディペンダビリティ阻害要因として顕在化してくる。すなわち、微細化の極限に近づいたデバイス

には本質的な特性ばらつきが存在する。例えばトランジスタの構造やドーピング量に原子レベルの確率的ゆらぎが発生するため、同一構造の素子でも特性は大きくばらつく。また、露光波長より細密な構造を持つため、製造後の微細パターンの忠実性が損なわれ、特性ばらつきの拡大や製造性の劣化が発生する。また、NBTI やホットキャリア注入により、動作と共に特性が劣化していく現象が顕著に表われる。このため、製造時に良品であっても時間と共に劣化が進行し、動作不良に至る事態が生じる。現在のワーストケース設計を基本とした集積回路ハードウェア設計では、今後、大幅な歩留まりや信頼性の低下と特性の劣化が予想される。デバイスの特性ばらつきや欠陥などに対する強靱な耐性を持つ集積回路ハードウェアの構成ならびに設計技術の開発が喫緊の課題となっている。

2. 研究の目的

デバイスの微細化に伴い、集積回路の製造性が急速に劣化するとともに、デバイス特性のばらつきが顕在化している。本研究の目的は、製造容易性を向上させるとともにばらつきに強靱な構造を持つ要素論理回路(これをロバスト論理ブロックと呼ぶ)の構成法を明らかにすることと、ばらつきや欠陥の影響を救済可能なハードウェアの構成技術を明らかにすることである。

本研究の成果と意義は、ナノスケール集積回路におけるばらつきと信頼性低下による性能限界を打破するための回路テクノロジーとして、ロバスト論理ブロックの構成技術と、それを活用して特性の適応的調節が可能な集積回路のハードウェア構成技術を明らかにすることである。これによりプロセス世代の進歩から性能を最大限に引き出すことが可能となり、製造プロセスの進歩を享受し計算機システムのハードウェア性能を持続的に向上させるための枠組みの構築が可能となる。

3. 研究の方法

本研究の目標は、ナノメートル寸法となった集積回路を対象として、製造容易性を高めるとともにばらつきに対して強靱なロバスト論理ブロックの構成法を明らかにすることと、ばらつきや欠陥の影響を救済可能な回路構成法を検討することである。研究内容は以下の3項目に大別でき、それぞれについて研究方法を説明する。

(1) ばらつきの評価ならびに解析技術の研究

実際のシリコン上で、回路特性がどのようにばらついているのかを評価するテスト回路を作成し、具体的なばらつき特性を実測により求める。ばらつきがどのような成分から構

成されるかを分析し、ばらつきのモデル化を行う。

(2) ロバスト論理ブロックの回路ならびにレイアウト構成法の研究

製造性とばらつき耐性を向上させるためのレイアウト設計指針をシミュレーションとテスト回路の実測に基づき導出する。また、ばらつき耐性を高めたフリップフロップの構成法を明らかにする。

(3) ばらつきや欠陥を救済するハードウェア構成法の研究

ばらつき量をオンチップで計測するモニター回路を開発する。モニター結果を利用することで、基板バイアス等により回路特性の補正が可能となる。

4. 研究成果

研究内容は、ばらつきの評価と解析技術、ばらつき耐性を高めるためのレイアウト構成法、ばらつき耐性を高めたフリップフロップ構成法、チップ間ばらつきのオンチップモニター回路の開発に大別できる。それぞれについて、研究成果を説明する。

(1) ばらつきの評価と解析技術

①ばらつき評価用テスト回路

シリコン上で発生する特性ばらつきを評価するために、リング発振回路(RO)をアレー状に配置したテスト回路を180nm, 90nm, 65nmの製造プロセスで作成した。図1に90nmプロセスで設計した回路の概要を示す。180nmと90nmの回路も同様の構造である。図1の回路では、22種類のROから構成される横40 μ m高さ80 μ mの1セクションを、15行15列アレー状に並べた回路部分を2面チップ上に並べた構造となっている。従って1チップ上に450個の同一ROが均一に配置された構造となっている。この発振周波数のばらつきを測定することにより、チップ上で発生しているばらつきを評価する。

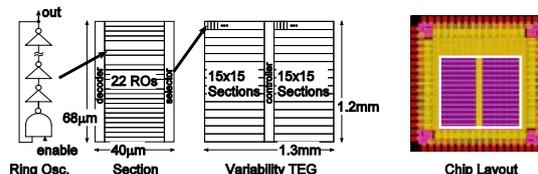


図1 ばらつき評価用テスト回路(90nm)

②チップ間(D2D)ばらつきとチップ内(WID)ばらつき

異なるステージ段数のROを用いて、D2DばらつきとWIDばらつきの量を評価した。表1に、ばらつきの標準偏差(%)を示す。D2Dばらつき量は、65nmで約1.6%、90nmで3.2%、180nmでは4.3%であり、回路構造依存性は弱い。一方、WIDばらつきにはステージ段数依存性がある。もっとも段数の短い7段ROでは、3

プロセスとも 1.5%であり、65nm プロセスでは D2D ばらつきと同量のばらつきがチップ内でも発生している。WID ばらつきはステージ段数が増加すると減少するが、0 には向かわない。これにより、ランダムな成分以外のばらつきがチップ内に存在していることが明らかになった。

表 1 D2D ばらつきと WID ばらつき

RO	D2D vs. WID(average) σ/μ [%]					
	180nm		90nm		65nm	
	D2D	WID	D2D	WID	D2D	WID
INV7	4.6	1.5	3.2	1.5	1.6	1.5
INV13	4.3	1.2	3.2	1.2	1.6	1.1
INV19	4.1	1.1	3.2	1.1	1.6	1.0
INV29	4.2	1.0	3.2	1.0	1.7	0.9
INV59	-	-	-	-	1.6	0.7

③チップ内ばらつきの分析

チップ内ばらつき成分を、チップ内の場所に依存して発生している確定的成分と、チップ内で緩やかに変化する大域的成分、ランダムに発生しているランダム成分の 3 種類に分解する方法を開発した。図 2 にチップ上での発振周波数ばらつきを 3 成分に分解した例を示す。確定的成分は回路構造によらず、ほぼ一定の値を持つ。一方、ランダム成分は、ステージ段数 n を増加させる事により平均化され、 n の $-1/2$ 乗に比例して減少する。この関係を利用して、論理ゲート 1 段あたりのランダムばらつき量を逆算すると、65nm と 90nm では 4.3%となることが判明した。3 σ に換算すると、論理ゲート 1 段で $\pm 13\%$ の変動を考慮することが必要である。

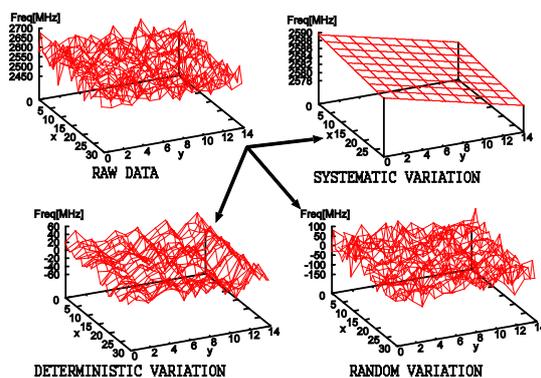


図 2 チップ内ばらつきの確定的成分、大域的成分、ランダム成分への分解

(2) ばらつき耐性を高めるためのレイアウト構成法

製造性を向上させ、ばらつき耐性を高める上でレイアウトの単純化や規則性の向上が効果的であると考えられる。また、レイアウトが回路特性やばらつきに及ぼす影響はプ

ロセス世代毎に異なることも考えられる。そこで、まず露光シミュレーションによりレイアウトパターンの仕上り形状がどのように影響を受けるかを調査した。調査対象としては回路性能にもっとも大きな影響を及ぼすポリシリコンパターンを選定した。異なったピッチで規則的にゲートポリシリコンを配置したパターンや、一部のポリシリコンを除去したパターンに対して露光シミュレーションを行い、露光後のパターンの形状を比較したところ、規則的かつ密にパターンを配置することが露光焦点ずれへの耐性が高いことが判明した。一方、レイアウトに基づいた回路シミュレーションの結果からは、パターンを密に配置した場合にはパターン間の寄生容量が増加するため、動作速度の低下が予測された。そのため、製造プロセス毎に適切なレイアウト制約を定めることが必要になる。

露光シミュレーションならびに回路シミュレーションから予測されたレイアウト制約の効果を、実際のテスト回路にて実験的に評価した。(1)で説明したばらつき評価回路に、レイアウト制約の異なる要素回路を用いた RO を組み込み、それらの発振周波数やそのばらつき量の違いからレイアウト制約の効果を検証した。ここでは、90nm、65nm、45nm の 3 種類の製造プロセスで評価した。1 チップ上の RO の数は、90nm プロセスが 450 個、65nm プロセスが 384 個、45nm プロセスが 12 個である。

まず、ポリシリコンのピッチによる影響を評価した。標準インバータを並べた RO と、標準インバータ間にダミーポリシリコンを配置して、ポリシリコンのピッチを前者の半分と短くした RO を用意した。表 2 に発振周波数とそのばらつき量をまとめた。WID(チップ内)ばらつきは、いずれもピッチを狭めた方が減少している。更に、D2D(チップ間)ばらつきもピッチを狭めた方が減少している。一方、ピッチを狭める事による発振周波数の減少も観測されている。従って、ばらつき量の削減と動作速度はトレードオフの関係にあることが実験でも示された。

次に、レイアウトの規則性が動作速度とそのばらつきに及ぼす影響を評価した。図 3 に示す規則性の異なる NAND2 を用いた RO を用意して、その発振周波数とばらつきを測定した。測定結果を表 3 に示す。規則性が特性ばらつきに及ぼす影響は、プロセス毎さらにはロット毎にも異なっているが、概ねチップ内ばらつきとチップ間ばらつきを抑制する方向に働いていることがわかる。一方、動作速度はダミーポリを入れない構造がもっとも早く、ダミーポリを挿入することにより数パーセントの速度低下が観測された。

以上の結果より、ポリシリコンパターンを

コンタクティッドピッチ程度に保つことはチップ内およびチップ間ばらつきの低減に効果的であることがわかった。一方、動作速度にも影響を及ぼすことから、プロセスからの必要度に応じて適切にレイアウト制約を設定する必要がある。

表 2 ポリピッチが発振周波数とばらつきに及ぼす影響

RO stages	90nm		65nm		45nm LotA		45nm LotB	
	19		29		59		59	
pitch [nm]	780	390	630	315	420	210	420	210
μ	1.0	0.972	1.0	0.975	1.0	0.89	1.0	0.95
WID- σ/μ [%]	1.09	1.08	0.969	0.782	1.60	1.16	1.16	1.00
D2D- σ/μ [%]	3.22	2.90	1.54	1.24	6.86	4.67	4.07	3.57

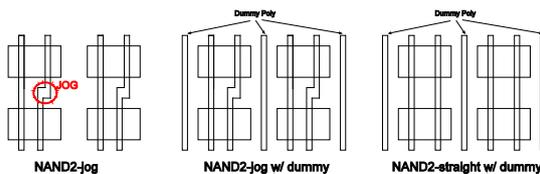


図 3 レイアウト規則性の異なる NAND2 レイアウト

表 3 レイアウト規則性が発振周波数とばらつきに及ぼす影響

RO stages	90nm			45nm LotA		45nm LotB	
	19			59		59	
RO type	jog	jog w/ dummy	straight w/ dummy	straight w/o dummy	straight w/ dummy	straight w/o dummy	straight w/ dummy
μ	1.0	0.976	0.953	1.0	0.90	1.0	0.93
WID- σ/μ [%]	1.20	1.11	1.06	1.16	1.02	0.98	0.98
D2D- σ/μ [%]	3.09	3.04	3.06	5.22	4.24	3.62	3.31

(3) ばらつき耐性を高めたフリップフロップ構成法

チップ内およびチップ間ばらつきを評価した結果、微細プロセスでは大きなチップ内ばらつき成分が存在することが判明した。また、チップ内ばらつきの主成分はランダム成分であった。今後、電源電圧の低下が進むにつれ、ランダムばらつき成分は更に増加すると予想される。ここで、デジタル回路は組み合わせ回路部分とフリップフロップなどの順序論理回路部分に分類できる。組み合わせ回路においては、ランダムばらつき成分による遅延時間変動は、論理段数とともに平均化効果が働き相対的に減少する。従って、ばらつきの影響は、統計的遅延解析等により遅延時間の変動を正確に見積もることで対処可能である。一方、フリップフロップなどの順序論理セルは、少数の素子によりデータのラッチ動作を行うため、チップ内ばらつきの影響を強く受ける。本研究では、フリップフロップの遅延特性がチップ内ばらつきに対して脆弱であることを明らかにした。脆弱性を引き起こす原因を解明し、ばらつき耐性を高めたフリップフロップを開発した。以下に概要を報告する。

一般的なマスタースレーブ型のD-FFを図4に示す。この回路の製造プロセスにおいて、トランジスタ特性の変動範囲は Slow コーナーと Fast コーナーで規定されるものとする。この D-FF のセットアップ時間について考える。一般的な組み合わせ論理ゲートでは、全てのトランジスタが Slow コーナーにある場合がもっとも動作速度が遅くなる(これを SLOW コーナーとする)。一方、このD-FFにおいて、クロックドライバ G8 の NMOS と G9 の PMOS のみが Fast コーナーにあり、その他のトランジスタが Slow コーナーにある場合を考える(これを SKEW コーナーとする)。65nm を想定したシミュレーションでは、SKEW コーナーのセットアップ時間(0-to-1 遷移)は SLOW コーナーより 88%も増加する。これは、D端子から N2 端子へのデータ伝達時間が遅いものに対して、CLK 入力から CLK_N と CLK_P へのクロック伝達時間が短いため、適切なラッチが出来なくなる事が原因である。従って、2つのパスの伝達時間の差を減少させる事により、チップ内ばらつきへの耐性を高めることが出来る。

フリップフロップのばらつき耐性を高めるために、クロックドライバ G8 と G9 のトランジスタサイズを2倍にした FF (CD2 と呼ぶ)、データ入力段のクロックドインバータ G1 をインバータにトランスファーゲートを接続した構造に変更した FF (TGC と呼ぶ)、さらには単相クロックで動作する True-Single-Phase-Clock 構造の FF をばらつき耐性強化 FF として設計した。これらの FF とオリジナルの FF (STD と呼ぶ)を 65nm プロセスで試作し、分周回路として動作させた場合の最高動作周波数を測定した。各 FF は1チップ上に270個集積されており、12チップ測定したため、各 FF につき3240個の特性を評価した。

図5に、電源電圧 1.2V における最高動作周波数分布を示す。表4に平均と標準偏差をまとめた。いずれの回路も標準回路より性能ばらつきは減少している。CD2 は、標準回路より8%速く、ばらつき量は29%減少した。耐ばらつき性能は低電圧動作時において更に明確になる。図6は、電源電圧 0.7V における STD と CD2 の最高動作周波数分布を示す。表4に全回路について最高動作周波数の平均と標準偏差をまとめた。例えば、CD2 の場合、動作速度は14%速く、ばらつき量は55%も減少した。一方、耐ばらつき FF は、レイアウト面積や消費電力のオーバーヘッドも発生する。従って、使用する場所に応じた適切な FF を選択する事が重要である。

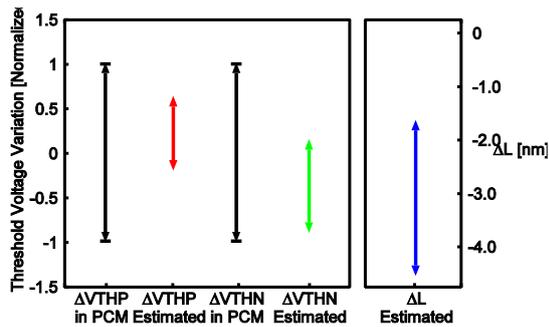


図8 プロセスパラメータの推定結果

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

① Hiroki Sunagawa, Haruhiko Terada, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, Effect of Regularity-Enhanced Layout on Variability and Circuit Performance of Standard Cells, IPSJ Transactions on System LSI Design Methodology, 査読あり, vol. 3, 2010, pp. 130-139

② Takayuki Fukuoka, Akira Tsuchiya, Hidetoshi Onodera, Statistical Gate Delay Model for Multiple Input Switching, IEICE Transactions on Fundamentals, 査読あり, vol. E92-A, no12, 2009, pp. 3070-3078

[学会発表] (計 26 件)

① A. K. M. Mahfuzul Islam, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, Process-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variability, TAU Workshop 2010, 18 March 2010, San Francisco

② Hidetoshi Onodera, Haruhiko Terada, Characterization of WID Delay Variability Using RO-array Test Structures, Proceedings 2009 8th IEEE International Conference on ASIC, 21 October 2009, Changsha

6. 研究組織

(1) 研究代表者

小野寺 秀俊 (ONODERA HIDETOSHI)
 京都大学・情報学研究科・教授
 研究者番号：80160927

(2) 研究分担者

小林 和淑 (KOBAYASHI KAZUTOSHI)
 京都工芸繊維大学・工芸科学研究科・教授

研究者番号：70252476
 土谷 亮 (TSUCHIYA AKIRA)
 京都大学・情報学研究科・助教
 研究者番号：20432411

(3) 連携研究者 ()

研究者番号：