

様式 C-19

科学研究費補助金研究成果報告書

平成 22 年 4 月 1 日現在

研究種目: 基盤研究 (B)

研究期間: 2007 ~ 2009

課題番号: 19300013

研究課題名 (和文) 汎用メモリを使用した連想メモリの構成とその応用に関する研究

研究課題名 (英文) A study on the realization and application of content-addressable memory using general-purpose memory

研究代表者

笹尾 勤 (SASAO TSUTOMU)

九州工業大学・大学院情報工学研究院・教授

研究者番号: 20112013

研究成果の概要 (和文): 情報処理の主要な操作の一つに、大量のデータ中から、所望のデータを効率良く検索する操作がある。この操作を直接実行する装置として、連想メモリ (CAM: Content Addressable Memory) が用いられている。本研究は、CAM と同等の機能を通常の汎用メモリ (RAM) と論理回路を用いて構成する方法を開発し、いくつかの応用分野について、CAM の各応用の特徴を明確にし、それに合わせた CAM 機能の構成法を考案しその評価を行った。

研究成果の概要 (英文): We considered logic design methods for index generation functions. An index generation function is a mathematical model for a CAM function, which efficiently finds a desired data in a large amount of data. It is one of the most important operations in the information processing. For several applications, we developed various design methods and compared them with existing methods.

交付額

(金額単位: 円)

	直接経費	間接経費	合計
2007年度	2,700,000	810,000	3,510,000
2008年度	1,700,000	510,000	2,210,000
2009年度	1,700,000	510,000	2,210,000
総計	6,100,000	1830,000	7,930,000

研究分野: 論理設計

科研費の分科・細目: 情報学・計算機システム・ネットワーク

キーワード: 計算機システム、電子デバイス、CAM

1. 研究開始当初の背景

情報処理の主要な操作の一つに、大量のデータ中から、所望のデータを効率良く検索する操作がある。この操作を直接実行する装置として、連想メモリ (CAM: Content Addressable Memory) が用いられている (図 1)。例えば、インターネットにおけるネットワーク・ルータを考える。IPV6 時代では、IP アドレスは 128 ビットである。ネットワーク・ルータでは、128 ビットの入力の場合のうちで、40000 程度の組合せを記憶する必要がある。この処理を専門に行う半導体 CAM 素子も発

売されているが、その動作は本質的に並列処理であり、消費電力は、通常のメモリ (RAM) に比べると非常に大きい。CAM では、すべてのセルが並列に動作するため、1 ビットの CAM セルあたりの消費電力は、通常の RAM の数十倍である。また、チップ自体の価格も、通常のメモリ (RAM) に比べると、数十倍である (図 2 参照)。CAM は、ルータの他に、インターネットのウイルスや迷惑メールの検出にも利用されている。CAM の応用は広い。インターネットの分野では、IP 経路テーブル、ウイルスチェック、ネットワーク侵入検出

などに応用できる。また、パターン認識の分野では、DNA 解析、指紋照合などの応用がある。

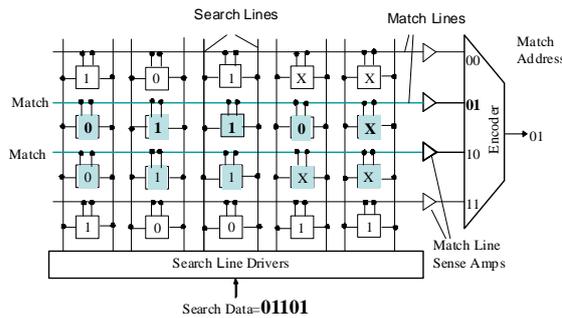


図 1

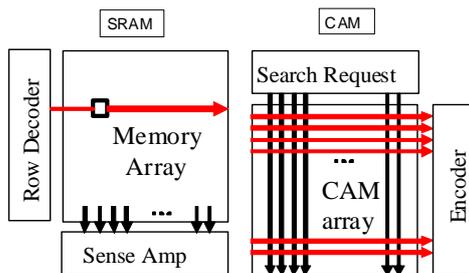


図 2

本研究で得られた方法で従来 CAM の部分を RAM で実現することにより、消費電力の大幅な削減が期待できる。特に、ネットワーク機器は、電源を入れたままにするため、消費電力を削減することは、地球環境の面からも重要である。

2. 研究の目的

本研究は、CAM と同等の機能を通常の汎用メモリ (RAM) と論理回路を用いて構成する方法を開発し、その応用分野について検討することを第一の目的とする。また、CAM の各応用の特徴を明確にし、それに合わせた CAM の構成法を考案し、その評価を行うことを第二の目標とする。本研究では、以下の二つの CAM 機能について考察する。

BCAM: 検索パターンと完全に一致するパターンが蓄積パターン中に存在するか否かを判定する機能。

TCAM: 検索パターンの一部と一致するパターンが蓄積パターン中に存在するか否かを判定する機能。

3. 研究の方法

(1) インターネット用アドレス生成回路の BCAM(Binary Content Addressable Memory) 機能を模擬する

現在使用されているインターネットの IP アドレスは、32 ビットで表現されているもの

が多い。アドレス表は、与えられた IP アドレスに対して、宛先の詳細が掲載されているメモリのアドレスを生成する。

宛先数が 40000 と仮定すると、アドレス生成回路の入力数は 32、出力数は 16 となる。宛先のアドレスは、ランダムに分布している。アドレス生成回路を通常のランダム論理回路として合成すると、非常に大きな回路となる。また、アドレスが変更になった場合、回路も再設計する必要がある。アドレス生成回路を単一のメモリで実現すると、入力数が 32 なので、4Giga 語となり、非常に大きなメモリとなる。CAM で実現する場合は、語数が 40000 となり、これもかなり大きな装置となる。ただし、単一メモリで実現する場合や、CAM で実現する場合には、アドレス表に修正があっても簡単に対応可能である。

本研究では、中規模メモリを多用して、BCAM と等価な回路を構成する。初年度は、IP アドレス表から、メモリ回路を自動的に生成するシステムを開発する。インターネットでは、1 秒間の間に何度もアドレス表が変更されるため、アドレス表が変更された場合に、高速に、メモリを修正する手法を開発する。なるべく、少量のメモリを部分的に修正することにより、高速にアドレス生成回路を変更する方法を開発する。また、実際に使用されている IP アドレスの分布データを用いて、最適回路のアーキテクチャを調べる。

(2) アドレス表用の TCAM の複雑度を理論的に解析する

インターネットのアドレス方式として、LPM(Longest Prefix Matching) といい、与えられた検索パターンに対して、貯蔵パターンでプレフィックスが最も長くマッチしたパターンのアドレスを返す方式が用いられている。このような操作をメモリの多段論理回路で実行する際に、必要なメモリ量の上限や下限を調べる。LPM では、貯蔵パターン中に 0 と 1 の他に * (ドントケア) を許す。* は、すべての文字にマッチするものとする (図 3)。

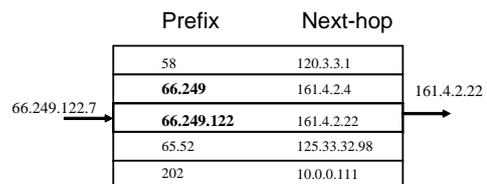


図 3

(3) FPGA ボード上への実装を検討する
アドレス生成回路の専用ハードウェアを

FPGA とメモリを搭載したボード上実現する。また、アドレス生成回路を高速に書き換えるための回路もこのボード上に試作し、実際の応用について動作確認を行なう。

(4) 実用的な CAM を模擬する回路の合成法とその応用を検討する

IPv4(32 ビットアドレス) 用に開発したシステムを IPv6(128 ビットアドレス) 用に増強する。入力数が 128 となるので、単純なメモリ実現では、必要なハードウェア量は 2^{128} word となり実現不可能である。大規模回路の分解の手法を検討する。また、そのための専用アルゴリズムを開発する。実用システムにおいて利用できるようにボードシステムを完成する。これには、ハードウェアと組み込みソフトウェアの両方の開発が必要である。

4. 研究成果

- (1) CAM と同等の機能を行う関数として、インデックス生成関数を定義し、その数学的性質を解析した。重み k のインデックス生成関数 $F(X_1, X_2)$ は、 $F(X_1, X_2) = G(H(X_1), X_2)$ の形で分解可能である。ここで、 $H(X_1)$ は、重みが k 以下のインデックス生成関数であり、 $G(Y_1, X_2)$ は、重みが k のインデックス生成関数である。
- (2) 小型メモリを多数組み合わせ、インデックス生成関数を実現する手法を開発した。この手法を用いると、任意のインデックス生成関数を複数の小型メモリで構成された回路にマッピング可能である。

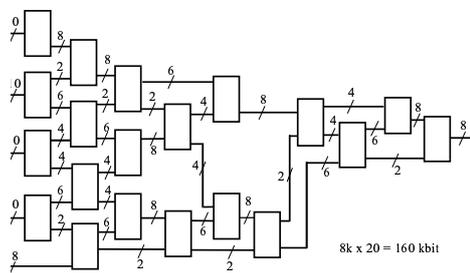


図 4

- (3) 大規模なメモリと小型メモリを組み合わせ、インデックス生成関数を能率よく実現する手法を開発した。ハイブリッド法では、最初の IGU で、88%の登録ベクトルが実現できる。また、スーパーハイブリッド法では、二つの IGU で、96%の登録ベクトルが実現できる。

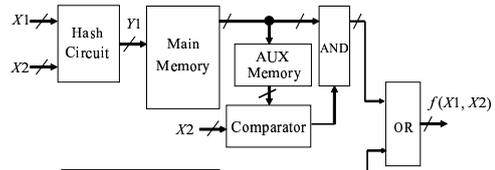


図 5

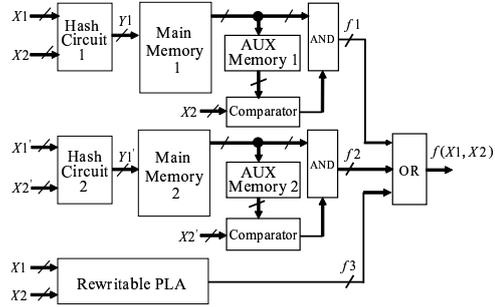


図 6

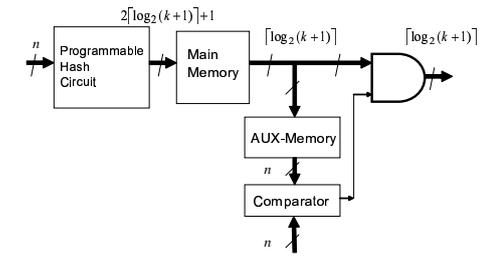


図 7

- (4) (3) で開発したユニット (IGU) を複数用いるで、大規模なインデックス生成関数を能率よく実現する手法を開発した。インデックス生成回路を通常のランダム論理回路として合成すると、非常に大きな回路となる。また、インデックスが変更になった場合、回路も再設計する必要がある。インデックス生成回路を単一のメモリで実現すると、入力数 32 で、4Giga 語となり、極めて大きなメモリが必要となる。50 万パターン程度のウイルスを検出回路の実装方法として、並列ふるい法 (図 8) を開発した。hash 回路は、インデックスをランダムに分布させるために用いている。本手法は、メモリ効率に関しては優れているが、大きさの異なる IGU が多数 (8 個以上) 必要であり、回路も複雑となる。また、ウイルスパターンの追加や削除のアルゴリズムも複雑である。

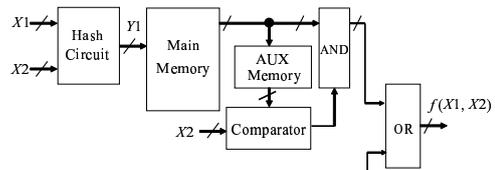


図 8

- (5) 不完全定義関数の変数最小化の手法を確立した。この手法はIGUを能率よく設計する際に利用できる。また、必要な変数の個数を確率的に推測する方法を確立した。重みが k の不完全定義インデックス生成関数を表現するためには、 $2^{\lceil \log_2(k+1) \rceil}$ 個の変数があれば殆どの場合、十分であることを確率のおよび実験的に示した。また、最小被覆を用いて依存変数を最小化する方法について検討した。
- (6) 線形変換を行うことによって、不完全定義関数の変数最小化が可能であることを示した。線形変換を利用して依存変数を削減する方法について検討した。もとの入力変数(原始変数)をEXORして得られる変数を多重化変数という。不完全定義インデックス関数の場合、もとの変数と多重化変数を併用すると、関数表現のために必要な変数を大幅に削減できる。変数選択のヒューリスティック法として、情報利得法を開発した。原始変数(1入力ハッシュ回路)のみを用いる場合と、多重化変数(2入力ハッシュ回路)を用いる場合の実験結果を示し、多重化変数を用いることにより、より多くの入力変数を削減可能なことを実験的に示した。

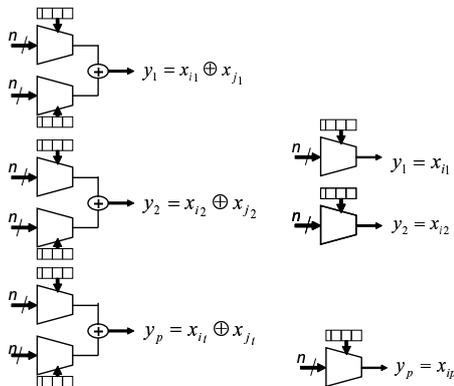


図 9

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 8 件)

- ① S. Nagayama and T. Sasao, "Complexities of graph-based representations for elementary functions," *IEEE Transactions on Computers*, Vol.C-58, No.1, pp.106-119, Jan. 2009, 査読有。
- ② S. Nagayama, T. Sasao, and J. T. Butler, "Design method for numerical function generators using recursive segmentation and EVB-DDs," *IEICE Transaction on Fundamentals*

of Electronics, Communications and Computer Sciences, Vol.E90-A, No.12, pp.2752-2761, Dec. 2007, 査読有。

- ③ M. Matsuura and T. Sasao, "BDD representation for incompletely specified multiple-output logic functions and its application to the design of LUT cascades," *IEICE Transaction on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E90-A, No.12, pp.2770-2777, Dec. 2007, 査読有。
- ④ Y. Iguchi, T. Sasao, and M. Matsuura, "On designs of radix converters using arithmetic decompositions," *Journal of Multiple-Valued Logic*, Vol.13, No.4-6, pp.503-520, 2007, 査読有。
- ⑤ T. Sasao, S. Nagayama and J. T. Butler, "Numerical function generators using LUT cascades," *IEEE Transactions on Computers*, Vol.56, No.6, pp.826-838, June 2007, 査読有。
- ⑥ Y. Iguchi, T. Sasao, and M. Matsuura, "Design methods of radix converters using arithmetic decompositions," *IEICE Trans. on Information and Systems*, Vol.E90-D, No.6, pp.905-914, June 2007, 査読有。
- ⑦ D. Debnath and T. Sasao, "A new equivalence relation of logic functions and its application in the design of AND-OR-EXOR networks," *IEICE Transaction, Special Section of Discrete Mathematics and Its Applications*, Vol.E90-A, No.5, pp.932-940, May 2007, 査読有。
- ⑧ H. Qin, T. Sasao, and J. T. Butler, "On the design of LPM address generators using multiple LUT Cascades on FPGAs," *International Journal of Electronics*, Vol.94, Issue 5, pp.451-467, May 2007, 査読有。

〔学会発表〕(計 37 件)

- ① 清水敬介, 中原啓貴, 笹尾勤, 松浦宗寛, "FPGA 上に実現したいいくつかの近似マッチングアルゴリズムの比較に関する研究", 電子情報通信学会 VLSI 設計技術研究会, VLD2009-123, pp.145-150, 沖縄, 2010 年 03 月 12 日, 査読無。
- ② 中原啓貴, 笹尾勤, 松浦宗寛, 川村嘉郁, "並列ブランピング・プログラム・マシンを用いたパケット分類器について", 電子情報通信学会 RECONF 研究会, Reconf2009-77, pp.143-148, 慶応大, 2010 年 01 月 27 日, 査読無。

- ③ 清水 敬介, 笹尾 勤, 中原 啓貴, “Smith-Waterman アルゴリズムの FPGA 上への実装とその評価に関する研究”, 電子情報通信学会「第 23 回多値論理とその応用研究会」, MVL10-4, pp.16-23, 明治大学, 2010 年 01 月 9 日, 査読無.
- ④ 笹尾 勤, “4 値 CAM を用いた分類関数の実現について”, 電子情報通信学会「第 23 回多値論理とその応用研究会」, MVL10-5, pp.24-32, 明治大学, 2010 年 01 月 9 日, 査読無.
- ⑤ 中原 啓貴, 笹尾 勤, 松浦 宗寛, “種々の決定グラフマシンのアーキテクチャの比較について”, 電子情報通信学会「第 23 回多値論理とその応用研究会」, MVL10-6, pp.33-42, 明治大学, 2010 年 01 月 9 日, 査読無.
- ⑥ 福山 泰介, 笹尾 勤, 松浦 宗寛, “3 アドレス QDD マシン用コードの最適アルゴリズムについて”, 電子情報通信学会 RECONF 研究会, Reconf2009-52, pp.67-72, 高知, 2009 年 12 月 4 日, 査読無.
- ⑦ 中原 啓貴, 笹尾 勤, 松浦 宗寛, 川村 嘉郁, “並列ふるい法と MPU を用いたウイルス検出エンジンについて”, 電子情報通信学会 RECONF 研究会, Reconf2009-45, pp.25-30, 高知, 2009 年 12 月 3 日, 査読無.
- ⑧ H. Nakahara, T. Sasao, M. Matsuura, and Y. Kawamura, “A virus scanning engine using a parallel finite-input memory machines and MPUs,” *19th International Conference on Field Programmable Logic and Applications (FPL-2009)*, Prague. Czech Republic, Aug. 31-Sept. 2, 2009, 査読有.
- ⑨ H. Nakahara, T. Sasao, M. Matsuura, and Y. Kawamura, “The Parallel sieve method for a virus scanning engine,” *12th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools (DSD 2009)*, Patras, Greece, Aug. 27-29, 2009, 査読有.
- ⑩ T. Sasao, T. Nakamura, and M. Matsuura, “Representation of incompletely specified index generation functions using minimal number of compound variables,” *12th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools (DSD 2009)*, Patras, Greece, Aug. 27-29, 2009, 査読有.
- ⑪ T. Sasao, “On the number of LUTs to realize sparse logic functions,” *18th International Workshop on Logic and Synthesis, (IWLS-2009)*, pp.64-71, Berkeley, CA, U.S.A., July 31-Aug. 2, 2009, 査読有.
- ⑫ T. Sasao and A. Mishchenko, “LUTMIN: FPGA logic synthesis with MUX-based and cascade realizations,” *18th International Workshop on Logic and Synthesis, (IWLS-2009)*, Berkeley, pp.310-316, CA, U.S.A., July 31-Aug. 2, 2009, 査読有.
- ⑬ J. T. Butler and T. Sasao, “Logic functions for cryptography - A tutorial,” *Reed-Muller Workshop (RM2009)*, pp.127-136, May 23-24, 2009, 査読有.
- ⑭ S. Nagayama, and T. Sasao, and J. T. Butler, “Floating-point numerical function generators using EVMDDs for monotone elementary functions,” *39th International Symposium on Multiple-Valued Logic (ISMVL 2009)*, pp.349-355, May 21-23, 2009, 査読有.
- ⑮ T. Sasao, H. Nakahara, M. Matsuura, Y. Kawamura, and J. T. Butler, “A quaternary decision diagram machine and the optimization of its code,” *39th International Symposium on Multiple-Valued Logic (ISMVL 2009)*, pp.362-369, May 21-23, 2009, 査読有.
- ⑯ H. Nakahara, T. Sasao, M. Matsuura, and Y. Kawamura, “Emulation of sequential circuits by a parallel branching program machine,” *5th International Workshop on Applied Reconfigurable Computing*, Karlsruhe, Germany, March 16-18, 2009, 査読有. *Lecture Notes in Computer Science*, LNCS5443, pp.261-267, March 2009, 査読有.
- ⑰ 中原 啓貴, 笹尾 勤, 松浦 宗寛, 川村 嘉郁, “並列ブランピング・プログラム・マシンを用いた順序回路の模擬について”, 電子情報通信学会 VLSI 設計技術研究会, 那覇, 2009 年 3 月 12 日, 査読無.
- ⑱ 中村 高明, 笹尾 勤, 松浦 宗寛, “不完全定義インデックス生成関数の変数最小化について”, 電子情報通信学会 VLSI 設計技術研究会, 那覇, 2009 年 3 月 11 日, 査読無.
- ⑲ 永山 忍, 笹尾 勤, J. T. Butler, “書換え可能な二変数関数の数値計算回路について”, 電子情報通信学会 リンコンフィギャラブルシステム研究会, RECONF2008-49, 北九州市, 2008 年 11 月 18 日, 査読無.
- ⑳ T. Sasao, “On the number of variables to represent sparse logic functions,” *ICCAD-2008*, pp.45-51, San Jose, California, USA, Nov.10-13, 2008, 査読有.

- ⑲ S. Nagayama, T. Sasao, and J. T. Butler, "Numerical function generators using bilinear interpolation," *FPL-2008*, pp.463-466, Heidelberg, Germany, Sept. 8-10, 2008, 査読有.
- ⑳ S. Nagayama, J. T. Butler, and T. Sasao, "Programmable numerical function generators for two-variable functions," *DSD 2008, 10th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools*, pp.891-898, Parma, Italy, Sept. 1-5, 2008, 査読有.
- ㉑ T. Sasao and Y. Iguchi, "On the complexity of single-digit error detection function in redundant residue number system," (*DSD-2008, 10th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools*), pp.880-887, Parma, Italy, Sept. 1-5, 2008, 査読有.
- ㉒ T. Sasao, "On the number of variables to represent sparse logic functions," *17th International Workshop on Logic & Synthesis (IWLS-2008)*, pp.233-239, Lake Tahoe, California, USA, June 4-8, 2008, 査読有.
- ㉓ T. Sasao, "On the complexity of classification functions," *International Symposium on Multiple-valued Logic (ISMVL-2008)*, Dallas, TX, May 22-24, 2008, (CD-ROM), 査読有.
- ㉔ S. Nagayama, and T. Sasao, "Representations of two-variable elementary functions using EVMDDs and their applications to function generators," *International Symposium on Multiple-valued Logic (ISMVL-2008)*, Dallas, TX, May 22-24, 2008, (CD-ROM), 査読有.
- ㉕ 笹尾勤, "メモリ構造をしたプログラム可能論理素子とその応用", 電子情報通信学会 2008 総合全国大会, TK-2-2, 北九州学術研究都市, 2008 年 3 月 18-21 日, 査読無.
- ㉖ T. Sasao and H. Nakahara, "Implementations of reconfigurable logic arrays on FPGAs," *International Conference on Field-Programmable Technology 2007 (ICFPT'07)*, pp.217-223, Dec. 12-14, Kitakyushu, Japan, 2007, 査読有.
- ㉗ H. Nakahara, T. Sasao, and M. Matsuura, "A hybrid logic simulator using LUT cascade emulators," *The 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2007)*, pp.135-141, Sapporo, Japan, Oct. 15-16, 2007, 査読有.
- ㉘ T. Sasao and M. Matsuura, "An implementation of an address generator using hash memories," *DSD 2007, 10th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools*, pp.69-76, Lubeck, Germany, Aug. 27-31, 2007, 査読有.
- ㉙ S. Nagayama, T. Sasao, and J. T. Butler, "Design method of numerical function generators based on polynomial approximation for FPGA implementation," *DSD 2007, 10th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools*, pp.280-287, Lubeck, Germany, Aug. 27-31, 2007, 査読有.
- ㉚ T. Sasao, "Sum-of-generalized products expressions: Applications and minimization," *IWLS-2007*, pp.372-379, San Diego, California, U.S.A, May 30-June 1, 2007, 査読有.
- ㉛ T. Sasao and J. T. Butler, "The eigenfunction of the Reed-Muller transformation," *RM-2007*, Oslo, Norway, May 16, 2007, 査読有.
- ㉜ S. Nagayama and T. Sasao, "Representations of elementary functions using edge-valued MDDs," *ISMVL-2007*, Oslo, Norway, May 13-16, 2007, (CD-ROM), 査読有.
- ㉝ Y. Iguchi, T. Sasao, and M. Matsuura, "On designs of radix converters using arithmetic decompositions," *ISMVL-2007*, Oslo, Norway, May 13-16, 2007, (CD-ROM), 査読有.
- ㉞ T. Sasao, "An Application of 16-Valued logic to design of reconfigurable logic arrays," *ISMVL-2007*, Oslo, Norway, May 13-16, 2007, (CD-ROM), 査読有.

〔図書〕 (計 1 件)

- ① T. Sasao and J. T. Butler, (ed) *Progress in Applications of Boolean Functions*, Morgan & Claypool Publishers, Jan 2010, pp.1-153, (Digital Circuits & Systems Series).

〔その他〕

ホ - ムペ - ジ等

<http://www.lsi-cad.com/sasao/index.html>

6. 研究組織

- (1) 研究代表者
 笹尾 勤 (SASAO TSUTOMU)
 九州工業大学・大学院情報工学研究院・教授
 研究者番号: 20112013
- (2) 連携研究者
 井口 幸洋 (IGUCHI YUKIHIRO)
 明治大学・理工学部・教授
 研究者番号: 60201307