

平成22年 5月24日現在

研究種目：基盤研究(B)

研究期間：2007～2009

課題番号：19360002

研究課題名（和文） 室温動作を可能にするIV族半導体量子デバイスの製作

研究課題名（英文） Group IV Semiconductor Quantum Device Fabrication for Room Temperature Operation

研究代表者

櫻庭 政夫 (SAKURABA MASAO)

東北大学・電気通信研究所・准教授

研究者番号：30271993

研究成果の概要（和文）：高 Ge 比率 ($0.4 < x \leq 1$) の歪 $\text{Si}_{1-x}\text{Ge}_x$ 層表面への Si キャップ層エピタキシャル成長において、低温 SiH_4 処理や従来の SiH_4 の代わりに反応性の高い Si_2H_6 を原料ガスとして用いて Si 堆積を低温化・高速化させることにより、高 Ge 比率 Si/歪 $\text{Si}_{1-x}\text{Ge}_x$ 量子ヘテロ構造の界面ラフネス発生を効果的に抑制でき、これを共鳴トンネルダイオード製作プロセスに適用することにより、室温での負性コンダクタンス特性の向上につながることを明らかにした。

研究成果の概要（英文）：Low-temperature SiH_4 exposure or high Si growth rate by use of Si_2H_6 gas for Si cap layer formation on $\text{Si}_{1-x}\text{Ge}_x$ effectively suppress interface roughness in high-Ge-fraction Si/ $\text{Si}_{1-x}\text{Ge}_x$ heterostructures. By utilizing the method into resonant tunneling diode fabrication process, negative differential conductance characteristics at room temperature is demonstrated.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	4,700,000	1,410,000	6,110,000
2008年度	4,700,000	1,410,000	6,110,000
2009年度	4,800,000	1,440,000	6,240,000
年度			
年度			
総計	14,200,000	4,260,000	18,460,000

研究分野：半導体工学

科研費の分科・細目：(応用物理学・工学基礎)・(応用物性・結晶工学)

キーワード：①ヘテロ構造 ②IV族半導体③量子デバイス④室温動作⑤エピタキシャル成長

1. 研究開始当初の背景

従来、量子デバイスは主に製造コストの高い化合物半導体を用いて研究される一方、Si LSI への搭載が比較的容易であると考えられる IV 族系半導体を用いた量子デバイス試作

の報告例があった。しかしながら、実用化に不可欠な特性再現性に関する評価がなされておらず、室温動作する量子デバイスの具現化と集積回路への搭載において求められる高性能化のための検討は十分に行われてい

なかった。それに対して近年、申請者らは、Si(100)基板に格子整合した高品質 Si/歪 Si_{1-x}Ge_xヘテロ構造 ($x=0.2$) を適用することにより、Si 障壁層を 2 nm まで薄層化しても明瞭な電流ピークを伴う負性抵抗特性が発現することを見だし、0.19V という低電圧において 3kA/cm² を超える高ピーク電流密度 (11 K、ピーク/バレー電流比 2.3) を再現性良く得ることに成功していた。その電流値はほぼデバイス面積に比例しており、デバイス面内での特性ばらつきが極めて少ないことを示していた。この負性抵抗特性は 130 K 以上では消失したが、これは Si/歪 Si_{1-x}Ge_x ヘテロ構造中に形成される複数の共鳴準位間の相互干渉によるものと考えられた。さらに申請者らは、量子井戸とスペーサの一部を $x=0.3$ まで高 Ge 比率化して障壁高さを高くすることにより、この相互干渉を抑制することを試み、200K 付近の高温領域でも負性抵抗特性を発現させることに成功した。同時に、この高 Ge 比率化は共鳴準位間隔の拡大にも有効であることも見いだしたことから、今後、さらに高 Ge 比率化 ($x>0.4$) を進めていくことにより、室温付近での負性抵抗特性発現も期待された。このような申請者らの成果は、Si/歪 Si_{1-x}Ge_x ヘテロ構造が化合物半導体に比べて必ずしも劣っているわけではなく、Si/歪 Si_{1-x}Ge_x 系における複数の共鳴準位形成を考慮した高 Ge 比率ヘテロ構造を適用することで室温動作する可能性があることを示唆する重要な成果であった。

2. 研究の目的

高 Ge 比率 ($0.4<x\leq 1$) Si/歪 Si_{1-x}Ge_x 量子ヘテロ構造を、共鳴トンネルダイオードをはじめとする量子デバイスに適用し、さらに、C, N, P, B 等の不純物配置を人工的に制御して局所的な歪やポテンシャル変調を導入し、室温での量子効果発現を具現化することが目的である。熱 CVD 法による高 Ge 比率 ($x>0.4$) ヘテロ構造形成においては、ヘテロ界面でのラフネス発生やミキシングの顕在化の問題を抑制しつつ、高品質ナノメートルオーダーIV族系量子ヘテロ構造を実現する。また、量子ヘテロ構造内への原子層ドーピングの効果も明らかにする。最終的には、熱 CVD 法に限定せず、ECR プラズマ CVD 法の適用も視野に入れ、 $0.4<x\leq 1$ の幅広い Ge 比率範囲において量子デバイス特性の Ge 比率依存性を探索し、量子デバイスの室温動作・高性能化の指針を得ることを目指す。

3. 研究の方法

高潔浄減圧熱 CVD 法による Si(100)基板上

への Si_{1-x}Ge_x 薄膜 ($0.4<x\leq 1$) と Si 薄膜のエピタキシャル成長を従来より低温 (500°C 以下) で行い、原子オーダーで平坦なヘテロ界面を有する高品質な高 Ge 比率 ($0.4<x\leq 0.7$) ナノメートルオーダー量子ヘテロ構造形成を行う。同時に、量子ヘテロ構造の品質劣化を回避しながら、任意の位置へのサブナノ精度原子層ドーピングの効果についても研究を進める。そして、高 Ge 比率量子ヘテロ構造を適用した量子デバイス (共鳴トンネルダイオード) を製作・特性評価を行う。さらに、ECR プラズマ CVD により実現される高 Ge 比率 ($0.7<x\leq 1$) Si/歪 Si_{1-x}Ge_x 量子ヘテロ構造の量子デバイスへの適用を行い、 $0.4<x\leq 1$ の幅広い Ge 比率範囲において室温での量子効果特性の発現と高性能化のための指針を得る。また、バンド間トンネルを利用した新しい障壁構造の量子デバイスを試作して特性評価し、上位共鳴準位との干渉効果の排除による室温動作量子デバイスの超高性能化への可能性を探索する。

4. 研究成果

平成 19 年度は、表面・界面ラフネス 0.2 nm 以下の高 Ge 比率 ($0.4<x\leq 0.7$) Si/歪 Si_{1-x}Ge_x 量子ヘテロ構造形成の実現を目標とし、SiH₄-GeH₄ 系熱 CVD による高 Ge 比率・高度歪 IV 族半導体ヘテロエピタキシャル積層について研究を進めた結果、高 Ge 比率 (48%) の歪 Si_{1-x}Ge_x 層表面へのナノメートルオーダー極薄 Si 障壁層形成を 500°C で行うと表面ラフネスが増大するが、Si 障壁層形成前において歪 Si_{1-x}Ge_x 層表面に 450°C での低温 SiH₄ 処理を適用することにより、ラフネス発生を効果的に抑制できることを見だし、原子層オーダーで平坦な高 Ge 比率・高度歪ヘテロエピタキシャル構造を実現することに成功した。さらに、このような低温 SiH₄ 処理を Ge 比率変調構造の高 Ge 比率共鳴トンネルダイオード製作プロセスに適用することにより、Si 障壁層厚さ 2 nm において 230K 付近まで負性抵抗特性を観測することに成功した。

平成 20 年度は、高 Ge 比率 (58%) の歪 Si_{1-x}Ge_x 層表面への 500°C でのナノメートルオーダー極薄 Si 障壁層形成前における 400°C での低温 SiH₄ 処理により、0.58 という高い Ge 比率においてもラフネス発生を効果的に抑制できることを見だし、原子層オーダーで平坦な高 Ge 比率・高度歪ヘテロエピタキシャル構造を実現することに成功した。また、このような低温 SiH₄ 処理を Ge 比率変調構造の高 Ge 比率共鳴トンネルダイオード製作プロセスに適用することにより、Si 障壁層厚さ 1.8 nm において 290K 付近まで負性抵抗特性を観測することに成功した。さらに、Si 障

壁層厚さを 1.4 nm まで薄膜化することによっても、負性抵抗発現を高温化させることができることを明らかにした。

平成 21 年度は、歪 $\text{Si}_{0.42}\text{Ge}_{0.58}$ 上への Si キャップ層エピタキシャル成長において、従来の SiH_4 の代わりに反応性の高い Si_2H_6 を原料ガスとして用いることにより、Si 堆積を低温化・高速化させることにより、界面ラフネス発生を効果的に抑制でき、室温での負性コンダクタンス特性の向上につながることを明らかにした。そして、このような低温・高速成長 Si を高 Ge 比率共鳴トンネルダイオード製作プロセスに適用することにより、Si 障壁層厚さ 1.0-2.6 nm の範囲内において、明瞭な室温負性コンダクタンス特性を高い均一性で発現させることに成功した。さらに、室温付近の非共鳴電流の温度依存性から、熱キャリア放出によるキャリア輸送が支配的であり、特性向上のためには実効的障壁高さの大きい障壁材料の導入が有効であるという指針を得た。

以上のように、IV 族半導体量子デバイスの室温動作・高性能化のために重要な成果を得た。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

- ① T. Seo, K. Takahashi, M. Sakuraba and J. Murota, Improvement in Negative Differential Conductance Characteristics of Hole Resonant-Tunneling Diodes with High Ge Fraction Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, Solid-State Electron., 査読有、Vol.53, 2009, 912-915
- ② T. Seo, M. Sakuraba and J. Murota, Impact of Ge Fraction Modulation upon Electrical Characteristics of Hole Resonant Tunneling Diodes with Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, Thin Solid Films, 査読有、Vol.517, 2008, 110-112
- ③ T. Seo, M. Sakuraba and J. Murota, Electrical Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction ($x>0.4$) Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, Appl. Surf. Sci., 査読有、Vol.254, 2008, pp.6265-6267
- ④ M. Sakuraba, R. Ito, T. Seo and J. Murota, Fabrication of Hole Resonant Tunneling Diodes with Nanometer Order Heterostructures of Si/Strained $\text{Si}_{1-x}\text{Ge}_x$ Epitaxially Grown on Si(100)

(Invited Paper)、ECS Trans.、査読有、Vol.11, 2007, pp.131-139

[学会発表] (計 9 件)

- ① M. Sakuraba and J. Murota, Resonant Tunneling Diodes with Highly Strained Heterostructures of Si/ $\text{Si}_{1-x}\text{Ge}_x$ Epitaxially Grown on Si(100), 2nd French Research Organizations-Tohoku University Joint Workshop on Frontier Materials, Nov. 29-Dec. 3, 2009, Sendai, Japan
- ② M. Sakuraba and J. Murota, Resonant Tunneling Diodes with Highly Strained Heterostructures of Si/ $\text{Si}_{1-x}\text{Ge}_x$ Epitaxially Grown on Si(100) (Invited Paper), 1st Int. Workshop on Si Based Nano-Electronics and -Photonics (SiNEP-09), Sep. 20-23, 2009, Vigo, Spain
- ③ M. Sakuraba, R. Ito, T. Seo, and J. Murota, Fabrication of Hole Resonant Tunneling Diodes Utilizing Nanometer-Order Strained SiGe/Si(100) Heterostructures with High Ge Fraction, 4th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sep. 25-27, 2008, Sendai, Japan
- ④ K. Takahashi, T. Seo, M. Sakuraba and J. Murota, Hole Resonant Tunneling Diodes Utilizing High Ge Fraction ($x>0.5$) Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure with Improved Performance at Higher Temperature above 200 K, 4th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sep. 25-27, 2008, Sendai, Japan
- ⑤ T. Seo, K. Takahashi, M. Sakuraba and J. Murota, Improvement in Negative Differential Conductance Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 4th Int. SiGe Technology and Device Meeting (ISTDM2008), May 11-14, 2008, Hsinchu, Taiwan
- ⑥ T. Seo, M. Sakuraba and J. Murota, Electrical Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction ($x>0.4$) Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 5th Int. Symp. Control of Semiconductor Interfaces (ISCSI-V), Nov. 12-14, 2007, Hachioji, Japan

- ⑦ T. Seo, M. Sakuraba and J. Murota,
Characterization of
Temperature-Dependent Hole Resonant
Tunneling Properties with High Ge
Fraction ($x > 0.4$) Si/Strained
 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 3rd
Int. Workshop on New Group IV
Semiconductor Nanoelectronics, Nov.
8-9, 2007, Sendai, Japan
- ⑧ M. Sakuraba, R. Ito, T. Seo and J.
Murota, Fabrication of Hole Resonant
Tunneling Diodes with Nanometer
Order Heterostructures of Si/Strained
 $\text{Si}_{1-x}\text{Ge}_x$ Epitaxially Grown on Si(100)
(Invited Paper), Symp. E9: ULSI
Process Integration 5 (212th Meeting of
the Electrochem. Soc.), Oct. 7-12, 2007,
Washington, DC, USA
- ⑨ T. Seo, M. Sakuraba and J. Murota,
Impact of Ge Fraction Modulation upon
Electrical Characteristics of Hole
Resonant Tunneling Diodes with
Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$
Heterostructure, 5th Int. Conf. Silicon
Epitaxy and Heterostructures (ICSI-5),
May 20-24, 2007, Marseille, France

6. 研究組織

(1)研究代表者

櫻庭 政夫 (SAKURABA MASAO)
東北大学・電気通信研究所・准教授
研究者番号：30271993

(2)研究分担者

室田 淳一 (MUROTA JUNICHI)
東北大学・電気通信研究所・教授
研究者番号：70182144