

平成 21 年 6 月 10 日現在

研究種目：基盤研究 (B)
 研究期間：2007～2008
 課題番号：19360156
 研究課題名 (和文) シリコンカーバイドを用いた高密度用新型二端子抵抗変化型
 不揮発性メモリ
 研究課題名 (英文) High-Density New Two-Terminal Resistive Nonvolatile Memory
 Using Silicon Carbide
 研究代表者
 須田 良幸 (SUDA YOSHIYUKI)
 東京農工大学・大学院共生科学技術研究院・教授
 研究者番号：10226582

研究成果の概要：世界で初めて考案した全く新しい構造と新しい動作原理に基づくシリコンカーバイドを用いた高密度化が可能な二端子構造の抵抗変化型不揮発性メモリ (RRAM) について、構造と基本作製プロセスと基本特性との相関を明確にした。また、本メモリを集積回路として構成するための現行製造プロセス温度と整合する低温作製プロセスを提示した。これらの結果から本メモリの次世代の集積化不揮発性メモリとしての展開が期待される。

交付額

(金額単位：円)

| | 直接経費 | 間接経費 | 合計 |
|---------|------------|-----------|------------|
| 2007 年度 | 9,200,000 | 2,760,000 | 11,960,000 |
| 2008 年度 | 3,900,000 | 1,170,000 | 5,070,000 |
| 総計 | 13,100,000 | 3,930,000 | 17,030,000 |

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス

キーワード：集積回路、半導体メモリ、シリコンカーバイド、不揮発性メモリ、RRAM、抵抗変化型ランダムアクセスメモリ、不揮発性RAM、MIS

1. 研究開始当初の背景

今日あらゆる産業・民生電子機器にマイクロコンピュータが搭載され、これらの機器は、パーソナルコンピュータ(PC)を含む汎用コンピュータ(CPU)産業と双壁をなす巨大な半導体産業分野を成している。その制御には高密度で、コンパクトで、低消費の書換え可能な「不揮発性メモリ」が必要とされる。また、情報量の増大に伴って、ハードディスク記憶装置に代わる、対衝撃性に優れ省電力の高密度「不揮発性メモリ」が必要とされる。

本研究で企画するメモリは世界で初めて考案した全く新しい構造と新しい動作原理に基づくシリコンカーバイドを用いた高密度化が可能な二端子構造の抵抗変化型「不揮

発性メモリ」(RRAMまたはReRAM)である。Si上に成膜した3C-SiC膜を熱酸化して形成した金属/SiO₂/SiO_x/SiC/Si(111)のMIS構造から成る。素子のC-VとI-Vおよび深さ組成分析から、以下のように動作原理を予測した。

SiCの酸化により不完全酸化層(SiO_x層)が形成され、このSiO_x層およびSiO_x/SiC界面に欠陥が形成される。この欠陥に電子が捕獲されているとSiCのバンドがフラット状態になり、印加電圧が主に酸化層にかかるため、電子が酸化層をトンネルするようになって素子が低抵抗(ON)状態になる。この欠陥に電子がないと印加電圧がSiCと酸化層にかかるため、酸化層の電界が弱まり、電子の酸化層のトンネル確率が減少して高抵抗(OFF)状態になる。

I-V動作としては、正の閾値電圧 V_{th}^+ を超える電圧 ($V > V_{th}^+$) を印加すると電子が欠陥に注入され ON 状態になる (1 の書込み)。負の閾値電圧 V_{th}^- 以下の電圧 ($V < V_{th}^-$) を印加すると捕獲電子が放出され OFF 状態になる (消去または 0 の書込み)。状態が変化しない電圧で抵抗値を読めば記憶値が読める。即ち、全てのメモリ機能を 2 端子で制御可能な不揮発性メモリが得られた。

2. 研究の目的

本素子の実用化を進めるため、以下の項目を検討し、実用化の基盤を確立する。

- (1) 構造と基本作製プロセスと基本特性との関連の把握および性能制御技術の獲得。
- (2) 集積回路として構成するための基本プロセス技術の獲得。

3. 研究の方法

本メモリの構造断面を図 1 に示す。

SiC は 1 つの方法として化学気相成長 (CVD) 法で 1000 以上の成膜温度で形成した。

SiC を 1000 以下で酸化すると主に不完全酸化層 SiO_x が、また、1200 で酸化すると完全酸化層 SiO_2 が形成できる。1 回の 1000 の酸化 (1 段階酸化法) で主に SiO_x 層のみを形成するか、1200 および 1000 の 2 回の酸化 (2 段階酸化法) で、 SiO_2/SiO_x (2 層酸化層) を形成してメモリの酸化層とする。

本メモリを集積回路として構成するため、950 程度以下の現行 CMOS 製造プロセス温度と整合する作製プロセスを検討し、1000 以下で SiO_2/SiO_x (2 層酸化層) を形成する方法 (以下、低温プロセス (Low Temperature Process、LTP と呼ぶ)) を開発した。さらに、3C-SiC 層および SiO_2 層を 1000 以下の低温で形成するスパッタ形成法を開発した。

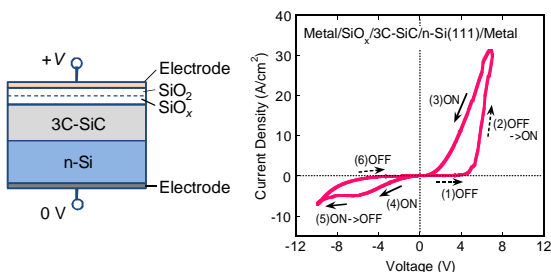


図 1. 本メモリの構造断面図と I-V 特性

4. 研究成果

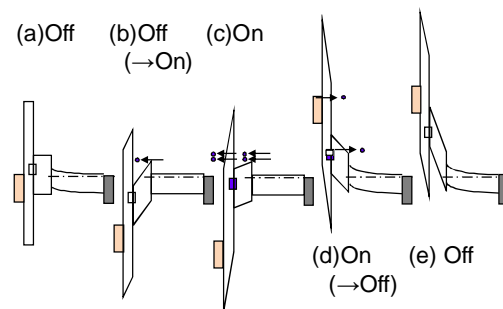
- (1) 構造と基本作製プロセスと基本特性との関連の把握および性能制御技術動作原理の探索

n-Si 基板上に作製した本メモリの C-I 特性から、ヒステリシス特性が注入型で、欠陥がドナー性欠陥であることが得られた。この欠陥の存在で I-V 特性 (図 1) を説明する動作原理 (図 2) が導出できる。さらに、p-Si 基板上

に本メモリ構造を作製したところ、ドナー性欠陥で説明できる I-V 特性が得られた (図 3)。従って、実験結果を総合して、本メモリは SiC の不完全酸化で生じるドナー性欠陥における電子の授受で動作すると解析できた。従って、また、OFF 状態から ON 状態へ遷移するためには電子注入が基本となるため Si 基板としては n 型が有効であることが判った。

基板面方位依存

CVD 法で成膜した 3C-SiC 膜は、Si(001) 面上より Si(111) 面上の方が結晶性が優れている。しかし、メモリ特性としては、どちらの面を使用して形成してもほぼ同等の特性が得られた (図 4)。従って (001) 面に形成される MOS 周辺回路と混成集積して、本メモリの集



積回路の製造が可能となる。

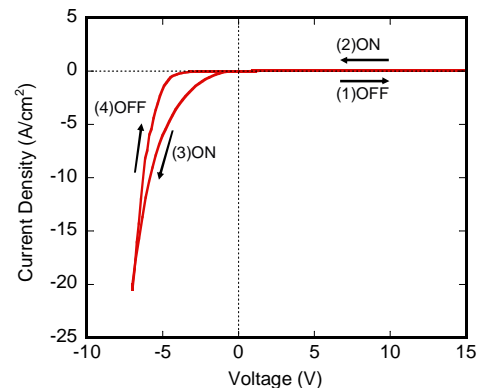


図 2. 提案した動作原理

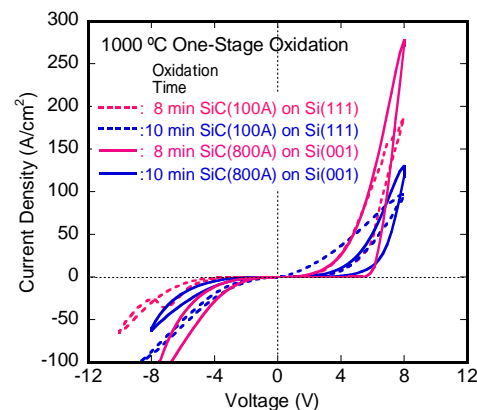


図 3. p-Si 基板を用いた本メモリの I-V 特性

図 4. 1 段酸化法で形成したメモリの面方位依存電極材料依存

仕事関数が高い方が ON/OFF 比およびエンデュランス特性(繰返し書込み特性)が高いことが判った。この原理はエネルギー準位構造から導出できる。

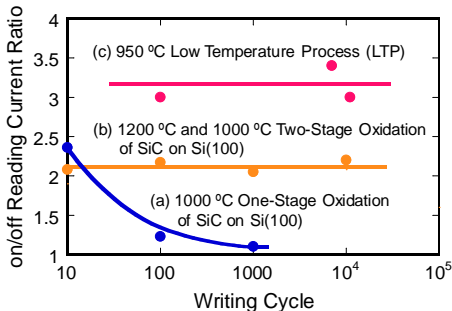
閾値電圧の SiC、酸化層膜厚依存

SiC および酸化層の厚みに依存して、厚みが薄いほど、OFF ON 閾値電圧が減少することが判った。閾値電圧は 4~7V 程度の範囲で変化が可能であった。また、酸化層の厚みの減少に伴って電流が増大することが判り、トンネル現象の帰結として説明できる(後述)。

(2)集積回路として構成するための基本プロセス技術

低温酸化技術の開発

必要な周辺 MOS 回路と混載するため、950 程度以下の現行 CMOS 製造プロセス温度と整合する低温酸化プロセスを検討した。これまで、1000 の 1 段酸化法によって SiO_x/SiC/n-Si のメモリ構造を作製したが、読込みの ON/OFF 比が 100 回程度で減少した(図 5)。これは欠陥が SiO_x 層に広く分布しているために「消去動作」で放出できない捕獲電子が次第に多くなるためにメモリが次第に OFF した



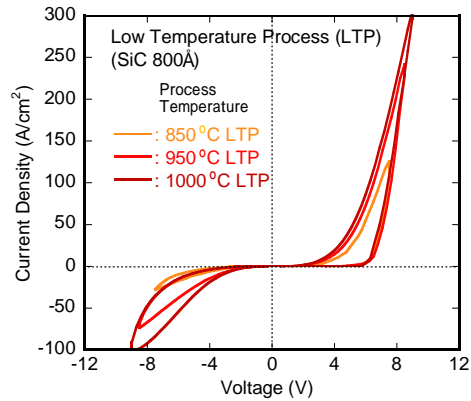
くなるためと分析できる。

図 5. 各酸化層形成法とエンデュランス特性

そこで、2 段酸化法によって SiO₂/SiO_x 2 層酸化層構造を形成する方法を提案した。SiO₂ 層はトンネル層として、SiO_x 層は電子捕獲層として機能させる。この方法で作製したメモリは繰返し書込み特性(エンデュランス特性)が 10000 回以上に向上した(図 5)。これは、2 層酸化層構造で不完全酸化膜の欠陥分布の広がりを抑えることができたためと考えられる。

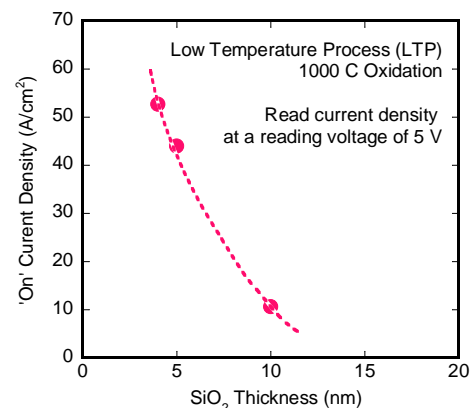
しかし、SiO₂ 完全酸化層を形成するためには 1200 の MOS プロセスと不整合の高温が必要となる。そこで、1000 以下の低温でも SiO₂/SiO_x 2 層酸化層構造が作製できる方法を考案した。

図 6 に本低温プロセス(LTP)で SiO₂/SiO_x 2 層酸化層構造を形成したメモリの I-V 特性を示す。850 の酸化膜形成温度でも図 4 に示した 1000 の 1 段酸化で形成したメモリと同



様な I-V 特性が得られることが判る。

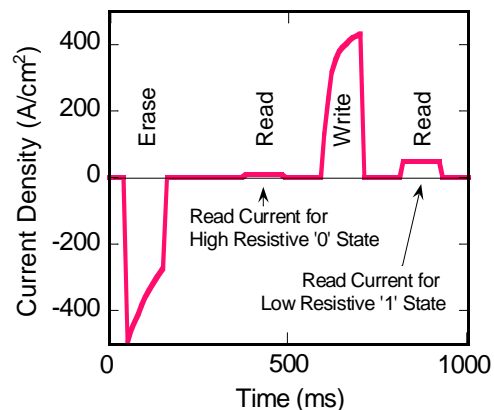
図 6. 提案した低温プロセス(LTP)で SiO₂/SiO_x 2 層



酸化層構造を形成したメモリの I-V 特性

図 7. 提案した低温プロセス(LTP)で作製したメモリの読出し電流の SiO₂ 膜厚依存

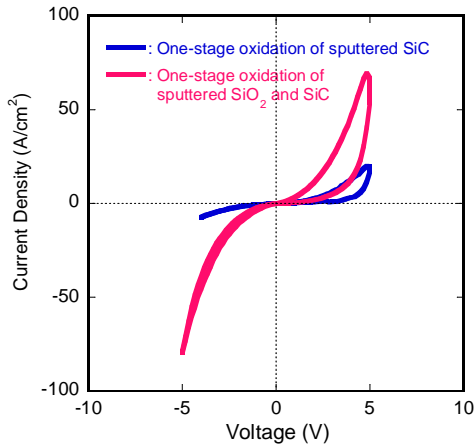
2 層酸化層トップの SiO₂ 層の厚みが減少するにつれて ON 電流が増加し、50A/cm² 以上の読出し電流が(図 7)、また、10000 回以上の繰返し書込み特性(エンデュランス特性)が得られた(図 5)。さらに、ON/OFF 比が 2.1 から 3.2 に向上した(図 5)。このエンデュランス特性測定時の動作電流の例を図 8 に示す。ON/OFF 比が向上したのは、提案した LTP 法で作成した SiO₂ 完全酸化層の品質が向上し、



SiO₂ 層の欠陥が減少したためと分析できる。

図8. LTP法で作製したメモリの動特性
低温 SiC 成膜技術の開発

3C-SiC の低温成膜法をスパッタ法を用いて開発した。3C-SiC に帰属する FTIR 信号が得られ、スパッタ法で 700 で成膜した SiC 膜と SiO₂ 膜を用いて比較的良好なメモリ特性を得た(図 9)。 と併せて、MOS プロセス



温度に整合する全作製プロセスが得られた。
図9.スパッタ法で 700 で成膜した SiO₂ 膜と SiC 膜を用いたメモリの I-V特性 (赤)

メモリ特性の素子寸法依存評価

微細集積化の基礎特性として、素子面積を 10 倍変化したが、読出し電流密度にほとんど変化がなく、メモリ動作に端面効果の影響が少ない結果が得られた。微細化でも同等の特性が得られることが期待される。

メモリデータ保持時間試験評価

加速試験により、良好な結果が得られた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計2件)

Y. Suda, M. Shouji, and K. TAKADA, SiO_x/3C-SiC/Si MIS Nonvolatile Resistance Memory, Appl. Phys. Express, vol. 1, pp. 0714011-0714013 (2008) 査読有.

須田良幸, 3C-SiC MIS 抵抗変化型不揮発性半導体メモリ素子, vol. 77, pp. 1107-1110 (2008) 査読有.

[学会発表](計2件)

Y. Yamaguchi, H. Hasegawa, and Y. Suda, SiO₂/SiO_x/3C-SiC/n-Si(001)Nonvolatile Resistance Memory Formed with One-Stage Oxidation Process, 214th ECS meeting (Hawaii, 2008).

山口祐一郎、長谷川宏巳、須田良幸、SiO₂/SiO_x/SiC/Si MIS 不揮発性抵抗変化型メモリの一段酸化形成技術、第 69 回応用物理学会学術講演会(春日井、2008)。

[産業財産権]

出願状況(計6件)

名称:半導体メモリ装置、及びその製造方法

発明者:須田良幸、野村彬成

権利者:東京農工大学

種類:特許

番号:特願 2009-61883

出願年月日:2009年3月13日

国内外の別:国内

名称:半導体メモリ装置

発明者:須田良幸、太田豊

権利者:東京農工大学、三洋半導体

種類:特許

番号:PCT/JP2008/066499

出願年月日:2008年9月8日

国内外の別:外国(PCT出願)

名称:半導体メモリ装置

発明者:須田良幸、太田豊

権利者:東京農工大学、三洋半導体

種類:特許

番号:PCT/JP2008/066500

出願年月日:2008年9月8日

国内外の別:外国(PCT出願)

名称:SiC 不揮発性メモリの製造方法

発明者:須田良幸、山口祐一郎

権利者:東京農工大学

種類:特許

番号:特願 2008-215746

出願年月日:2008年8月25日

国内外の別:国内

名称:半導体メモリ装置

発明者:須田良幸、太田豊

権利者:東京農工大学、三洋半導体

種類:特許

番号:特願 2007-310662

出願年月日:2007年11月30日

国内外の別:国内

名称:半導体メモリ装置

発明者:須田良幸、太田豊

権利者:東京農工大学、三洋半導体

種類:特許

番号:特願 2007-310663

出願年月日:2007年11月30日

国内外の別:国内

[その他]

ホームページ

<http://www.tuat.ac.jp/boss>

6. 研究組織

(1)研究代表者

須田良幸(SUDA YOSHIYUKI)

東京農工大学・大学院共生科学技術研究院・教授

研究者番号:10226582

(2)研究分担者 なし

(3)連携研究者 なし