

平成 22 年 3 月 31 日現在

研究種目：基盤研究 (C)
 研究期間：2007 ～ 2009
 課題番号：19500045
 研究課題名 (和文) 高速VLSIのクロストーク故障に対する高信頼テスト手法に関する研究
 研究課題名 (英文) Research on High Dependable Test for Crosstalk Faults in High Speed VLSIs
 研究代表者
 樋上 喜信 (HIGAMI Yoshinobu)
 愛媛大学・大学院理工学研究科・准教授
 研究者番号：40304654

研究成果の概要 (和文)：

本研究では、VLSI (大規模集積回路) におけるクロストーク故障を対象にしたテスト手法を提案した。クロストーク故障とは、隣接する2本の信号線が容量性結合することによるものである。従来の故障モデルを対象にしたテストでは検出されない。そこで、クロストーク故障の故障動作を詳細に解析し、モデル化を行い、テストパターンを生成する手法を提案した。さらに手法を拡張し、トランジスタショート故障に対する故障診断法やテストパターン生成法も提案した。

研究成果の概要 (英文)：

In this research, a testing method for crosstalk faults in VLSI (Very Large Scaled Integrated Circuit) circuits has been proposed. A crosstalk fault is induced by coupling interaction between neighbor two lines, and it is hard to detect by the testing method for conventional fault models. We analyzed the fault behavior of crosstalk faults to define a fault model, and proposed a test generation method. Moreover we enhanced the method for transistor shorts to improve fault diagnosis and test pattern generation.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	800,000	240,000	1,040,000
2008年度	1,000,000	300,000	1,300,000
2009年度	800,000	240,000	1,040,000
年度			
年度			
総計	2,600,000	780,000	3,340,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI (大規模集積回路), テスト, 故障診断, クロストーク故障

1. 研究開始当初の背景

我々の身のまわりにある電子機器の主要な構成要素は VLSI (大規模集積回路) であ

り、そのような電子回路を安心・安全にできるためには、VLSI の高信頼化が必要不可欠である。すなわち、VLSI が正常に動作することが保証されていなければならず、VLSI

の故障検査（テスト）は大変重要である。理想的には、起こりうるあらゆる故障を検出するようなテストが求められるが、VLSI 設計・製造技術の進展に伴う大規模化・微細化・高集積化・高速化のために、そのテストは高コストかつ困難となってきた。中でも、微細化・高速化のため、従来は問題にならなかったような種類の故障が深刻となってきた。そのような故障の1つが、クロストーク故障である。クロストーク故障とは隣接する2本の信号線の容量性結合により生じる故障であり、信号伝搬遅延などの影響をもたらす。

一方、微細化に起因するタイプの故障として、ゲート内部のトランジスタ故障がある。従来は、ゲート間を接続する信号線上の故障を対象にしたテストが主流であったが、トランジスタ故障の一部には、そのようなテストでは検出されないものが存在し、トランジスタ故障を高い確率で検出するようなテストが望まれている。

2. 研究の目的

本研究では、VLSI におけるクロストーク故障とトランジスタ故障を対象にしたテストの問題を取り扱う。

(1) クロストーク故障に対するテスト

クロストーク故障は、隣接する2本の信号線が相互に影響する故障であるが、どのような条件で故障が励起するかについて、これまでの他者の研究を精査し、故障動作のモデル化を行う。従来の多くの研究では電子回路的なアナログ波形による解析が主流であったが、本研究では、外部出力の論理値を観測する論理テスト環境とローンチオンシフト法を想定し、論理値レベルでのモデル化を行う。ローンチオンシフト法は、スキャン設計とよばれる標準的なテスト容易化設計を施した回路に対するテスト法であり、高速なテストパターン印加が可能である。さらにモデルに基づいたテストパターン生成についても考察する。

(2) トランジスタ故障に対するテストについて

トランジスタ故障についてもクロストーク故障と同様に、外部出力論理値を観測する論理テストを想定したモデル化を行う。その際にも、論理値レベルでのモデル化を行うことで、クロストーク故障に対する手法の拡張法を適用可能とする。また、トランジスタ故障に対する効率的な診断法についても考察する。故障診断とは、故障が発見された回路

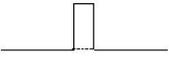
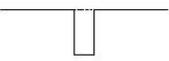
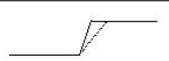
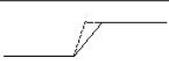
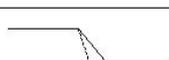
において、故障位置を指摘することであり、この結果に基づいて、設計・製造過程を改善し、歩留まり向上を実現する。

3. 研究の方法

(1) クロストーク故障に対するテスト

クロストーク故障は、隣接する2本の信号線間の容量性結合に起因する故障である、その故障動作は、様々にモデル化されている。故障の2本の信号線の一方を原因信号線、もう一方を被害信号線とよぶ。原因信号線に0→1、または1→0の信号遷移が起こった場合、被害信号線に正常時と異なる信号波形が生じる。表1に原因信号線と被害信号線の信号波形の組合せにより、生じる故障時の信号波形を表す。第2列、第3列には、原因信号線の信号値が0→1、および1→0に変化した場合を表す。第2段から第5段は、被害信号線の信号波形が、0→0、1→1、0→1、1→0となった場合をそれぞれ表す。例えば、原因信号線が0→1に変化し、被害信号線が0→0の信号を取る場合、故障時に1となるグリッチが生じる。また、原因信号線が0→1、被害信号線が1→1の場合には、故障時の波形は正常時と同一である。原因信号線、被害信号線が共に0→1に変化する場合、被害信号線の0→1の立ち上がりが早くなる、スピードアップという現象が起こる。原因信号線が0→1、被害信号線が1→0の場合には、被害信号線の1→0の立ち下がりが遅れるスローダウンの現象が起こる。原因信号線が1→0に変化する場合も、同様の現象が起こる。

表1 クロストーク故障の信号波形

v \ a	0->1	1->0
0->0		fault-free
1->1	fault-free	
0->1		
1->0		

クロストーク故障動作をシミュレートするためには、原因信号線や被害信号線の信号変化のタイミングを考慮しなければならない。しかしながら、タイミングを考慮したシミュレーションは、計算時間や使用メモリの増大を招く。そこで、本研究では、タイミングを考慮せず、論理値のみに着目し、クロストーク故障の検出について議論する。

クロストーク故障の検出可能性条件として次の6つを考える。原因信号線と被害信号線の値をそれぞれ a , v とする。

- 条件1: $a=01, v=00$, D 伝搬条件を満足
 - 条件2: $a=01, v=01$, D 伝搬条件を満足
 - 条件3: $a=01, v=10$, D 伝搬条件を満足
 - 条件4: $a=10, v=11$, D 伝搬条件を満足
 - 条件5: $a=10, v=01$, D 伝搬条件を満足
 - 条件6: $a=10, v=10$, D 伝搬条件を満足
- D 伝搬条件とは、2パターン目において、被害信号線の誤り論理値が少なくとも1つの外部出力またはフリップフロップに伝搬することである。本研究では、上記の条件に基づいた検出可能性を定義し、論理シミュレーションにより求める。

(2) トランジスタ故障に対するテスト

対象とする故障は、論理ゲート内部の1つのトランジスタのノード間のショートである。ノードは、トランジスタのゲート、ソース、ドレインのいずれかである。表2は、2入力 NAND ゲートにおいて、トランジスタショートが起こった場合に、その論理ゲート出力が誤った値を取る可能性について示している。同様の表は1992年のAitkenらの研究においても述べられており、そこでは、IDDQテストを仮定した診断を提案している。表2中の sd , gs , gd はそれぞれ、ソースドレイン間、ゲートソース間、ゲートドレイン間のショートを表している。また、シンボル S と E は、トランジスタショートの際の2つのノードが、同一の値を取る場合と異なる値を取る場合をそれぞれ示している。シンボル N は、2つのノードが異なる値を取るが、いずれのノードからも論理ゲート出力に故障の影響が伝搬する経路がない場合を示している。

表2 トランジスタ故障モデル

in		P1			P2			N1			N2		
x1	x2	sd	gs	gd									
0	0	S	E	E	S	E	E	S	S	E	S	S	S
0	1	S	S	S	S	E	E	S	S	S	E	S	E
1	0	S	E	E	S	S	S	E	S	E	S	N	N
1	1	E	S	E	E	S	E	S	E	E	S	E	E

表2に基づいて、 e パターンとよぶ入力パターンを定義する。トランジスタショート sh に対して、 sh を含む論理ゲートの入力パターン p が次の2つの条件を満たすとき、 p を sh の e パターンとよぶ。

1. トランジスタショート sh の2つのノードに異なる値が設定される。
 2. トランジスタショート sh のいずれかのノードから sh を含む論理ゲートの出力に故障影響が伝搬する経路が存在する。
- ここで、トランジスタショートの際の故障モデル

を定義する。このモデルでは、すべての e パターンに対して、それが印加されたとき故障論理ゲート出力は誤った値をとると仮定する。

トランジスタショートに対する故障診断アルゴリズムを述べる。トランジスタショートの際の故障動作を論理ゲート出力の論理値で定義しているため、本診断アルゴリズムは、トランジスタレベルのシミュレーションを必要とせず、ゲートレベルの縮退故障シミュレーションのみを行うことによって、故障候補を推定する。したがって、本故障診断アルゴリズムは、大規模回路にも適用可能で、従来の縮退故障シミュレータを用いることによって実装も容易であると考えられる。故障診断アルゴリズムは以下のように記述される。

診断アルゴリズム

入力: V_p パスパターン集合 V_f フェイルパターン集合

出力: 故障候補論理ゲート, 故障候補トランジスタ

手順:

- 1) すべての論理ゲート出力の0と1縮退故障を対象に、フェイルパターン $v \in V_f$ を用いて縮退故障シミュレーションを行い、候補論理ゲートを求める。
- 2) 各候補論理ゲートに対して、故障推定表を用いて候補トランジスタショートを求める。
- 3) 候補論理ゲート出力の0と1縮退故障を対象に、フェイルパターン $v \in V_p$ を用いて縮退故障シミュレーションを行い、候補トランジスタショートと候補論理ゲートを削減する。

4. 研究成果

(1) クロストーク故障に対するテスト

提案法に基づき、ベンチマーク回路を用いてクロストークの検出可能性を求める実験を行った。実験結果を表3に示す。表中には、各回路において、条件を満足する故障数、条件を満足しない故障数、検出可能性割合を示す。この結果を用い、今後検出可能性のある故障に対してテストパターンを生成するなどの発展させることが考えられる。

故障診断アルゴリズムをC言語により実装し、ISCAS ベンチマーク回路に対して実験を行った。実験では、各回路に対して10個の異なる故障回路を用意した。故障位置はランダムに決定した。用いたテストパターンは、ATPGで生成された100%縮退故障効率を達成

したテストパターンである。表4にトランジスタ故障に対する実験結果を示す。表中で、「平均値」は10個の故障回路に対する結果の平均を、「最大値」は10個の故障回路に対する結果の中で最大の値を示す。「ゲート」は得られた故障候補ゲート数を、「ショート」は得られた候補トランジスタ故障数を示す。「時間」は計算時間を示す。

表4より、トランジスタ故障に対しては平均2.9~8.8個にまで候補を削減することができた。

表3 クロストーク故障の実験結果

回路	条件満足	条件非満足	検出可能性割合 (%)
s820	24673	35429	41.12
s1196	29239	30893	48.73
s1423	47710	12476	79.52
s1488	23619	36381	39.37
s5378	45914	14950	76.52
s35932	52348	7982	87.25

表4 トランジスタ故障に対する結果

回路	平均値		最大値		時間(s)
	ゲート	ショート	ゲート	ショート	
c1355	2.3	3.3	3	5	4.6
c1908	5.6	5.8	25	25	13.0
c2670	6.2	8.8	18	25	19.1
c3540	4.6	7.5	14	26	31.4
c5315	2.2	2.9	3	4	44.7
c6288	1.9	2.9	6	9	54.6
c7552	4.1	5.2	19	19	85.6
s5378	2.3	2.3	9	9	37.0
s9234	1.8	2.0	4	4	85.4
s13207	2.2	3.2	5	9	201.5
s15850	5.8	7.0	14	18	307.7
s35932	2.3	3.5	3	5	559.3

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

[1] Y. Higami, K. K. Saluja, H. Takahashi, S. Kobayashi and Y. Takamatsu, "An Algorithm for Diagnosing Transistor Shorts Using Gate-level Simulation," IPSJ Transactions on System LSI Design Methodology, vol. 2., pp.250-262, 2009.

[2] Y. Higami, K. K. Saluja, H. Takahashi, S. Kobayashi and Y. Takamatsu, "Addressing Defect Coverage through Generating Test Vectors for Transistor Defects," IEICE Trans. Fundamentals, vol. E92-A, no. 12, pp. 3506-3513, 2009.

[学会発表] (計2件)

[1] 樋上喜信, 高橋寛, 廣瀬雅人, 小林真也, 高松雄三, "スキャン回路におけるクロストーク故障の検出可能性について," 電子情報通信学会総合大会. 2008年3月18日.

[2] Y. Higami, K. K. Saluja, H. Takahashi, K. Kobayashi and Y. Takamatsu, "Increasing Defect Coverage by Generating Test Vectors for Stuck-open Faults," Proc. IEEE Seventeenth Asian Test Symposium, pp. 97-102, Nov. 26, 2008.

6. 研究組織

(1) 研究代表者

樋上 喜信 (HIGAMI Yoshinobu)
愛媛大学・大学院理工学研究科・准教授
研究者番号：40304654

(2) 研究分担者

高橋 寛 (TAKAHASHI Hiroshi)
愛媛大学・大学院理工学研究科・准教授
研究者番号：80226878