

平成 21 年 6 月 2 日現在

研究種目：基礎研究 (C)

研究期間：2007～2008

課題番号：19500046

研究課題名 (和文) 次世代集積システム設計における物理設計予測法の研究

研究課題名 (英文) Prediction Methods for Physical Properties of Integrated Circuit for Next Generation System Design

研究代表者

豊永 昌彦 (MASAHIKO TOYONAGA)

高知大学・教育研究部自然科学系・教授

研究者番号：40346705

研究成果の概要：

(a)物理設計推定のための超高速配置法の確立：回路情報・外部端子群からの超高速配置法、および高速詳細配置法の各アルゴリズムを確立し、提案と公表をおこなった。

(b)推定と整合性をもつ改善法の提案：新たな配線形状予測モデルおよびクロストーク評価配置モデルの有効性を配置評価実験により実証し、その内容の公表をおこなった。

(c)システム L S I 設計による評価：上記の提案手法の検証のため、論理シミュレーションの信号タイミングからクロストークとなる信号ペアの抽出・システム L S I の高速回路におけるクロストーク推定、改善配置による効率的設計法の提案とその評価により技術確立とその公表をおこなった。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	2,000,000	600,000	2,600,000
2008 年度	1,500,000	450,000	1,950,000
年度			
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：設計自動化, 自動配置, LSI(大規模集積回路), クロストーク, 配置評価関数

1. 研究開始当初の背景

(1)次世代集積システムの製造プロセス技術がナノレベルとなり、従来の大規模回路設計のトップダウン設計の推定と物理設計の特性の乖離が大きくなり、性能保証のための設計繰返しによる期間長期化が課題である。

(2)部分修正法(ECO 手法)等により、物理設計後の改善法も提案されているが、従来法は、すべて性能保障の仕組みをもっていないため、根本的な解決策が確立していない。

2. 研究の目的

根本的な解決を図ため「物理設計の高精度推定技術」を確立することを目的とする。3つのサブテーマの各目的は、(a)短時間に擬似的物理設計を得るために超高速配置法を確立し、(b)推定精度の整合性を保障するため最終の物理設計との誤差を保障する配置改善法を確立し、(c)実LSI設計データにより手法の効果を評価検証することを目的としている。

3. 研究の方法

研究は次のサブテーマとして行う。

(a)高速配置手法による推定法研究

配置評価関数の最適化手法の高速化を Simulated-Annealing 法をベースに高速化をはかる、

(b)推定との整合性をもつ配置改善法

配置の誤差範囲を保障する配置モデルの改善をおこなう。

(c)システムLSI設計手法による評価

演算器を中心とした論理設計、論理検証に基づいて、提案推定手法と実際の物理設計の推定精度を評価検証する。

4. 研究成果

(a)高速配置手法による推定法研究の成果

a-1 接続関係を利用した高速配置法

ネットリスト接続から素子を内側と外側へ分類し、さらに外部をくり返し削除すれば中央に配置すべき素子群を高速に得られる可能性がある。中央への配置ができれば、上記を逆にたどる事で全体の配置を得る手法を提案した。(図1)

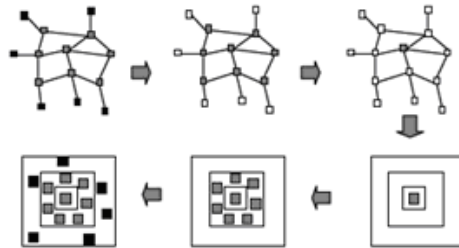


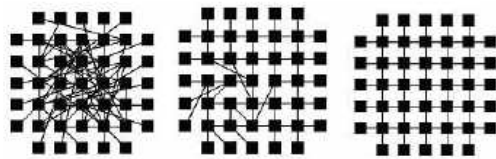
図1 接続による配置手法

a-2 部分要素の全置換による高速配置

NP 完全問題を、素子の一部について全組合せを評価し、これを繰り返す配置改善を提案した。提案法による配置結果と厳密解との比較を表1に示す。部分素子数 M は、4とした。このとき T 表は、24 行の表となる。評価関数 C として各素子間の総配線長とした。繰り返し回数 ITER は、全て 1 万回とした。5x5 の初期配置、ペア交換法および提案手法の配置結果を表1と図2に示す。

表 1. 配置結果の比較

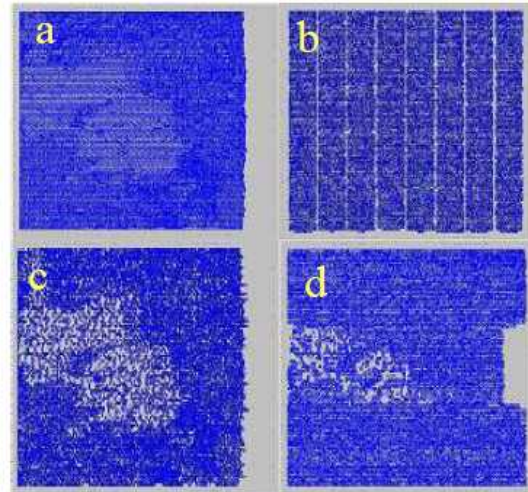
回路サイズ	素子数(固定)	厳密解	提案法	ペア交換法
3×3	21(12)	24	24	24
5×5	45(20)	60	60	84
8×8	96(32)	144	260	332
10×10	140(40)	220	498	386



(a) ランダム配置 (b) ペア交換法 (c) 提案法
図2 簡単な配置問題における配置結果

a-3 超高速高品質配置手法

上記の 2 つの技術をさらに展開し、高速配置手法を確立した。図3は、世界レベルの配置(a,c,d)と比較したものであるが、表によれば、提案手法が短時間かつ高品質な配置結果を得ており、高精度推定として用いることができる。今後、本格的な配置手法としての展開も狙う予定である。



(a) Dragon (b) 提案 (c) Capro ECO (d) Capro
図3 配置結果の比較

TABLE I

OVERLAP AND ROW OVERFLOW LEGALIZATION ON THE ISPD04 IBM STANDARD CELL BENCHMARK SUITE [3].

Dragon 3.01 Original Result				Overlap statistics		Capo 10.5 Legalizer [4]		AKEBONO		Ratio of Capo and AKEBONO	
Circuit	HPWL	CPU(s)	Area%	O.F.	HPWL	CPU	#Sio	HPWL	CPU	HPWL	CPU
l0m01	1.70E+06	244	37.07	35	1.153	0.099	8	1.153	0.006	1.000	17.099
l0m02	3.80E+06	269	26.72	15	1.042	0.154	9	1.103	0.012	0.945	12.919
l0m03	4.86E+06	281	41.90	37	1.086	0.199	10	1.132	0.010	0.960	20.748
l0m04	5.71E+06	553	35.83	28	1.074	0.153	11	1.149	0.005	0.934	29.076
l0m05	9.30E+06	890	20.28	10	1.031	0.059	11	1.082	0.005	0.953	11.026
l0m06	5.04E+06	675	38.18	32	1.143	0.132	10	1.121	0.006	1.015	21.186
l0m07	8.42E+06	871	37.96	23	1.102	0.181	13	1.126	0.006	0.970	28.511
l0m08	9.35E+06	2120	29.34	19	1.063	0.073	14	1.102	0.004	0.965	17.906
l0m09	1.01E+07	1942	39.62	35	1.109	0.123	15	1.139	0.004	0.974	34.593
l0m10	1.79E+07	1692	31.47	38	1.089	0.166	19	1.151	0.006	0.947	27.315
l0m11	1.43E+07	1257	39.98	36	1.112	0.325	17	1.161	0.007	0.958	49.349
l0m12	2.26E+07	1838	31.11	50	1.066	0.210	20	1.146	0.006	0.931	34.879
l0m13	1.81E+07	1605	39.09	31	1.095	0.308	18	1.127	0.007	0.976	42.608
l0m14	3.24E+07	3995	32.81	48	1.105	0.197	25	1.164	0.005	0.950	41.372
l0m15	4.07E+07	5300	32.62	14	1.074	0.388	25	1.128	0.005	0.952	53.508
l0m16	4.46E+07	5816	27.84	14	1.067	0.201	28	1.131	0.005	0.961	37.720
l0m17	6.43E+07	12518	26.10	18	1.054	0.138	31	1.114	0.003	0.947	47.384
l0m18	4.28E+07	11074	25.19	16	1.072	0.101	30	1.122	0.003	0.956	31.823
Avg.					1.087	0.173		1.130	0.006	0.961	31.057
FengShui 5.1 Original Result				Overlap statistics		Capo 10.5 Legalizer [4]		AKEBONO		Ratio of Capo and AKEBONO	
Circuit	HPWL	CPU(s)	Area%	O.F.	HPWL	CPU	#Sio	HPWL	CPU	HPWL	CPU
l0m01	1.81E+06	64	36.40	26	1.160	0.383	8	1.182	0.022	0.961	17.521
l0m02	3.73E+06	109	28.15	28	1.035	0.394	9	1.147	0.029	0.902	13.371
l0m03	4.71E+06	123	42.48	38	1.142	0.399	10	1.187	0.022	0.962	17.842
l0m04	5.89E+06	148	34.51	32	1.075	0.546	11	1.149	0.020	0.935	27.756
l0m05	9.91E+06	160	19.93	17	1.019	0.354	11	1.080	0.030	0.944	12.189
l0m06	5.10E+06	190	38.07	22	1.096	0.469	10	1.137	0.022	0.964	21.330
l0m07	9.07E+06	263	37.83	32	1.095	0.527	13	1.169	0.021	0.937	24.836
l0m08	9.37E+06	308	29.30	18	1.066	0.608	14	1.121	0.029	0.951	17.833
l0m09	9.91E+06	312	39.56	29	1.120	0.704	15	1.181	0.023	0.949	31.797
l0m10	1.85E+07	434	31.36	31	1.103	0.699	19	1.146	0.025	0.962	29.314
l0m11	1.47E+07	420	39.90	32	1.136	0.911	17	1.170	0.020	0.971	46.504
l0m12	2.38E+07	457	30.97	41	1.084	0.838	20	1.109	0.026	0.977	33.263
l0m13	1.81E+07	534	38.78	40	1.122	0.999	18	1.155	0.022	0.971	46.126
l0m14	3.31E+07	958	32.84	52	1.148	0.858	25	1.172	0.020	0.979	43.074
l0m15	4.12E+07	1152	32.55	34	1.104	1.120	25	1.129	0.024	0.976	48.056
l0m16	4.60E+07	1329	27.87	25	1.104	0.862	28	1.141	0.023	0.968	37.054
l0m17	6.60E+07	1412	26.14	44	1.079	0.848	31	1.133	0.026	0.952	33.053
l0m18	4.27E+07	1503	25.11	21	1.122	0.745	30	1.124	0.023	0.996	31.807
Avg.					1.101	0.676		1.146	0.024	0.960	28.598

*"AREA%" REPRESENTS THE SUM OF OVERLAP CELL AREA BY THE TOTAL CELL AREA. "O.F." MEANS THE NUMBER OF ROW OVERFLOW AFTER RESIZING.

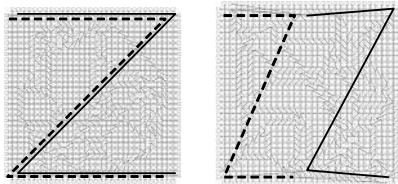
(b)推定との整合性をもつ配置改善法

b-1 クロストーク評価による配置改善法

物理設計推定と実回路とのズレとしてクロストーク現象に集中し、その整合性を解決するため

の配置モデルを提案した。

最適解においてクロストーク領域が 80%領域全体で重複する縦横に接続配線をもった簡単な配置で図 4(a)に規模 30*30 の最適解と追加したペアネットを示す。また、本手法による配置結果と、ペアネットの様子を図 4(b)に示す。



(a)最適配置結果 (b) 提案モデル配置
図4.クロストークペアの配置比較

配線長のみの配置改善と提案法の配置改善を比較するため、重み w を様々に変化させた(0~10, 0.5 刻み)ときの全配線長(Lengthcost)と重複領域長(Cross_cost)を図 5 に示す。 $w=2.5-3.5$ の範囲で、重複領域長が解消している。また、そのとき全配線長は、10%程度の増化である。

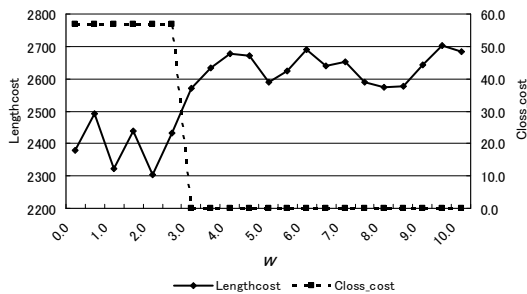
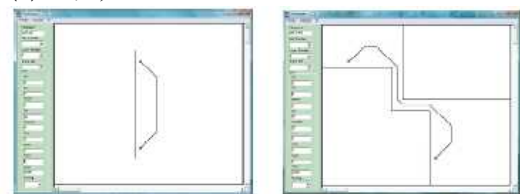


図 5.全配線長とクロストーク違反面積

b-2 クロストーク回避配線法

物理設計推定と実回路とのズレをクロストーク現象として、その整合性を解決するための配置手法を提案した。

45 度を含む配線により、クロストーク原因となるペア配線間の距離を調整する。その様子を図 6(b)に示す。



(a) Parallel (w_2 left) (b) Bottleneck 2 (w_2 below)
図6 クロストーク回避配線の結果

Table1. Wire length comparison

Test circuit	Crosstalk avoidance distance (d)	Wire length		Wire length reduction (%)
		Rectilinear router [1]	ORCA*	
Basic	1	42.00	34.97	16.74
	2	44.00	36.97	15.98
	3	46.00	38.97	15.28
Parallel	1	18.00	16.83	6.50
	2	20.00	17.68	11.70
	3	22.00	18.48	16.00
Bottleneck_1	1	30.00	27.07	9.77
	2	34.00	28.73	15.50
	3	38.00	30.38	20.05
Bottleneck_2	1	38.00	33.90	10.79
	2	42.00	35.56	15.33
	3	46.00	37.21	19.11

(c)システムLSI設計手法による評価

乗算器の論理設計、論理検証とともに、その配置配線と推定との比較により高い推定精度を確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計3件)

①小林政幸, 豊永昌彦, 村岡道明, 「ダイナミック動作を考慮したクロストーク解析手法」情報処理学会 DA シンポジウム 2008 論文集, Vol.2008, No.7, pp.127-132,(2008 年) 査読有

②吉田佑馬, 豊永昌彦, 村岡道明, 「クロストークを回避する配置評価の検討」情報処理学会 DA シンポジウム 2008 論文集, Vol.2008, No.7, pp.61-66(2008 年) 査読有

③ TingyuanNie, Masahiko Toyonaga, 「An Efficient and Reliable Watermarking System for IP Protection」 IEICETrans. Fundamentals E90-A, No9, pp.1932-1939 (2007 年)査読有

[学会発表](計8件)

①宮城悠, 吉田佑馬, 豊永昌彦, 「部分的要素の全置換を評価する配置法の研究」平成 20 年度電気関係学会四国支部連合大会 1-9 (2008 年 9 月 27 日, 徳島県・徳島大)

②仙頭航, 小林政幸, 豊永昌彦, 村岡道明, 「テストパターンに対応したクロストーク解析手法」平成 20 年度電気関係学会四国支部連合大会 9-7(2008 年 9 月 27 日, 徳島県・徳島大)

③ Upul Herath, Michiaki Muraoka, Masahiko Toyonaga, 「ORCA: An Octilinear Router for Crosstalk Avoidance」平成 20 年度電気関係学会四国支部連合大会 17-46(2008 年 9 月 27 日, 徳島県・徳島大)

④竹内豪, 板東修司, 張シン, 豊永昌彦, 「ネットリストの接続関係を利用した高速配置法」平成 19 年度電気関係学会四国支部連合大会 1-1(2007

年9月29日,徳島県・徳島大)

⑤吉田佑馬,坂東修司,ニエテイエン,豊永昌彦,
「クロストークを回避する配置評価法の検討」平成19年度電気関係学会四国支部連合大会1-2(2007年9月29日,徳島県・徳島大)

⑥竹谷啓,張汎,豊永昌彦,「クロストーク回避迷路配線の一手法」平成19年度電気関係学会四国支部連合大会1-3(2007年9月29日,徳島大)

⑦黄高,小林政幸,豊永昌彦,村岡道明,「論理シミュレータによるクロストークの検出手法」平成19年度電気関係学会四国支部連合大会9-17(2007年9月29日,徳島県・徳島大)

⑧小林政幸,黄高,豊永昌彦,村岡道明,「論理シミュレータによるクロストーク検出システムの試作」平成19年度電気関係学会四国支部連合大会9-18(2007年9月29日,徳島県・徳島大)

6. 研究組織

(1)研究代表者

豊永 昌彦(MASAHIKO TOYONAGA)
高知大学・教育研究部自然科学系・教授
研究者番号:40346705

(2)研究分担者

村岡 道明(MICHIAKI MURAOKA)
高知大学・教育研究部自然科学系・教授
研究者番号:80444777

(3)連携研究者

なし