

平成 21 年 6 月 5 日現在

研究種目：基盤研究(C)

研究期間：2007～2008

課題番号：19560243

研究課題名（和文） FPGA によるシリコンコンサートホール実現の検討

研究課題名（英文） On the realization of the silicon concert hall by FPGA

研究代表者

土屋 隆生 (TSUCHIYA TAKAO)

同志社大学・理工学部・教授

研究者番号：20217334

研究成果の概要：本研究では、リアルタイムでコンサートホール規模の音響空間を計算するためのシリコンコンサートホールの実現について可能性の検討を行った。2次元 DHM(デジタルホイヘンスモデル)回路を FPGA(Field Programmable Gate Array)上に実装したところ、1秒間に42億要素を計算可能な能力(2.4GFUPS)が実現できた。入出力はUSBで実装し、音声信号をリアルタイムでやりとりできる2Mbpsの通信速度を達成できた。さらに、IIRデジタルフィルタを用いることで主な材質の音響特性を組み入れ可能であることが示された。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,000,000	300,000	1,300,000
2008年度	900,000	270,000	1,170,000
総計	1,900,000	570,000	2,470,000

研究分野：工学

科研費の分科・細目：機械工学・機械力学・制御

キーワード：音場計算，リアルタイムシミュレーション，建築音響，FPGA

1. 研究開始当初の背景

コンサートホールのような大規模な音響空間をリアルタイムで解析したいという要求は、騒音制御や建築音響，バーチャルアコースティックスなど多くの分野で潜在的に見受けられる。しかしながら，大規模空間のリアルタイム解析を従来の数値解析手法で行うには天文学的な計算資源を必要とするため，まだそのような要求はほとんど顕在化していないと言ってよい。例えば1m³程度の音響空間を20kHzまでリアルタイムで解析するには，最高周波数に対して1波長当たり10計算点が必要であると仮定して，約50TFLOPSという地球シミュレータ並の性能が要求される。このような状況下でリアルタイムシミュレーションを実現しようとするれば，既存の汎用コンピュータとソフトウェアを基盤とする限りはほぼ不可能と言ってもよく，音響解析専用のアルゴリズムとハードウェアの構築が要求される。すなわち，音場をハードウェア化してULSIシリコンチップに焼き付けることができれば，たかだか数十kHzの動作クロック周波数でリアルタイムシミュレーションを手に入れることが可能になる。チップ化によりULSIシリコンチップ内にコンサートホールの音響空間をすっぽり納めることも可能となり，“シリコンコンサートホール”も夢ではなくなる。本研究では，シリコンコンサートホールの実現について可能性の検討を行う。

ュレーションを実現しようとするれば，既存の汎用コンピュータとソフトウェアを基盤とする限りはほぼ不可能と言ってもよく，音響解析専用のアルゴリズムとハードウェアの構築が要求される。すなわち，音場をハードウェア化してULSIシリコンチップに焼き付けることができれば，たかだか数十kHzの動作クロック周波数でリアルタイムシミュレーションを手に入れることが可能になる。チップ化によりULSIシリコンチップ内にコンサートホールの音響空間をすっぽり納めることも可能となり，“シリコンコンサートホール”も夢ではなくなる。本研究では，シリコンコンサートホールの実現について可能性の検討を行う。

2. 研究の目的

本研究は、シリコンコンサートホールの実現に向けて、音響空間のハードウェア化のための基盤技術構築を目指すものである。音響空間をハードウェアシステムで実現するには、音場のデジタル等価回路表現が必要となる。本研究では、デジタル等価回路に最も適したアルゴリズムとしてデジタルホイヘンスモデル (Digital Huygens Model: DHM) に着目する。DHM 法は FDTD 法などと同様な波動場の時間領域局所解法の 1 つであり、ホイヘンスの原理を離散化した物理的モデルである。DHM 法では音場を細かいセルに分割しておき、セル内の音波伝搬・散乱を数回の加減算と乗除算で近似表現するため、FDTD 法よりも少ない計算量で音波伝搬を計算でき、デジタル等価回路が容易に得られるといった特徴を有する。本研究課題では、DHM をプログラマブルロジックデバイスである FPGA (Field Programmable Gate Array) でハードウェア化し、リアルタイムシミュレーションを実現するための基礎的な技術の開発を目的とする。

3. 研究の方法

(1) DHM

2次元音場の DHM 要素では、波動場の微小領域を図 1 のように長さ Δl の直交線分で表現する。各線分に入射されたパルス P は、節点における特性インピーダンスの不連続によって、 Δt 秒後には各線分に次式のように散乱される。

$$S_i(k+1) = \frac{1}{2} \sum_{j=1}^4 P_j(k) - P_i(k) \quad (1)$$

ただし、 P, S はそれぞれ入射、散乱パルス、添字 i, j は線分番号 1~4、 k は離散時刻 ($t = k\Delta t$) をそれぞれ表す。散乱パルスは、隣接要素の線分への入射となり、波は連鎖的に広がることになる。式(1)の入射パルスと散乱パルスの関係は、図 2 のような複数の入出力端子を持つデジタル等価回路として表現できる。このように DHM は本質的にデジタル表現が可能であるため、FPGA に実装するのに最も適した手法である。また、演算が簡単なことから固定小数点数演算も可能であ

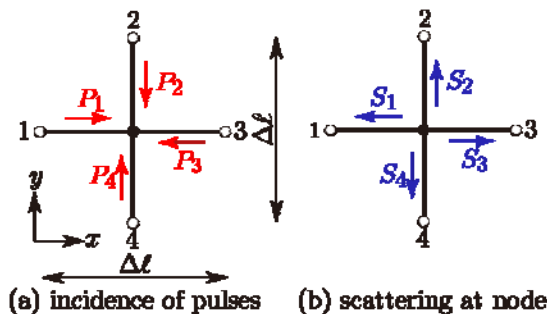


図 1 2次元 DHM 要素

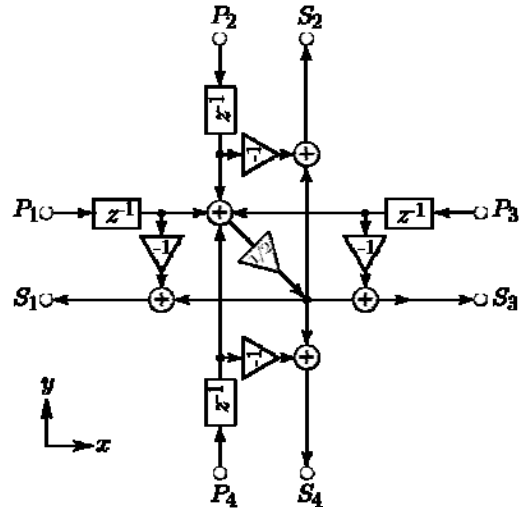


図 2 DHM のデジタル等価回路

り、FPGA の回路面積を低減できるといった他の手法にはない特徴も有する。

(2) FPGA への実装

図 2 の DHM 回路をハードウェア記述言語 VHDL で記述し FPGA へ実装する (図 3 (a))。演算方法は回路面積を小さくするために、符号付き固定小数点数演算を採用する。可聴音では、120dB (6 桁) 程度の音圧範囲を表現できればよいので 20bit が必要であるが、演算精度を考慮に入れて 32bit とした。2次元音場計算のためには、DHM 回路を図 (b) のように FPGA 内で 2 次的に接続する。DHM 回路への入力には図 (b) のように音源に位置する DHM 回路の端子 (線分) の 1 つに音源信号を入力する。入力信号は 16bit とし、FPGA 内部で 32bit 幅に変換する。一方、出力は観測点に位置する DHM 回路の乗算器出力 (音圧に相当) を出力信号として取り出す。出力信号は、入力信号とは逆に 32bit の計算結果を 16bit 幅に変換してから出力する。

(3) FPGA システムの作製

FPGA システムは評価用の FPGA ボードを使用して構築した。このボードには、Xilinx 社の FPGA (XC3S2000) が搭載されている。論理回路は LUT (Look Up Table) を基本単位として論理合成されるが、2つの LUT で 1つのスライスを構成し、スライス単位で管理されている。XC3S2000 には 20,480 スライス、

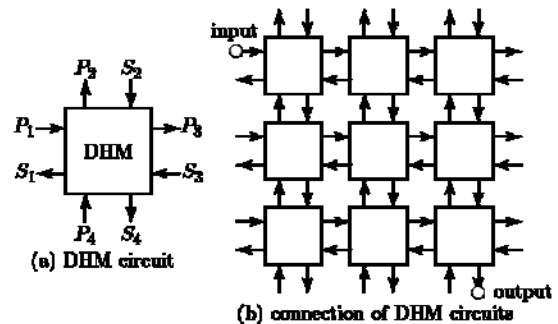


図 3 DHM 回路と接続

40,960LUT が内蔵されている。FPGA 自体は約 200MHz のクロックまで動作可能であるが、ボードのクロックは 48MHz に設定されている。パソコンとの通信は、パラレル通信とシリアル通信を試みる。パラレル通信は、2 枚のデジタル I/O ボードを介して入出力独立の 16bit パラレルで行う。また、シリアル通信は、組み込み用の USB ボードを使用して 8bit × 2 で行う。

(4) 境界条件の組み入れ

将来的に DHM による音響空間が FPGA 内に構築された場合、ホール形状の組み入れ、ホール壁面の吸音特性や客席の音響特性の組み入れなど境界条件の組み入れに関する周辺技術についての検討も必要となる。ホール壁面の吸音特性や客席の音響特性は、複雑な周波数特性を示すため、この特性の再現には IIR デジタルフィルタを採用する。

DHM では、音圧と粒子速度は陽に現れないため、境界条件は境界に接している線分と境界との間に反射率の形で導入する。反射率 r は、垂直入射吸音率 α_0 から次式で算出される。

$$r = \sqrt{1 - \alpha_0} \quad (2)$$

ここでは、反射率は壁面も媒質と考え、媒質境界での反射を利用する方法を採用する。空気の密度を ρ_0 、壁面の密度を ρ とし、音速は両者とも c_0 と仮定すると、反射率は

$$r = \frac{\rho - \rho_0}{\rho + \rho_0} \quad (3)$$

となる。DHM では、密度の設定も反射率、透過率の形で導入することになる。

ただし、壁面の反射率を規定しているだけなので、このままでは周波数依存性の表現はできない。壁面の吸音率に時間領域で周波数特性を組み入れるには、壁面からの反射音にたたみ込み演算を施す必要がある。そのために、DHM では壁面に接している線分にデジタルフィルタを接続し、フィルタ出力が再び線分に戻るようなモデルを考える。ここでは、図 4 のような IIR フィルタを壁面に接している線分に接続するモデルを検討する。IIR フィルタの特性は、フィルタ係数 a_m 、 b_m で決定されるため、これらを壁面の反射率特性に一致するように設計すれば、周波数特性を有する吸音面のモデル化が可能となる。フィルタ係数の設計には、MATLAB の filter design toolbox を使用する。

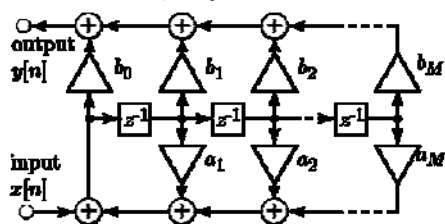


図 4 IIR フィルタ

4. 研究成果

(1) FPGA への実装と性能評価

正方形の 2 次元場を 1 辺が N 個の DHM 回路で構成した場合の論理合成結果を表 1 に示す。1 つの DHM 回路当たり約 190 のスライスで合成できているが、LUT 数でみると約 222 (約 60%) しか使用されておらず、かなりの LUT が無駄になっている。

表 1 論理合成の結果

N	要素 (N^2)	LUTs	Slices
2	4	970	833
4	16	3,587	3,074
6	36	8,027	6,875
8	64	14,243	12,194
10	100	22,235	19,035

つぎに、パソコンからの入力信号は与えずに FPGA 内でステップ信号を発生させ、1000 Δt 後の計算結果をパソコンに出力して性能を評価した(表 2)。本来ならば 48MHz のクロックで動作するはずであるが、配線が最適化されていないことによる遅延等の発生により、36 要素 (6×6) 以上では 24MHz でしか動作しなかった。この結果から性能を計算すると、表 2 のように最高で 2.4GFUPS (19.2BIPS) が実現できており、これは 44.1kHz のサンプリング周波数に対し $N = 2100$ の正方領域をリアルタイムで計算できることになる。ただし、FUPS 値は 1 秒間に計算できる要素数を表しており、それに 1 要素当たりの演算回数 (8 回) を乗算することで MIPS 値を算出している。このように、数 10MHz 程度の低いクロックで GPU とほぼ同程度の性能が実現できているのは、CPU や GPU のようにメモリ転送の必要がなく、並列化効率がほぼ 100% であることに起因する。

表 2 DHM 回路の演算性能

N	要素 (N^2)	クロック (MHz)	GFUPS	MIPS
2	4	48	0.192	1,536
4	16	48	0.768	6,144
6	36	24	0.864	6,912
8	64	24	1.536	12,288
10	100	24	2.400	19,200

一方、入出力を CPU に同期させて時間ステップごとに 16 ビットの平行インターフェースを介し、FPGA から結果を出力させたところ、クロック周波数を約 6kHz (96kbps) にまで下げないと数十ステップに 1 回の頻度でエラーが発生した。また、入力を行わずに非同期としても約 23kHz (368kbps) までしか対応できなかった。これは、使用したボードと通信プログラムにおける遅延が原因と考えられる。このように入出力を行う場合、CPU と

の通信がボトルネックとなるため、より高速なUSBやPCI Expressなどの導入が必要となる。

そこで、次にUSBインターフェースを用いて同様の実験を行ったところ、8bit×2の伝送ではあるが125kHz(2Mbps)の通信速度を達成できた。これは、CD音質であってもリアルタイムで音声データを伝送するのに十分な数値である。

(2) 境界条件の組み入れ

長さ50mの音響管内の平面波伝搬(1次元モデル)を想定し、シミュレーションによる数値実験を行った。管を長手方向に5000分割($\Delta l=0.2\text{mm}$, 他の方向は1分割)し、左端はガウス波で速度駆動、右端は1要素分を壁面とし、空気との境界に反射率および透過率を設定している。また、壁面の他端は特性インピーダンスによる無反射終端としている。空気の音速 c_0 は343.7m/s, $\Delta t=16.8\mu\text{s}$ に設定している。計算は、15000 Δt (約250ms)まで行い、音源から30mの観測点における反射波形をFFTし、剛壁終端と吸音壁で比較することで、周波数ごとの反射率から垂直入射吸音率を計算している。プログラムはg++, 倍精度でコーディングし、計算はPower Mac G5 (Dual 2GHz, 4GB) 上で行った。

吸音壁として、グラスウール(密度35kg/m³, 厚さ50mm)と、孔あき板(板厚7mm, 孔寸法6-22φ, 背後空気層45mm)を例に数値実験を行った。図5, 6の破線にそれぞれの吸音特性例を示す。吸音特性を基にIIRフィルタの係数を設計した結果を表3にそれぞれ示す。フィ

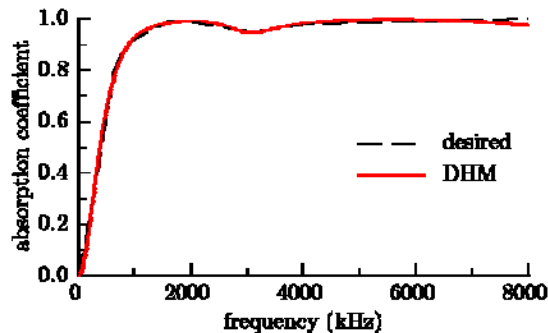


図5 グラスウールの垂直入射吸音率

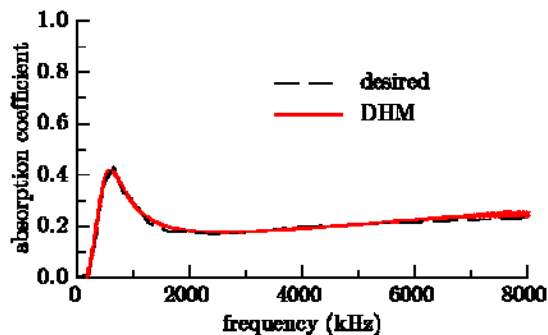


図6 孔あき板の垂直入射吸音率

ルタの次数は6次としている。DHMによる計算結果を、図5, 6の実線に示す。グラスウール、孔あき板双方の場合とも、精度良く吸音壁としてモデル化できているのが分かる。このように、デジタルフィルタを用いれば任意の周波数特性を有する吸音壁であっても、内部構造や吸音機構を気にすることなくモデル化できるため、実用的である。

表3 IIRフィルタの係数

	グラスウール	孔あき板
a_1	-3.6744596724118952	-2.8279910306324227
a_2	5.1533242084724025	2.8507960302950992
a_3	-3.2758426482958427	-1.1997569663010337
a_4	0.8024954128247003	0.1821910929548677
a_5	-0.0051529403730985	-0.0044498306334453
b_0	-0.0399483940388959	0.8478911014214470
b_1	0.1048638348777293	-2.4931161486766551
b_2	-0.0923070289272811	2.6020061512335984
b_3	0.0262740271828591	-1.1339525340865544
b_4	0.0007471699349723	0.1854037536907464
b_5	0.0000050083839668	-0.0074227591928975

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0件)

〔学会発表〕(計 1件)

①土屋隆生, 大塚正広, 熊谷篤志, FPGAによる音場シミュレーションの試み, 日本音響学会2008年春季研究発表会, 2008年3月18日。

〔図書〕(計 0件)

〔産業財産権〕

○出願状況(計 0件)

○取得状況(計 件)

〔その他〕

6. 研究組織

(1) 研究代表者

土屋 隆生 (TSUCHIYA TAKAO)

同志社大学・理工学部・教授

研究者番号: 20217334

(2) 研究分担者

菅原 英子 (SUGAWARA EIKO)

北陸先端科学技術大学院大学・情報科学研究科・助教

研究者番号: 90401950

(3) 連携研究者

なし