

平成 21 年 4 月 2 日現在

研究種目：基盤研究(C)
 研究期間：2007～2008
 課題番号：19560363
 研究課題名（和文） ナノメータ時代の超低電圧動作応用 SRAM 回路端子電位制御技術の研究
 研究課題名（英文） A Study for SRAM Terminal Biasing Scheme for Ultra-Low Operating Voltage Applications for Nano-Meter Era

研究代表者
 山内 寛行 (YAMAUCHI HIROYUKI)
 福岡工業大学・情報工学部・教授
 研究者番号：70425239

研究成果の概要：

SRAM のサイズスケーリングのペースに影響を与える可能性のある SRAM セルトポロジータとマージンアシスト方式の技術について調査し、スケーリングのペースに与える影響を定量的に求め、45nm 以降 15nm 迄のプロセススケーリングを考慮した各種アシスト回路のマージンアシスト回路方式の予測を行い、最もサイズスケーリングのペースを速くできる SRAM セルトポロジータとマージンアシスト回路を明らかにした。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	2,000,000	600,000	2,600,000
2008 年度	1,000,000	300,000	1,300,000
年度			
年度			
年度			
総計	3,000,000	900,000	3,900,000

研究分野：工学 電気電子工学

科研費の分科・細目：電子デバイス・電子機器

キーワード：(1) SRAM (2) SRAMスケーリング (3) スタティックノイズマージン
 (4) ライトマージン (5) マージンアシスト回路 (6) EOT のスケーリング
 (7) σV_t のスケーリング (8) セルトポロジータ

1. 研究開始当初の背景

ナノメータ時代の LSI 研究で最も深刻な課題の 1 つは、閾値電圧（以下 V_t ）の“ランダムばらつき”急増に起因した SRAM の面積・電圧スケーリングの破綻である。これがより深刻なのは、(1) SRAM が LSI にとって面積・消費電力の点で最も影響を与える構成要素であり、(2) 将来の環境やバイオセンサーネットワーク分野を普及させるために必要な

超省電力 LSI の実現には、SRAM の電源電圧 V_{dd} を V_t 以下の極限までスケーリングさせることが必要だからである。

10年前に65nm時代の問題点を予見し、電源端子を制御する提案を行っているが、本研究と他の論文の差は、他が非選択セルへの副作用（ディスタープ）を無視できる65nmまでの微細化に留まっているのに対し、本研究はその非選択セルへの副作用量が45nm以

細では益々増大し、さらに超省電力応用分野で必要な $V_{dd} < V_t$ 領域ではさらに対数的に深刻化することを予見し、その解決方法を研究する点である。特長は微細化と超低電圧化で深刻化する副作用を低減するSRAM回路研究を通じて、従来のサイズ比による β 比設計から制御電位比による β 比設計手法への大転換を目指す点である。

その着想に至った経緯は、副作用のトレンドは“ランダムばらつき”対策のための電源端子の必要な電位制御量に依存するので、デバイスサイズの微細化に比例して急激に増加すること。さらに、 $V_{dd} < V_t$ 領域では V_t ばらつきに対する感度が対数的になり、もはやSRAMのマージン設計はサイズ比による細かな最適化レベルの β 比設計ではなく制御電位比でアダプティブに設計するスタイルに変化させる必要があること、さらにその理由に輪をかけて、FINFET時代はデバイスの形状から製造上レイアウトサイズは画一的に制限されることが知られており、 β 比の設計手法はアダプティブな動的電源制御に頼るしか無く、電位制御による副作用との戦いが常に重要だと信じるからである。

2. 研究の目的

本研究はその時代を切り拓く時に障害となる新たなSRAMスケールアップ課題を、(1)電源端子制御設計を含めた回路設計・アーキテクチャーの観点、(2)FINFETなどの新規デバイス・回路協調設計の観点の2つの視点で解決することを目指す。

<研究期間内での具体的な取り組み内容>

①メモリセル電源端子の電位を動的に変化させる時のディスタート量のトレンドを先行して世に開示する。副作用量は端子電圧制御方法に依存するので、可能性のある動的制御方法の候補一覧作成を行う。それぞれの効果と副作用の比較を、 $V_{dd} > V_t$ 領域で回路シミュレーションで定量的に行い、そのトレードオフ・トレンドから32nmまで破綻しないための必要技術を創出する。

②その結果を踏まえ、 $V_{dd} < V_t$ 領域での新たなメモリセル端子の動的制御方法の提案と検証を行う。

これまでの研究結果によると、以下の2つのアプローチが副作用の低減に有効である可能性が大きいと予測している。副作用の大きさは、ばらつき量のトレンドに大きく依存し、客観的な比較結果のトレンド作成を完遂し、

先行して世に問う。

[2-1] ロウとコラムのクロスポイントセルに重みを付けた電源端子の動的制御を行うことで、それぞれの方向での非選択セルアクセスのディスタート量を低減し、アクセス対象のセル(クロスポイントの位置のメモリセル)と非選択セルとのディスタート量を重み付けする(図3)。(※従来の方法では、選択セルも非選択セルも差別化の無い同一の大きなディスタートを受ける課題有)

[2-2] メモリセルの電源端子以外のワード線、ビット線の電位も同時に V_{dd} 以外の電位に制御することで、クロスポイント制御をより効率的にする。具体的には、ロウ方向にはワード線の電位を V_{dd} より低い電位 $V_{dd} - \alpha$ に制御し、コラム方向には、メモリセルの接地端子をGNDレベルよりも低い微小な負の電位に制御する方法がその一つである。従来のロウ方向だけの制御では、ワード線の電位制御でSNMの改善は実現できるがその副作用として、 $V_{dd} < V_t$ の動作領域でメモリセル電流が対数的に減少する問題が発生し、さらに32nm以降のデバイスの微細化によるばらつき増大でこの課題は一層深刻になる。それに対して本研究で提案している方法は、副作用を避けたい選択メモリセルは、ロウ方向からの副作用をコラム方向でキャンセルし、SNMの改善を図りながらメモリセル電流の減少という副作用を回避することを狙ったものでその効果の実証研究を行う。

③SRAMの研究成果は「ロジック回路」を構成するレジスタファイルやフリップフロップへの応用展開が期待されるが、一方で応用展開時のロジック設計スタイル特有の課題研究が求められる。具体的には、スタティックセルを用いるP&R制限条件下で、電源端子と信号線端子をどのようにレイアウトし制御することが可能なかを検証しその副作用・課題を調査する初期課題研究である。

3. 研究の方法

32nm以降の微細化と、 $V_{dd} < V_t$ 動作領域での副作用のトレンド比較、原因分析と本質課題の明確化。

(1) 現在の論文は90nm, 65nmに留まっておりランダムばらつき量も、電源電圧 V_{dd} も32nm以細に予測される値に基づいていないので、その点に留意して再検討することから始める。

産業界は各提案技術の副作用を含めた客観的な比較結果を公開することは困難なので

大学が公開することは意味がある。

(2) 課題は32nm時代の回路シミュレーションのためのモデルであるが、VDECを通じて入手することは困難なので、具体的に企業とNDAの契約を結び特別に入手する。

(3) 副作用の定量化は、まず最初に、65nm, 45nm 時代の実測と合わせ込んだ精度の良いSRAM特性解析回路シミュレーションネットリストの作成を行い、その後、32nm以細のトレンド予測に適用する。本研究代表者の強みは65nm, 45nm 時代の実測とシミュレーションとの整合性を企業の協力を得てほとんど完成に近いところまで実施できている点である。

4. 研究成果

SRAM回路のスケールリングトレンドを予測するために、MOSFETの閾値電圧 V_t のランダムばらつき大きさ σV_t の増加トレンドとプロセスのスケールリングの関係を最初に仮定した。その関係はMOSFETのゲート酸化膜の電氣的換算膜厚 EOT のスケールリングトレンドに依存するために、 EOT に応じて σV_t とプロセスのスケールリングトレンドを仮定した。

その仮定に基づき、考えられるSRAM回路のマージンをアシストする回路のスケールリングトレンドを予測した。

各アシスト回路の副作用量の増大トレンドを予測し、各アシスト回路が有効に機能するスケールリング寿命を予測した。SNMとWRMの各種アシスト回路のスケールリング寿命を比較した。各種予測された寿命を延命することに影響を与える可能性のある新たなセルトポロジとアクセス方式の技術についても調査し、それが寿命に与える影響を定量的に求めた。以上の方法で、45nm以降15nm迄のプロセススケールリングに伴う、各種アシスト回路の寿命予測を行い、最も寿命を延命できるアシスト回路を明らかにした。

新たなセルトポロジ8T, 10T-SRAMセルや、アクセスを時分割制御する方式のスケールリングに与える影響、また、そのシナジー効果を定量的に示した。

以上の成果により各種提案されてきたアシスト回路、新たなセルトポロジ、アクセス方法のスケールリング寿命に対する効果と、そのアプリケーション毎の棲み分け方について明確に定量化した。

検討結果によると、Low Standby Processというリーク電流が一番少ないプロセスにおいても EOT が1.0nmを切り σV_t がSRAMのトランジスタでも65mV以下に抑制されれば6T-SRAMは他の8T-SRAMや10T-SRAMに対して面積スケールリングの点で有利であることを示した。

逆に各種提案されている10T-SRAMは、 σV_t が100mVを超える領域でないとな積的なメモリが6T-SRAMや8T-SRAMに対してないことがわかった。

以上のようにシステムティックに全体をまとめてスケールリングの予測をしたものは世界で初めてであり、2007年度においては、この分野で著名なIEEE ISSCC2008でのメモリフォーラムでその成果を1時間の講演で発表し、台湾、中国で開催されたIEEE MTD2007とASICON2007においてもその成果を招待論文で発表した。

2008年度においては、この分野で著名なIEEE ISSCC2009でのチュートリアル講演(90分)を2回講演、韓国で開催されたIEEE ISOC2008では招待論文でBest Paper Awardを受賞した。

その他、2008年、2009年のIEEE VLSI Symposium on VLSI Circuitsにも連続して、2件採択された。

さらに、査読付の学術論文として、IEEE Journal of Solid State Circuits (JSSC)に合計2件採択された。IEEE VLSI Systemsに1件、IEEEのJSTSに1件、論文が採択された。詳細は以下の発表論文リストに記す。

さらに、洋書(Springer)に50ページ程度の章分担を行い、2009年3月末に出版された。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計7件)

- ① Hiroyuki Yamauchi, A Discussion on SRAM Circuit Design Trend in Deeper Nanometer-Scale Technologies, IEEE Transaction on VLSI Systems, 査読有, 2009, 掲載決定
- ② Hiroyuki Yamauchi, A Scaling Trend of Variation-Tolerant SRAM Circuit Design in Deeper Nanometer Era, IEEE Journal of Semiconductor Technology and Science, 査読有, 2009, Vol. 9 No. 1, pp. 37-50
- ③ Yen Huei Chen, Gary Chan, Shao Yu Chou, Hsien-Yu Pan, Jui-Jen Wu, Robin Lee, H. J. Liao, and Hiroyuki Yamauchi, A 0.6 V Dual-Rail Compiler SRAM Design on 45 nm CMOS Technology With Adaptive SRAM Power for Lower VDD_min VLSIs, IEEE Journal of Solid State Circuits, 査読有, 2009, vol. 44, No. 4, pp. 1209-1215

- ④ Toshikazu Suzuki, Hiroyuki YAMAUCHI, Yoshinobu Yamagami, Katsuji Satomi, and Hironori Akamatsu, "A Stable 2-Port SRAM Cell Design Against Simultaneously Read/Write-Disturbed Accesses", IEEE Journal of Solid State Circuits, 査読有, 2008, Vol. 43, pp.2109-2119
- ⑤ Hiroyuki Yamauchi, A 1R/1W SRAM Cell Design to Keep Cell Current and Area Saving Against Simultaneous Read/Write Disturbed Accesses, IEICE Transactions on Electronics., Vol.E90-C, No.4, April, 2007, pp.749-757, 査読有
- ⑥ Hiroyuki Yamauchi, A PND (PMOS-NMOS-Depletion MOS) Type Single Poly Gate Non-volatile Memory Cell Design with a Differential Cell Architecture in a 110nm Pure CMOS Logic Process for a System LSI, IEICE Transactions on Electronics., Vol.E90-C, No.5, May, 2007, pp.1129-1137, 査読有
- ⑦ Suzuki T, Yamauchi H, Satomi K, Akamatsu H, A Stable SRAM Mitigating Cell-Margin Asymmetry with a Disturb-Free Biasing Scheme, Custom Integrated Circuits Conference, 2007. CICC apos;07. IEEE Volume, Issue, 2007, 233-236, 査読有
- [学会発表] (計 10 件)
- ① Hiroyuki Yamauchi, Variation-Tolerant SRAM Circuit Design, IEEE ISSCC 2009 Tutorial, 2009.2.8~12, San Francisco USA [MARRIOTT HOTEL]
- ② Hiroyuki Yamauchi, A Discussion on SRAM Circuit Design Trend in Deeper Nano-meter Era, International SoC Conference ISOCC2008, 2008.11.25, 韓国・釜山 (BEXCO Convention Halls)
- ③ Y.H. Chen, W.M. Chan, S.Y. Chou, H. J. Liao, H.Y. Pan, J.J. Wu, C.H. Lee, S.M. Yang, Y.C. Liu, Hiroyuki Yamauchi, A 0.6V 45nm Adaptive Dual-rail SRAM Compiler Circuit Design for Lower VDD_min VLSIs, IEEE Symposium on VLSI Circuit 2008.2008.6.16~20, Honolulu Hawaii USA (Hilton Hawaiian Village)
- ④ Hiroyuki Yamauchi, An embedded SRAM and its Scaling trend, IEEE ISSCC2008, Advanced Circuit Memory Forum "Embedded memory", 2008.2.3, San Francisco
- ⑤ Hiroyuki Yamauchi, "Embedded SRAM Trend in Nano-Scale CMOS", IEEE MTDT 2007 Proceeding, 2007.12.4, Taipei (Taiwan)
- ⑥ Hiroyuki Yamauchi, "A 45nm Dual-Port SRAM with Write and Read Capability Enhancement at Low Voltage", IEEE International System on Chip Conference, 2007.9.26-29, Busan (Korea)
- ⑦ Hiroyuki Yamauchi, "Embedded SRAM Circuit Technologies for a 45nm and beyond", International Conference on ASIC Electronic Version Proceedings, 2007.10.28, Guilin (China)
- ⑧ 貞方健太・山内寛行・山野辺泰治, SRAMの閾値電圧ばらつきによる書き込みマージンへの影響に関する研究, 電気学会九州支部連合大会, 2008.9.24, 大分大学
- ⑨ 山野辺泰治・貞方健太・山内寛行, ソース同相・差動制御によるWRM改善効果のためのDC解析とトランジェント解析による比較検討, 電気学会九州支部連合大会, 2008.9.24, 大分大学
- ⑩ 横尾章一郎・山内寛行, DC解析とTransient解析によるSRAMの動作Marginの比較検討, 電気学会九州支部連合大会, 2008.9.24, 大分大学
- [図書] (計 2 件)
- ① Hiroyuki Yamauchi, Springer, Embedded Memories for Nano-Scale VLSIs, 2009, 共著 (pp.37-86)
- ② 山内 寛行, 電子ジャーナル, 2009 半導体テクノロジー大全, 2009, 共著 (P.130-136)

6. 研究組織

(1) 山内 寛行 (YAMAUCHI HIROYUKI)
福岡工業大学・情報工学部・教授
研究者番号：70425239

(2) 研究分担者
なし

(3) 連携研究者
なし