

機関番号：12601

研究種目：若手研究（A）

研究期間：2007～2009

課題番号：19680015

研究課題名（和文） シリコン拡張CPGによるMEMSデバイスの制御

研究課題名（英文） MEMS device control by expanded silicon CPG

研究代表者

河野 崇 (KOHNO TAKASHI)

東京大学・生産技術研究所・准教授

研究者番号：90447350

研究成果の概要（和文）：神経細胞及びシナプスの電気生理学的性質を模倣した電子回路であるシリコンニューロン及びシリコンシナプス回路、さらにそれらを相互接続したシリコンCPGを設計した。この際、数理的手法を用いて従来に比べ大幅に単純な回路で神経の複雑なダイナミクスを実現することに成功した。これらを集積回路実装し特性評価を行うとともに、静電MEMSアクチュエータの制御用インターフェイス回路の設計及びアクチュエータからのフィードバック情報を得る手法を開発した。

研究成果の概要（英文）：Silicon neuron and synapse circuits emulate the electrophysiological behavior of the neuron and the synapse. In addition to these circuits, Silicon CPG, their mutual coupling, were designed utilizing mathematical techniques, which allowed us to implement the complex dynamics in neurons by far simpler circuitry than conventional circuits. These circuits were implemented in the integrated circuits and evaluated. In addition, a control interface circuit for connection with an electrostatic MEMS actuator was designed and the technique to obtain feedback information from the actuator was developed.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2007年度	7,500,000	2,250,000	9,750,000
2008年度	5,900,000	1,770,000	7,670,000
2009年度	4,300,000	1,290,000	5,590,000
年度			
年度			
総計	17,700,000	5,310,000	23,010,000

研究分野：総合領域

科研費の分科・細目：情報学・生体生命情報学

キーワード：脳型情報処理、シリコンニューロン、脳・神経、先端機能デバイス

1. 研究開始当初の背景

シリコンニューロン回路は、神経細胞の電気生理学的挙動を模倣した電子回路であり、神経ネットワークと同等の能力をもつ電子回路システム、神経補綴デバイスなどバイオメディカルデバイス、リアルタイムシミュレータなどへの応用を念頭に研究されている。研究開始時、シリコンニューロン回路は神経

細胞膜のイオン透過性を記述する複雑な微分方程式を解くアナログ回路として実現されるか、あるいは、リーキーインテグレートアンドファイアモデルのような非常に単純化された現象論的モデルを回路実装するか、のどちらかの手法で設計されていた。前者（コンダクタンス・ベース）では、神経細胞の複雑な挙動をよく再現することができた

が、回路が非常に複雑となり、複数のシリコンニューロン回路を接続したシリコン神経ネットワークの実現に技術的なハードルが高かった。後者は、単純で安定した回路で実現可能だが、神経細胞の挙動のごく一部のみを抽象的なレベルで再現するにとどまっていた。このため、シリコン神経ネットワークに期待されていた、コンパクト、超低消費電力でありながら柔軟な処理能力をもつ制御系、情報処理系という特徴を完全に実現するには至っていなかった。

2. 研究の目的

神経細胞の挙動の本質を簡潔な微分方程式で記述するために定性的モデルが古くから研究されてきたが、その際に使用される位相平面解析や分岐解析といった非線形数学の手法を応用することによって、シンプルな回路で神経細胞と本質的に同等のダイナミクスをもつシリコンニューロン回路を実現し、超低消費電力なシリコン神経ネットワーク回路を構築するためのプラットフォームを構築することが本研究の目標である。その応用先として、末梢神経系に存在する運動パターン生成神経ネットワークであるCPGを構築し、MEMSアクチュエータデバイスへの組み込み制御回路としての動作を念頭に置いた。

3. 研究の方法

まず、数理的手法を用いることにより、集積電子回路で効率的に実現することのできるシリコンニューロン回路の理論モデルを設計し、数値計算によって挙動を検証した。図1にも示すように、この理論モデルは、定性的神経細胞モデルによって明らかにされてきた神経細胞の挙動の本質的メカニズムを、集積電子回路で実現しやすい関数を用いて構築したものである。本研究では、現在最も低コストで安定した製造が期待できるCMOSテクノロジーを用いて集積回路を実装し、さらに、超低消費電力動作を実現するためトランジスタをサブスレショルド領域で動作させた。この条件下で最も簡単に実現でき安定動作の期待できる差動対回路の特性曲線であるハイパボリックタンジェント曲線の組み合わせにより理論モデルを構築した。

次にこのモデルを電子回路化し、回路シミュレータ上で、理論モデルと電子回路の理想モデルとの差異がシリコンニューロン回路の挙動に本質的なエラーを生じないことを検証してから、通常集積回路設計の手法に従ってレイアウトマスクを設計し、外部ファウンドリ(TSMC)にて試作した。最後に

試作チップを動作させてその挙動を検証した。

また、MEMSアクチュエータデバイスは、他研究室で製作された静電アクチュエータアレイを用い、ディスクリートMOSFET及び、高耐圧オペアンプを用いてシリコンニューロン回路との接続を行う。

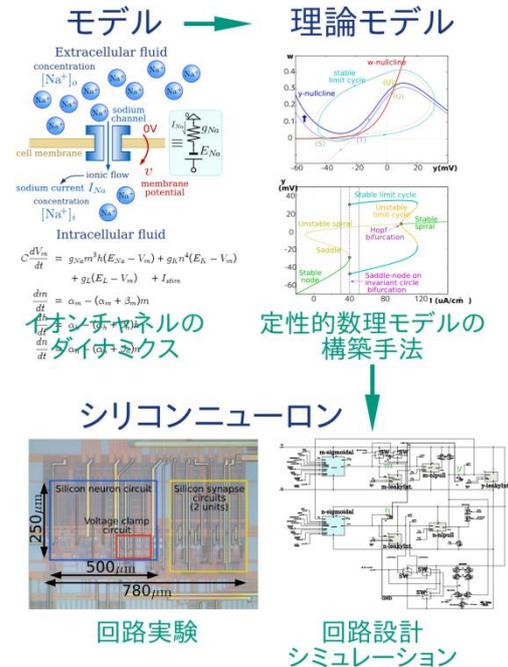


図1 本研究での設計、実装、検証手順

4. 研究成果

神経細胞はスパイクと呼ばれる、細胞膜電位の素早い上昇下降によって情報を送受信している。神経細胞の中には、連続してスパイクを発生する期間とスパイクを全く発生しない期間が交互に出現する(バースト発火)ものがあり、バーストニューロンと呼ばれる。バースト発火は末梢神経系における運動器官の制御だけでなく、中枢神経系における情報処理においても重要な役割を果たしていると考えられている。本研究では、外部からの設定信号に従ってバースト発火の可・不可や種類を選択することのできるシリコンニューロン回路を実現すること、及びキネティックモデルと呼ばれる比較的詳細なシナプスモデルに基づいたシリコンシナプス回路を実現することにより、研究目的である、シリコン神経ネットワーク回路のためのプラットフォームを構築した。

(1) シリコンニューロンモデルと回路

様々なタイプのバースト発火のうち、4変数までの定性的モデルがよく研究されている。本研究では、前述のように、ハイパボリックタンジェント曲線を用いて時定数の短

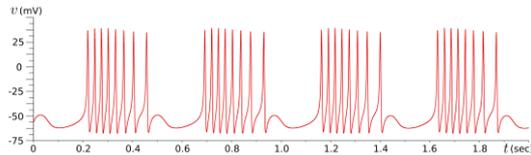


図4 双曲バーストのシミュレーション結果

の理論研究の結果と同等の、連続発火(a)、カオスの連続発火(b)、バースト発火(c)(e)、カオス的バースト発火が起こることを確認した。また、双曲バースト時のシミュレーション結果を図4に示す。

(2) シリコンシナプスモデルと回路

神経細胞同士の結合であるシナプスのうち、化学伝達物質の放出によって情報を伝えるAMPA及びGABA_Aシナプスと同等のダイナミクスを持つシリコンシナプスを設計した。化学伝達物質の反応過程を表現するモデルをキネティックモデルと呼ぶが、これと同じ数理構造を持つモデルをシリコンニューロンと同様にハイパボリックタンジェント曲線を用いて構築し、回路化した。回路ブロックは図5に示す通りであり、シリコンニューロン回路の膜電位を入力とし、化学伝達物質の量を表現する電流 I_{at} へ変換して差動対回路を利用した積分回路で積分、最後にターゲットとなるシリコンニューロン回路(後シナプスシリコンニューロン回路)の膜電位とシナプス電位との差を反映して出力電流 I_{syn} へ変換する。シナプス電位や結合強度、時定数は回路に付与するパラメータ電圧によって調節ができる。本回路の矩形波入力に対する応答のHSPICEシミュレーションの結果を図6に示す。ここではシナプス電位が一定であり、後シナプスシリコンニュー

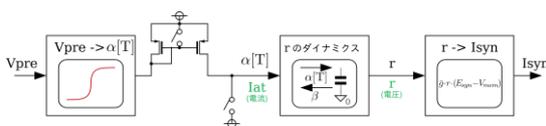


図5 シリコンシナプス回路のブロック図

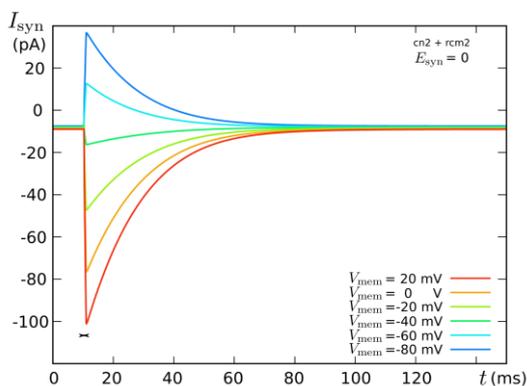


図6 シリコンシナプスのシミュレーション結果

ロン回路の膜電位 V_{mem} を様々な値に設定した結果を示している。後シナプスニューロンの膜電位に依存して抑制性、興奮性が切り替わるシナプスが存在することが知られているが、これに相当する機能を実現できていることがわかる。

(3) CPG回路

末梢神経系では、CPGと呼ばれる小規模神経ネットワークが運動パターンを生成していることが知られている。神経細胞が抑制性シナプスで相互結合したハーフセンターオシレータが最もよく知られている。設計したシリコンニューロン回路2回路を、設計したシリコンシナプス回路で相互結合し、シリコンハーフセンターオシレータを構築した。シリコンニューロン回路は方形波バーストするよう設定されており、シリコンシナプス回路のシナプス電位は十分低く設定されており、抑制性シナプスとして働いている。典型的な動作波形を図7に示す。反位相同期しており、ハーフセンターオシレータとして機能していることが確かめられた。

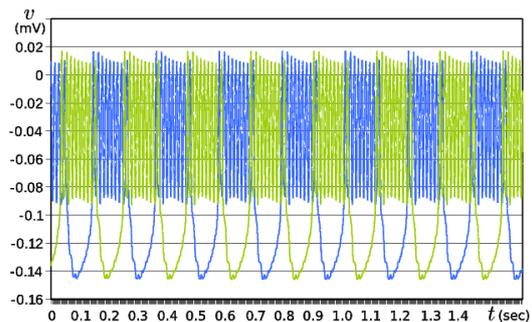


図7 シリコンハーフセンターオシレータのシミュレーション結果

(4) シリコンニューロンVLSI

ハーフセンターオシレータを相互結合した拡張CPGがロボット制御などに有用であることが示されているが、このようなシステムを実現可能とするため、設計したシリコンニューロン回路1回路に対し、設計したシリコンシナプス回路を2回路、さらにギャップジャンクションと呼ばれる電気結合と同等の回路を1回路結合したユニットを、TSMC CMOS 0.35 μm プロセスを用いて集積回路化した(図8)。シリコンシナプス回路は、簡単なレイアウト変更のみで右側に追加することができるよう設計されている。ギャップジャンクション回路は知り子ニューロン回路の下側に配置されているが、非常に小さいため図8ではマークしていない。また、遅いサブシステムに用いる電流モード積分器は非常に大きなキャパシタが必要となるため、今回は図2のs-ブロックを省略し、

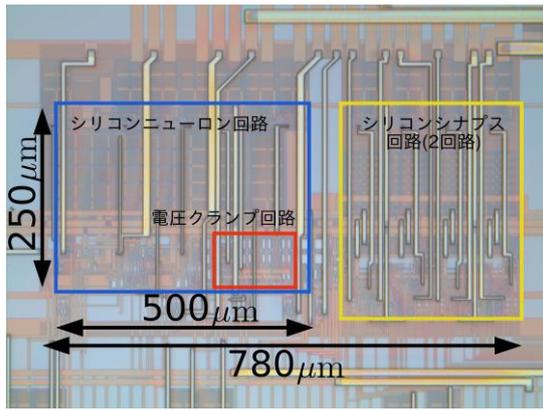


図8 シリコンニューロンVLSI

3変数のみ実装した。このシリコンニューロンVLSIの回路実験結果を図9に示す。ナルクラインモードにより速いサブシステムの位相平面構造を描出し(a)、これをもとにパラメータ電圧を決定した。(b)はクラスIの発火特性をもつ速いサブシステムの挙動例であり、(c)は方形波バースト例である。方形波バーストでは、ノイズの影響によりバースト発火が安定しなかった。これは、方形波バーストがノイズ感受性の高い数学的構造を持つためであると予想され、これに対する対策として、 q -ナルクラインを急峻化する回路を考案したもの、効果が不十分であった。より効果的な対策が今後の課題である。シナプスには、神経細胞から入力されたス

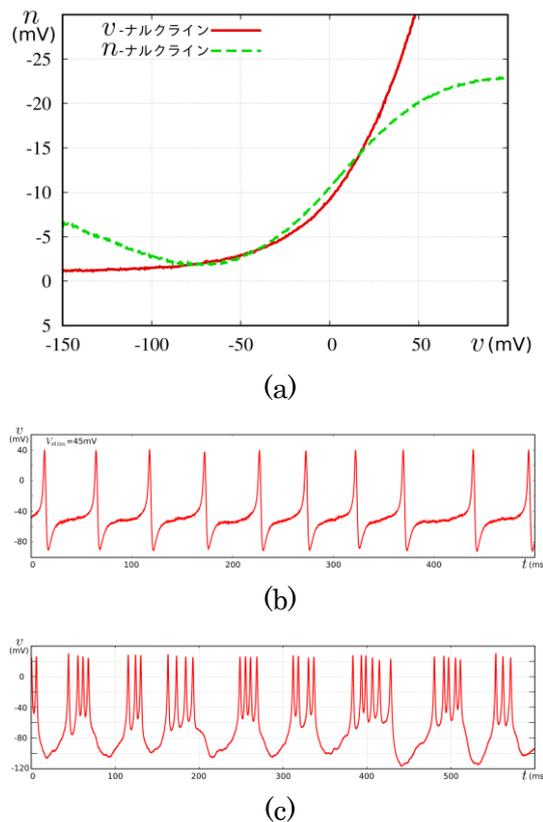


図9 シリコンニューロンVLSIの挙動

パイクを積分して平滑化する作用がある。シリコンニューロン回路の生成するスパイクに、シリコンシナプス回路を經由して平滑化された信号を重畳してMEMS静電アクチュエータに付与したとき、電流の絶対値がアクチュエータの現在の変位と正の相関をもつことを確かめ、ディスクリートMOSFETデバイスを用いて、シリコンニューロン回路とのインターフェイス回路を設計した。これにより、一般的な静電アクチュエータからフィードバック情報を得ることが可能となり、シリコン神経ネットワークと組み合わせて自律的なスマートMEMSアクチュエータを実現することができることを示した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計3件)

- ① Takashi Kohno and Kazuyuki Aihara, Mathematical-model-based design method of silicon burst neurons, 査読有, Neurocomputing, Vol. 71, pp. 1619-1628, 2008.
- ② Takashi Kohno and Kazuyuki Aihara, A Design Method for Analog and Digital Silicon Neurons -Mathematical-Model-Based Method-, 査読有, AIP Conference Proceedings, Vol. 1028, pp. 113-128, 2008.
- ③ Munehisa Sekikawa, Takashi Kohno, and Kazuyuki Aihara, An integrated circuit design of a silicon neuron and its measurement results, 査読有, Journal of Artificial Life and Robotics, Vol. 13, No. 1, pp. 116-119, 2008.

[学会発表] (計11件)

- ① Takashi Kohno and Kazuyuki Aihara, "A mathematical-structure-based aVLSI silicon neuron model," Proceedings of the 2010 International Symposium on Nonlinear Theory and its Applications, pp. 261-264, 2010年9月7日, クラコフ, ポーランド.
- ② Timothee Levi and Takashi Kohno, "Silicon Neural Network Circuits for Smart-MEMs Systems", 2009 CMOS Emerging Technologies Workshop, 2009年9月24日, バンクーバ, カナダ.
- ③ Takashi Kohno and Kazuyuki Aihara, "A Hindmarsh-Rose type silicon neuron", Proceedings of the 3rd International Conference on Complex Systems and Applications, p. 197, 2009年7月1

日, ルアーブル, フランス.

- ④ Takashi Kohno and Kazuyuki Aihara, "A simple aVLSI burst silicon neuron circuit," Proceedings of the 2008 International Symposium on Nonlinear Theory and its Applications, pp. 556-559, 2008年9月10日, ブタペスト, ハンガリー.
- ⑤ Takashi Kohno and Kazuyuki Aihara, "A Design Method for Analog and Digital Silicon Neurons -- Mathematical-Model-Based Method--", Proceedings of BIOCOMP2007, pp. 81-82, 2007年9月26日, ヴィエトリスルマーレ, イタリア.

[図書] (計2件)

- ① 河野 崇, "第9章 ニューロモルフィック・ハードウェア----神経系を模倣する", "理工系からの脳科学入門", 合原一幸, 神崎亮平編, 東京大学出版会, pp. 165-187, 2008.
- ② 河野 崇, "第3編, 第4節 2. シリコンシナプス", "自己組織化ハンドブック", 国武豊喜監修, NTS, pp. 856-858, 2009.

[その他]

- ① 河野 崇, 「数理モデルに基づいたシリコンニューロン設計法」, 融合バイオ、東京大学生産技術研究所・大阪大学産業科学研究所間ワークショップ, 2007年3月12日, 大阪.
- ② 河野 崇, 「電子回路で作る人工ニューロン」, 第十五回脳の世紀シンポジウム, 2007年9月13日, 東京.
- ③ 河野 崇, 「複雑系コンピューティング」, 第十六回科学技術交流フォーラム, 2009年9月7日, 大阪.

6. 研究組織

(1) 研究代表者

河野 崇 (KOHNO TAKASHI)

東京大学・生産技術研究所・准教授

研究者番号: 90447350