

平成 22 年 5 月 17 日現在

研究種目：若手研究(B)
 研究期間：2007～2009
 課題番号：19700037
 研究課題名(和文) 超高速・小型可変レイテンシウェーブパイプライン化演算回路の設計に関する研究
 研究課題名(英文) Designing of Ultra High-Speed and Compact Variable Latency Pipelined Arithmetic Units
 研究代表者
 江川 隆輔 (EGAWA RYUSUKE)
 東北大学・サイバーサイエンスセンター・助教
 研究者番号：80374990

研究成果の概要(和文)：

静的な消費電力が支配的になる将来の半導体加工技術下において、低消費電力且つ、高速な演算器回路設計を実現することを目指して、特に回路技術規模の小規模化、ウェーブパイプラインのための遅延調整に関する研究を行った。具体的には、将来の半導体加工技術における配線遅延の影響を明らかにしつつ、回路規模削減のための入力ビット分割に基づく回路分割手法、logical effort 理論に基づく等遅延回路設計手法を提案し、その有効性を明らかにした。

研究成果の概要(英文)：

To realize low-power and high-speed arithmetic units with future CMOS technologies, this project focused on and carried out research that concerned with a circuit compaction technique and a delay balancing technique. An input bit-sliced circuit partitioning method for circuit scale compaction and a delay balancing methods based on logical effort theory for wave pipelines have been proposed and evaluated. The experimental results clarified the effective of both proposals.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,700,000	0	1,700,000
2008年度	900,000	270,000	1,170,000
2009年度	600,000	180,000	780,000
年度			
年度			
総計	3,200,000	450,000	3,650,000

研究分野：総合領域

科研費の分科・細目：計算機システム・ネットワーク

キーワード：ウェーブパイプライン, VLSI, 回路設計, 熱解析, 等遅延回路

1. 研究開始当初の背景

半導体加工技術の急速な微細化技術と回路設計技術の革新によって、高速、且つ高機能なマイクロプロセッサが実現されている。しかし、将来の高速、且つ高機能なマイクロ

ロセッサの設計には、継続的な半導体加工技術の進歩に伴い、新たな問題が立ちはだかる事が予想されている。その中で早急に対応が求められている問題として、消費電力の増加に伴うチップの電力密度の上昇がある。電力

密度の増加はチップ上の温度を上昇させ、マイクロプロセッサの信頼性を著しく低下させるばかりでなく、冷却コストの増加をも招く。このような現状下において、低消費電力且つ高速なマイクロプロセッサは、携帯端末機器から大規模演算を行うスーパーコンピュータまで、今なお強く求められている。

一方で、半導体加工技術の微細化に伴い、マイクロプロセッサの消費電力の傾向が大きく変わりつつある。最小加工寸法が70nm以下のCMOS加工技術下では、静的な消費電力の占める割合が動的な消費電力が占める割合を超えることが報告されている。静的な消費電力は、リーク電流に起因し、半導体素子がスイッチングを行う・行わないにかかわらず、電力を消費する。リーク電流削減に関する研究はデバイスレベルでは精力的に研究されている一方で、論理回路設計段階に於ける研究はさほど精力的に行われていない。プロセッサの静的消費電力は使用されるゲート数に比例することから、回路を小型化することによって静的消費電力を削減することが可能である。このため将来の半導体加工技術を用いた論理回路設計に於いては回路の小型化が低消費電力化に大きく寄与することが期待されている。

このような背景のもと、将来の半導体加工技術において、回路規模を極力小型化した高速な演算回路設計手法の確立が強くもとめられている。

2. 研究の目的

静的な消費電力が支配的になるといわれている将来の半導体加工技術下において、高速・且つ低消費電力な演算回路設計技術を確立し、電力効率の高い演算回路設計の基礎を構築することを本研究の課題の目的とする。具体的には、可変レイテンシパイプライン、ウェーブパイプライン、演算回路の入力ビット並列性に着目し、これらの利点を活用した演算システム設計を実現するために以下の3点を明らかにする。

(1) 可変レイテンシパイプラインをより実用的なものにするために、アプリケーション内に於けるオペランドの有効ビット幅を調査、解析することで、将来のマイクロプロセッサ設計において、高効率な演算を

行う為の設計制約条件、および将来の半導体加工技術下における演算回路設計の制約条件

(2) ビットレベル並列性をもちいた回路規模の縮小を試みることで、将来の半導体加工技術における回路規模と消費電力の関係と、小さいビット幅向けの演算回路を用いて、大ビット幅の演算を行うためには、算術演算に内在するビットレベル並列性を効率よく抽出する必要がある。レイテンシ、消費電力、ハードウェアコストの観点から、最適なビットレベル並列性に基づく演算を行うために、演算の算術アルゴリズムとそこに内在するビットレベル並列性の関係

(3) ウェーブパイプライン手法を実現するための将来の半導体加工技術における遅延調整手法

3. 研究の方法

図1に算術演算回路に可変レイテンシパイプラインを適用した構成を示す。2nビットを処理可能な算術演算ユニットにおいて、有効ビット幅がnビット以下である場合は、ゲーテッドクロック技術を用いて、2nビットの内、上位nビット用のALUを稼働させず、下位nビット部のみの演算を行う。是により、演算回路を高効率に利用し、低レイテンシ及び、低消費電力を実現する。しかし、ゲーテッドクロックは演算回路の立ち上がりのオーバーヘッドが大きいため、高速実用に於いては未だ問題を抱えている。そこで本研究では、実用的な演算効率の増加、回路規模削減による消費電力の削減を試み、図2に示す、入力オペランドのビットスライス手法に基づく、小型可変レイテンシウェーブパイプライン手法を提案し、その実現を可能にする要素技術の確立を目指す。

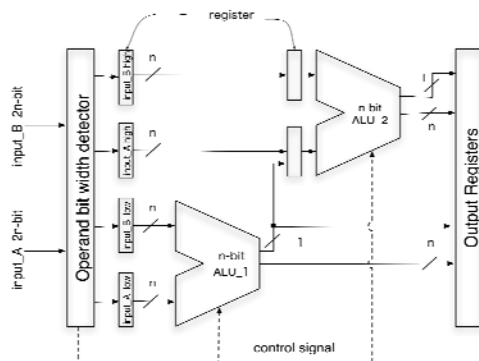


図 1. 可変レイテンシパイプライン化 ALU

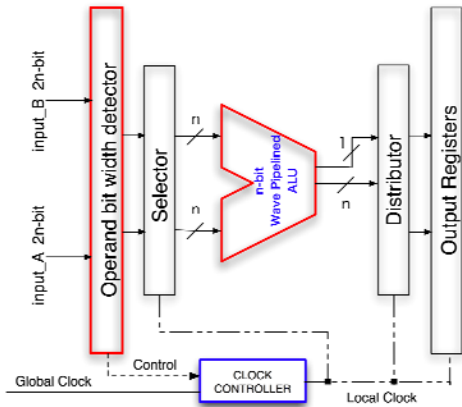


図 2. 小型可変レイテンシウェーブパイプライン化 ALU

提案する機構では、入力オペランドをビットレベル並列性に基づき複数のオペランドに分割することで単一の演算回路で可変レイテンシパイプラインを実現する。Operand bit width detectorにおいて、オペランドの演算に対する有効ビット幅を判断し、セレクタで演算回路を何サイクル稼働させれば良いかを判断し、オペランドを分割し演算回路に入力する。これにより単一の演算回路で大きなビット幅を有するオペランド同士の演算を可能にする。しかし、算術アルゴリズムによっては入力オペランド幅と遅延時間の関係から、入力オペランドをビットスライスにより分割し演算することで演算に要する遅延時間が増加するおそれがある。

この問題を克服するため、ウェーブパイプライン手法を適用し、スループットの向上を図る。ウェーブパイプライン手法はレジスタを用いないパイプライン手法のため、動的消費電力が従来のパイプライン手法よりも少なく、クロックサイクル時間を従来のパイプライン手法よりも柔軟に変更可能である。この特徴に着目し、オペランド幅解析に基づいて演算に必要なサイクル数が短いときは動的にクロックレートを落とし、動的消費電力の増加を抑制することも可能であると考えられる。

4. 研究成果

研究の成果を 2 節で示した (1) から (3) の目的に沿って示す。

(1) 実アプリケーションにおけるオペランドの有効ビット幅解析、および将来の半導体加工技術下における演算回路の特性解析をおこなった。SPEC の解析を行った結果、整数演算命令において、有効ビット数が 16 ビット以下のものが高い割合を示していることを確認し、整数演算において提案している入力ビットの並列性をもちいた小型可変レイテンシパイプラインが高効率な演算実行の可能性を有していることを確認した。

また、Predictive Technology Model を用いて、複数の加算回路を 350nm から 32nm の半導体加工技術で評価した。図 3 は、横軸に加工技術、縦軸に Ripple Carry Adder の遅延で正規化した各算術回路の遅延を示している。加工技術が進むにつれて、算術アルゴリズムの遅延時間の傾向が異なることが確認できる。加工技術の微細化が進むと演算回路内ですら、配線遅延の影響が大きくなることを確認した。このことから、少ない fan-out, 少ない配線量が将来の高速、低消費電力な演算回路設計に必要な不可欠であることを明らかにし、将来の速・低消費電力な演算回路設計の重要な指針を得た。

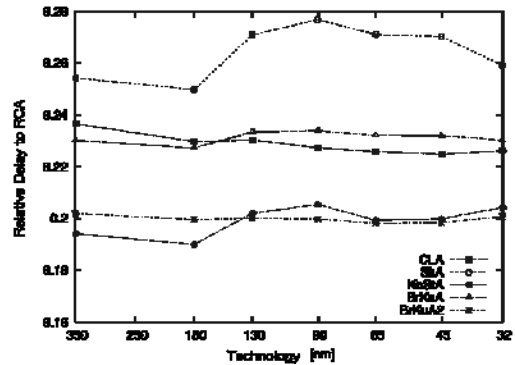


図 3. 加工技術と算術アルゴリズムの遅延の関係

(2) 入力ビット分割による回路規模削減手法の検討を行った。複数の加算回路、乗算回路の回路分割手法を検討し、特に乗算回路設計において、部分積削減部の並列性を活用した、回路分割手法を提案し、その有効性をあきらかにした。また、部分積削減部の算術アルゴリズムとブースエンコーダの次数などの回路構成方法によって、回路規模の縮小度合いが大きく変化することを確認した。

また提案する回路分割法を用いて、将来の主要な回路設計技術となることが期待され

ている三次元積層型演算回路設計に適用し、その有効性の検討も併せて行った。これらの評価の結果、演算回路を入力ビット並列性を用いて分割することにより、配置配線の自由度が上がり、組み合わせ論理回路内の長配線を大幅に削減できることを明らかにした。

(3) ウェーブパイプラインの遅延調整手法として、図4に示す様に、遅延素子挿入とロジカルエフォート理論に基づくゲートサイジング手法を提案した。提案する遅延調整法では、fan-out を削減しつつ、冗長な遅延素子の挿入をゲートサイジングにより抑制することで、高精度な遅延調整を実現する。この遅延調整手法を自動化し、ハードウェア記述言語による記述、論理合成の後に得られるネットリストを入力とすることで、遅延調整された回路が得られる環境を構築した。これらを加算回路に施した結果を図5に、等遅延回路をウェーブパイプライン動作させた場合の電力評価を図6に示す。

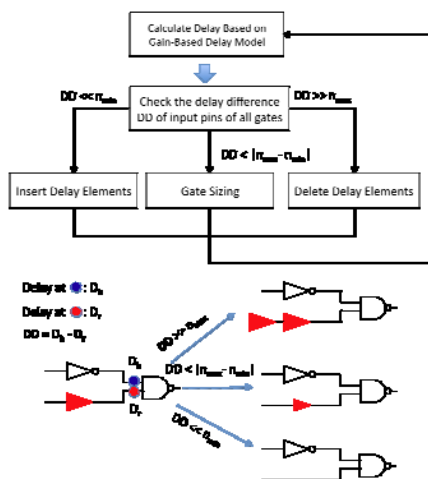


図4. 提案遅延調整法の概要

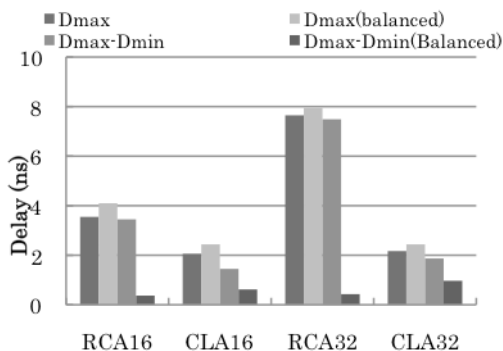


図5. 遅延調整結果

図5より、提案手法により、組み合わせ論理回路の最大遅延と最小遅延の差を減少させ、等遅延回路が生成されていることが確認できる。また図6より、提案手法により生成された等遅延回路をウェーブパイプライン回路として動作させた場合、従来のパイプライン手法よりも低消費電力な処理を実現することを明らかにした。

このように、これら一連の研究成果は実用的な可変レイテンシパイプライン回路を演算回路の特性、回路小規模化のための回路分割手法、ウェーブパイプラインを実現するための遅延調整法と提案する超高速・小型可変レイテンシウェーブパイプライン化演算回路設計を実現するために必要不可欠なものであり、将来の高性能且つ、低消費電力な演算回路設計において、有用な知見を得ることができたと言える。

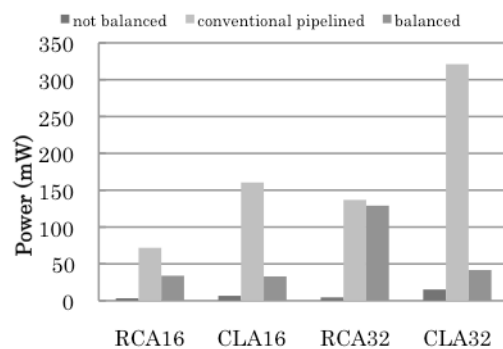


図6. 遅延調整後消費電力

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

[1] Ryusuke Egawa, Tasku Ito, Tomoyuki Inoue, Jubei Tada, Ken-ichi Suzuki and Tadao Nakamura: "Scaling Effects in Combinational Logic Circuit Design" Journal of Information Vol.10, No.5. 695-702 (2007). (査読有)

[学会発表] (計5件)

[1] Ryusuke Egawa, Jubei Tada, Hiroaki Kobayashi, and Gensuke Goto, "Evaluation of Fine Grain 3-D Integrated Arithmetic Units," Proceedings of IEEE 3D System Integration Conference 2009, 2009年9月29日, 米国サンフランシスコ.

[2] Ryusuke EGAWA, Jubei TADA, Hiroaki Kobayashi and Gensuke GOTO, "Gain

Based Delay Balancing in the Deep Submicron Era,” Proceedings of The 23rd International Technical Conference on Circuits/Systems, (ITC-CSCC 2008), 2008年7月8日, 北九州市.

- [3] 佐野啓一郎, 多田十兵衛, 江川隆輔, 後藤源助: “ウェーブパイプラインのための遅延調整手法に関する研究,” 電子情報通信学会集積回路研究会, 2008年3月5日, 沖縄.
- [4] Jubee Tada, Ryusuke Egawa, Keiichiro Sano, Gensuke Goto, Tadao Nakamura, “Gain-based Delay Balancing Technique for Wave Pipelining” Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications 2007, 2007年7月10日, 韓国 釜山.

6. 研究組織

(1) 研究代表者

江川 隆輔 (EGAWA RYUSUKE)

東北大学・サイバーサイエンスセンター・
助教

研究者番号 : 80374990