

平成 21 年 6 月 9 日現在

研究種目：若手研究 (B)

研究期間：2007～2008

課題番号：19700039

研究課題名 (和文) 1-out-of-4 符号による高性能低消費電力 VLSI 設計

研究課題名 (英文) Low Power High Performance VLSI design using 1-out-of-4 code

研究代表者

今井 雅 (IMAI MASASHI)

東京大学・駒場オープンラボラトリー・特任准教授

研究者番号：70323665

研究成果の概要：半導体製造技術の微細化やシステムの大規模化に伴う消費電力問題・遅延変動問題に対して、信号遷移数の少ない 1-out-of-4 符号を用いた非同期式回路理論に基づく VLSI 設計方式、m-out-of-n 符号を用いた非同期式回路における複数閾値電圧トランジスタを用いた回路非動作時の漏れ電流削減手法を提案し、実チップ設計を通じた評価により、遅延変動に対する耐性が高く、消費電力が小さくかつ高性能な VLSI を実現できることを確認した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	2,300,000	0	2,300,000
2008年度	1,000,000	300,000	1,300,000
年度			
年度			
年度			
総計	3,300,000	300,000	3,600,000

研究分野：計算機科学

科研費の分科・細目：情報学・計算機システムネットワーク

キーワード：計算機システム、半導体超微細化、低消費電力、遅延変動

1. 研究開始当初の背景

情報社会のハードウェア中枢である VLSI (大規模集積システム) の微細化・高集積化はこれまで同様に今後も進み、2020 年頃までは現在の VLSI 技術の進化がそのまま継続するとの予想が世界の多くの半導体研究者・技術者の合意であるが、一方で、そこへ至る前に、微細化に起因してこれまで経験したことのない設計製造上のいくつかの問題が顕在化し、その結果、チップ歩留まりとシステム信頼性が大幅に低下する可能性が指摘されている。

第一に、プロセスパラメータの統計的変動でデバイス動作特性のばらつきの制御が困難になるため正常に動作するデバイスが設計できず、十分な製造歩留まりが得られなくなる上、デバイス動作の安定性が損なわれてシステム信頼性が大幅に低下する。第二に、複雑化する VLSI の設計・製造工程における人間の仕様ミス、設計ミス、検査ミスの可能性が増えることに加えて、システム・オープン化による異種モジュール間接続の仕様ミスや設計ミスの危険が増えるためシステム信頼性が低下する。第三に、アルファ線や中性子線などによって引き起こされるソフト

エラー（メモリビット反転や論理誤動作）の発生頻度増大がシステム信頼性を低下させる。第四に、配線幅が縮小して配線間結合容量が増加することによって生じるクロストークが配線遅延変動をもたらすシステム動作の信頼性に大きな影響を与える。

すなわち、微細化の更なる進展で顕在化するこれらの諸問題が、VLSI チップの製造歩留まりを低下させ、VLSI システムの信頼性を大幅に低下させる結果、従来のチップアーキテクチャや設計方法論ではもはや経済合理性が成り立たず VLSI の設計・製造が困難になるという工学的限界に直面することが懸念されている。

2. 研究の目的

微細化の更なる進展で直面しつつある VLSI 設計の工学的限界を克服するためには、これまでのシステムレベルで培われた冗長化技術をチップレベルに導入することによって、チップ製造段階での歩留まり向上とシステム稼働段階での信頼性向上を同時に実現するアーキテクチャと設計方法を開発し、その効果を経済合理性の観点から評価する必要がある。この目的を達成するために必要な研究項目は、大きく分けると以下の5つになる。

(1) プロセスパラメータ変動の増大で不可避免的に発生する不良デバイス、欠陥デバイスの統計的分布を前提にして製造歩留まりを最適化するチップ冗長構成方式および再構成可能アーキテクチャの開発

(2) クロストークに起因するデバイス・配線の遅延変動に対してロバスト性を有するセルフタイミング回路構成方式の開発

(3) VLSI 設計の大規模化、複雑化を克服するマルチコア構成の高信頼化モジュール設計方式の開発

(4) システム稼働中にソフトエラーを自律的に検出するセルフチェック機能、システム状態を回復するセルフリカバリ機能を有するディペンダブル VLSI 方式の開発

(5) 歩留まり向上と信頼性向上の効果を定量化するメトリックの定義とそれに基づくデペンダビリティ評価手法の開発

本研究は、上記5つの研究課題を総合的に解決することにより、近い将来微細化に伴って VLSI 設計が直面すると予想される工学的限界を克服するディペンダブル VLSI のアーキテクチャと設計技術を確立してその経済合理性を明らかにすることを目的とする。

3. 研究の方法

研究目的を達成するため、研究項目を以下の4つに分けて考える。なお、4項目に技術

開発上の特別な依存関係はないと判断できるので、これらを同時に並行して進める。また、例えばロードマップに従った微細化の影響に関する科学的知見調査などのように、項目間で共通の方法論に従う場合はその実施プロセスを共有する。項目毎に、以下に述べる方法で研究計画を遂行する。

(1) 製造歩留まりを最適化するチップ冗長構成方式

2020 年までの半導体ロードマップで予測されている各世代のプロセス技術に対して、パラメータ変動がデバイス特性に与える影響に関する科学的知見の調査を行う。

その結果に基づいて、製造時点での不良デバイス、欠陥デバイスの発生頻度と発生パターン分布を分析し、欠陥分布のモデル化を行う。その時点で、パラメータ変動の影響に関する十分な科学的知見が得られない場合には、工学的に意味を持つシステムティックなパラメータ変動とランダムなパラメータ変動の仮説に基づいた欠陥分布のモデル化を行う。

得られた欠陥パターンモデルに基づいて、製造歩留まりを最適化するチップ冗長構成方式を4つの機能部分（メモリ、ロジック、入出力、インタコネク）に分けて検討し、それぞれの機能に対する冗長構成方式の一次案を得る。

シミュレーション実験環境を整備する。

(2) 遅延変動に対してロバスト性を有するセルフタイミング回路構成方式

2020 年までの半導体ロードマップで予測されている各世代のプロセス技術に対して、クロストークがデバイス及び配線の遅延変動に与える影響に関する科学的知見の調査を行う。

その結果に基づいて、各世代に対する相対遅延変動率および絶対遅延変動率の分布を求める。将来のクロストークの影響に関する十分な科学的知見が得られない場合には、これまでのプロセス世代に対して用いられてきた遅延変動の仮説に基づいて遅延変動率分布を求める。

得られた遅延変動率に基づいて、タイミング信頼性を保証するセルフタイミング回路方式をメモリ、ロジック、入出力、インタコネクに分けて検討する。その際、消費電力と速度性能のトレードオフを勘案し、要求仕様に対する最適な回路形式モデルの一次案を得る。

シミュレーション実験環境を整備する。

(3) マルチコア構成の高信頼化モジュール設計方式

システムの大規模化・複雑化に起因する設

計ミスの機会を最小にし、併せて低消費電力化電圧・周波数制御の機会を最大にするためのマルチコア構成のチップアーキテクチャのモデルを開発する。

得られたチップアーキテクチャモデルを前提にして、与えられた性能制約あるいは消費電力制約のもとでの最適タスク制御方式を検討する。

異種モジュール間接続の不整合や不正相互作用を回避してタイミング信頼性を保証する高信頼化インターフェース方式とインタコネクタ方式を開発する。

上記チップアーキテクチャを前提にして、モジュールの計算性能と消費電力、およびモジュール間通信性能とインタコネクタ消費電力を考慮したマルチコアアーキテクチャとインタコネクタ方式のシミュレーション環境を整備する。

(4) ソフトエラーを自律的に検出するセルフチェック VLSI 方式

2020 年までの半導体ロードマップで予測されている各世代のプロセス技術に対してソフトエラーが VLSI システムに与える影響に関する科学的知見を調査する。

この結果に基づいて、4つの機能(メモリ、ロジック、入出力、インタコネクタ)に分けてフォールトモデルおよび誤りモデルの仮説を立てる。十分な科学的知見が得られない場合には、従来から知られた既存の VLSI フォールトモデル及び誤りモデルに従う。

得られたフォールトモデル、誤りモデルを前提として、4つの機能のそれぞれに対するセルフチェック回路方式を検討する。

カバレッジとレイテンシの両面からセルフチェック機能の評価を行い、微細化された VLSI チップに埋め込み可能な最適セルフチェック方式の一次案を得る。

セルフチェック方式一次案を前提にしてシステム状態を回復するセルフリカバリ方式の検討に着手する。

4. 研究成果

(1) 1-out-of-4 符号を用いた高性能低消費電力非同期式回路設計

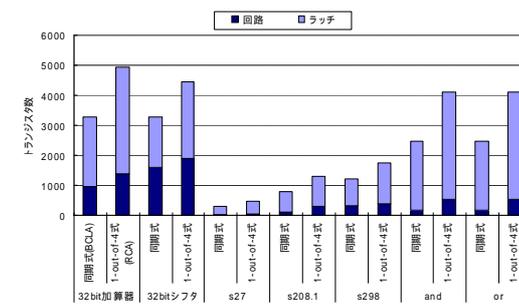
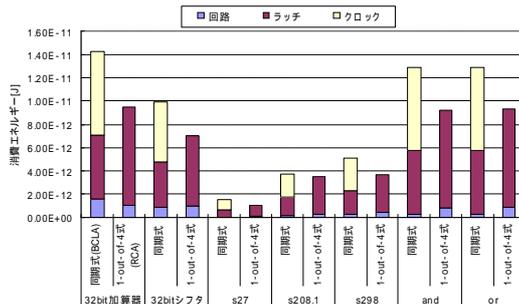
本研究では、従来の同期式で設計した回路、2線2相式で設計した回路、提案手法を用いて設計した1-out-of-4符号を用いた回路をそれぞれ評価した。対象とした回路はALUより32ビット加算器、32ビットシフト、ビットごとのand/or、ランダム論理のISCAS89のベンチマーク回路である。入力データは、同期式の場合はランダム入力、2線2相式の場合はランダム入力を2線2相符号で符号化したもの、1-out-of-4回路では1-out-of-4符号で符号化したものをそれぞれ用い、1入

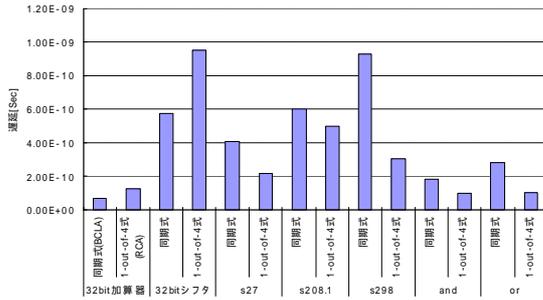
力あたりの平均値を消費エネルギーとした。

各回路要素の消費エネルギーと遅延を評価するために、アナログ回路シミュレータのHSPICEを用いた。シミュレーションに用いたCellライブラリは90nmプロセステクノロジライブラリである。なお、遅延を評価する際、同期式では最悪の遅延にあわせた動作を行うため、トランジスタの遅延が立ち上がり、立ち下がり共に遅くなった場合のパラメータを、また、供給電圧は10%低下したもの、温度は100となるようにパラメータ調整を行った。

非同期式回路である2線2相式回路及び1-out-of-4回路では平均遅延で動作するため、早い方向に遅延が起こる割合と遅い方向に遅延が起こる割合を同一と仮定し、トランジスタの遅延が立ち上がり、立ち下がり共に平均的な遅延になった場合のパラメータを用いた。また、同期式回路の論理合成にはDesign Analyzerを用い、面積が最小となるようなパラメータ設定を用いた。そして同期式ラッチにはD FlipFlop回路を用い、消費エネルギーの評価には一つのD FlipFlop回路のクロック分配にかかる消費エネルギーを含めた。クロック分配にかかる消費エネルギーは100mm²のPower4プロセッサ全体に、3.2GHzの周波数でスキューを10%以下にするのに必要な段数のH-Treeを用いた時の消費電力を求め、その後1クロックを分配するのに必要な消費エネルギーを求め、Power4プロセッサ中に含まれるラッチで割ったものを1つのD FlipFlopに必要なクロック分配エネルギーとした。

90nmプロセスにおける各回路の消費エネルギー、トランジスタ数、遅延をそれぞれグラフに示す。





グラフの横軸は各演算回路と設計方式である。演算回路のうち、32bit 加算器は、同期式に用いたものは BCLA、非同期式に用いたものは RCA である。非同期式の場合は平均遅延に基づいて動作するため、入力パターンに応じて大きく演算時間が変化する同期式の RCA との比較は妥当ではない。そのため、同期式の加算器には、非同期式の RCA と同程度の平均遅延を持つ BCLA を用いた。非同期式の場合は論理 "0" の桁上げ信号が伝播し、最上位ビットに到達するまでの時間にそれほど大きな違いは現れないため、双方共に平均的な遅延を示す回路で評価したためである。

消費エネルギーのグラフの縦軸は各演算回路、ラッチの総和であり、同期式の場合はさらにクロック分配にかかるエネルギーを含めたものである。1-out-of-4 式回路の消費エネルギーは同期式と比べ平均で約 26% 減少している。

また、トランジスタ数の合計値は、それぞれ、組み合わせ回路に用いられたトランジスタ数とラッチに用いられたトランジスタ数を表している。1-out-of-4 式回路のトランジスタ数は同期式と比べ平均で約 56% 増加している。

また、遅延のグラフの縦軸は各回路における入力から出力までの遅延である。同期式では最大遅延によって速度性能が定まるため最大遅延を、非同期式では平均遅延によって速度性能が定まるため、平均遅延を表記した。1-out-of-4 式回路の遅延は同期式と比べ平均で約 13% 減少している。

これらのグラフより、消費エネルギーは 1-out-of-4 符号を用いた回路は同じ回路を同期式、2 線 2 相式で設計した場合と比べて、評価した回路では全て軽減する事が出来た。これは 1-out-of-4 符号を用いたラッチの消費エネルギーが 2 線 2 相式のものに比べて小さく、また同期式のラッチと、そのラッチの動作に必要なクロックを分配するのに必要な消費エネルギーの和と比べても小さいため、今回評価したような、ラッチの消費エネルギーの割合が大きい回路では全体の消費エネルギーも小さくなったと考えられる。

トランジスタ数に関しては 1-out-of-4 符号を用いたラッチの 1 ビットあたりのトラン

ジスタ数が同期式、2 線 2 相式と比べ大きく、回路の入出力を符号化するために必要なトランジスタ数のオーバーヘッドなどの影響もあり、総じて増加する傾向を示した。トランジスタ数が増加することは回路規模を増加させるため好ましくないが、今日の設計においては消費エネルギーの削減、遅延変動への対処が最も重要なため、回路規模の増大はそれほど大きな問題とはならない。

遅延に関しては加算器やシフト等の ALU 演算に関しては増加傾向に、s27 や s208.1 などのランダム論理やビットごとの and や or は減少傾向にあった。これは、ランダム論理ビットごとの and や or はゲート段数が少なく、ゲート段数が少ないほど遅延変動のランダム成分の影響が大きくなるため、最悪遅延を比較対象としている同期式では遅延が増大した事が影響していると考えられる。

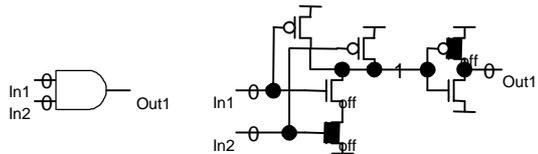
(2)m-out-of-n 符号を用いた非同期式回路の漏れ電流削減手法

本研究での提案手法は 2 種類あり、以下それぞれ MT-Vth 型と PS 型と呼ぶ。両手法に共通した特徴としては以下の 2 点である。

多閾値電圧トランジスタを用いて回路を構成する。多閾値電圧トランジスタとは動作速度は速いがリーク電力は大きい低閾値電圧トランジスタと、動作速度は遅いがリーク電力は小さい高閾値電圧トランジスタを用いるものである。

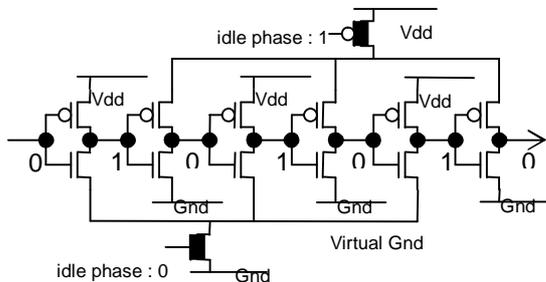
2 線 2 相非同期式の通信プロトコルの特性に着目する。2 線 2 相非同期式の通信プロトコルの特性は、回路非動作時は休止相の状態にあるという点である。つまり 2 線 2 相非同期式では回路非動作時の入力値が一定(全て '0')であるため、回路の状態が一意に定まる。これは同期式や束データ方式などには見られない性質である。

MT-Vth 型方式は、非動作時に組み合わせ回路内でオフ状態となり、リークパスをカットする機能を持つトランジスタを高閾値電圧トランジスタにより構成する方式である。2 入力 AND ゲート回路で非動作時の入力値が (0, 0) の時に適用した例を下図に示す。太いトランジスタが高閾値電圧トランジスタであり、それ以外が低閾値電圧トランジスタである。



PS 型方式は、リークパスのみをカットするように組み合わせ回路の電源とグランドの

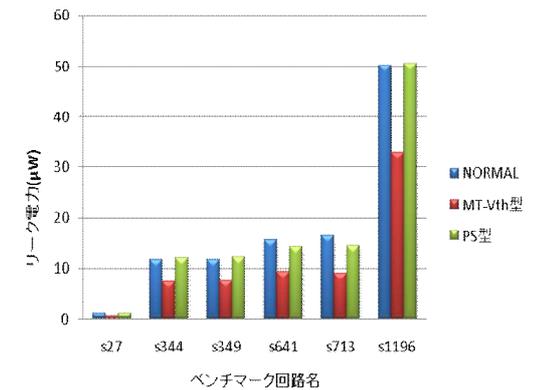
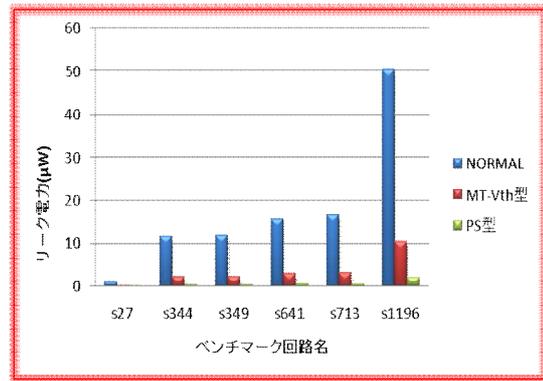
間に高閾値電圧トランジスタによるパワースイッチを挿入する方式である。6 段のインバータ回路に適用した例を下図に示す。非動作時にオフになっているトランジスタのみパワースイッチトランジスタと接続することで、値を保持しつつリーク電力の削減を行うことができる。



2つの提案手法(Mt V_{th} 型、PS 型)のリーク電力削減効果を、手法を適用しない場合と比較することにより評価した。尚、手法を適用しない場合とは組み合わせ回路を全て low V_{th} で構成する場合であり、以下 NORMAL と呼ぶ。対象とした回路は ISCAS89 ベンチマーク回路である。評価項目としてはリーク電力、遅延、回路面積である。休止相リーク電力は、回路の入力値を全て(0, 0)にし、電源から流れる電流の値を測定することによって求めた。一方で稼働相のリーク電力は回路の入力値が(1, 0)又は(0, 1)のどちらかの状態であるときの、電源から流れる電流の値を測定することによって求めた。稼働相の場合は回路の入力の値によってリーク電力の大きさは異なるため、稼働相のリーク電力を求める際は全ての入力値に対するリーク電力の大きさを求める必要がある。しかしながら、N 入力の回路において 2^N 個の入力パターンが存在するため、これら全てにシミュレーションを行うと、計算量が多くなり現実的ではない。よって本評価では対象回路毎にランダムな入力を 400 パターンずつ用意し、それに対するリーク電力の測定値の平均を稼働相のリーク電力の値とした。

MT V_{th} 型と PS 型の遅延の比は休止相で -7.8% ~ 12.9%、稼働相で -3.6% ~ 1.8% の範囲内に収まるように回路を設計した。そのときのリーク電力の測定結果を休止相、稼働相の場合それぞれ評価結果をグラフに示す。上のグラフが休止相のリーク電力、下のグラフが稼働相のリーク電力である。

グラフは縦軸がリーク電力の大きさ、横軸がベンチマーク回路名である。休止相のリーク電力削減効果は MT V_{th} 型が 79.1% ~ 83.3% (平均 80.5%) に対して、PS 型は 89.8% ~ 96.8% (平均 95.5%) である。PS 型が MT V_{th} 型よりも休止相のリーク電力が小さい理由は、回路構成上 PS 型のほうが、オフにな



っている low V_{th} が常に一段多いためである。例えば 0 入力のインバータを考えた場合、MT V_{th} 型ではオフになっているのは high V_{th} の NMOS1 つだけである。一方で PS 型の場合は直列に接続された low V_{th} と high V_{th} の NMOS が 1 つずつオフになり、PS 型のほうが流れるリーク電流がより制限されるため、リーク電力も小さくなる。

また稼働相のリーク電力削減効果は 31.7% ~ 50.33% (平均 37.6%) に対して、PS 型は 0.0% ~ 4.1% (平均 -1.28%) である。PS 型の稼働相でリーク電力削減効果がマイナスになる、つまりリーク電力が増える。これはパワースイッチを回路に追加したことによるゲートリーク電力(トランジスタのゲートとソースの間に流れるリーク電流によるもの)の増加が主な原因だと考えられる。

回路面積については、MT V_{th} 型の回路面積が平均 58% も増加する理由はセルを設計する際に、low V_{th} で構成するセルより low V_{th} と high V_{th} を混在したセルの方がデザインルール上面積を大きくとらざるを得ないからである。しかしながら、この点に関しては設計者の技術に依るところがあるため、改善の余地は大きい。

PS 型は MT V_{th} 型と異なり、組み合わせ回路部は全て low V_{th} で構成するため、上述の理由による面積増加は無い。PS 型の回路面積が平均 8.4% 増加しているのは、パワースイッチを挿入した分の面積の増加である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表](計 4件)

Masashi Imai, Kouei Takada, Takashi Nanya, "Fine-grain Leakage Power Reduction Method for m -out-of- n Encoded Circuits Using Multi-Threshold Voltage Transistors," Proc Async2009, pp.209-216, May, 2009, Chapel Hill, NC, USA

高田幸永, 今井雅, 中村宏, 南谷崇, "マルチ閾値電圧トランジスタを用いた2線2相式非同期式回路のリーク電力削減手法," 電子情報通信学会技術研究報告, VLD-2008-90, pp.183-188, Nov., 2008, 北九州

Masashi Imai, Takashi Nanya, "Performance Comparison between Self-timed Circuits and Synchronous Circuits Based on the Technology Roadmap of Semiconductors," Proc. DSN08 2nd Workshop on Dependable and Secure Nanocomputing, Supplemental Proceedings, pp.C23-C28, Jun., 2008, Anchorage, USA

Masashi Imai, Takashi Nanya, "A Design Method for 1-out-of-4 Encoded Low-Power Self-Timed Circuits using Standard Cell Libraries," Proc. ACSD08, pp. 21-26, Jun., 2008, Xi'an, China

6. 研究組織

(1)研究代表者

今井 雅 (IMAI MASASHI)

東京大学・駒場オープンラボラトリー・特任准教授

研究者番号：70323665

(2)研究分担者

なし

(3)連携研究者

なし