

平成 22 年 5 月 1 日現在

研究種目： 若手研究(B)
 研究期間： 2007 ～ 2009
 課題番号： 19700040
 研究課題名(和文) 大規模な逐次プログラムから高性能なLSIを合成する技術
 研究課題名(英文) Behavioral Synthesis of High-Performance LSIs from Large Sequential Programs

研究代表者

富山 宏之 (TOMIYAMA HIROYUKI)
 名古屋大学・大学院情報科学研究科・准教授
 研究者番号： 80362292

研究成果の概要(和文)：大規模なCプログラムから高性能な大規模集積回路(LSI)を合成する手法を開発した。大規模な逐次プログラムを動作合成する際に、1つの巨大なモジュールを生成するのではなく、並行に動作する複数のモジュールに分割して合成する。モジュール分割の際は、粗粒度および細粒度の並列性を最大限に活用することにより性能を最大化しつつ、個々のモジュールの大きさに制約を加え、かつ、全体のデータパス面積を最小化する。

研究成果の概要(英文)：We have developed behavioral synthesis technologies which automatically generate high-performance LSIs (large scale integrated circuits) from large sequential programs. While traditional methods generate a single huge module from a large sequential program, our methods generate multiple small modules in such a way that overall datapath area is minimized and course- and fine-grained parallelisms are fully exploited.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	900,000	0	900,000
2008年度	1,100,000	330,000	1,430,000
2009年度	1,100,000	330,000	1,430,000
年度			
年度			
総計	3,100,000	660,000	3,760,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：動作合成、高位合成、設計自動化、システムオンチップ、集積回路

1. 研究開始当初の背景

現在LSI(大規模集積回路)は、レジスタ転送レベル(RTL: Register-Transfer Level)という抽象度で、VHDLやVerilog-HDLなどのハードウェア記述言語(HDL: Hardware Description Language)を用いて、設計されている。しかし、レジスタ転送レベ

ルの設計では、年々大規模化するLSIを短期間で設計することが困難になってきた。そこで、動作レベル(逐次プログラム)からレジスタ転送レベルの回路を自動的に生成する動作合成と呼ばれる技術が普及しつつある。

動作合成の基礎研究は過去20年以上学界において行われてきた。しかし、過去の研究

の多くは、細粒度（演算レベル）のスケジューリングやアロケーションを対象としており、適用事例も数行～数百行程度の小規模なプログラムに限られていた。

大規模な逐次プログラムから動作合成を行うと、非常に多くの状態をもつ1つのモジュールが生成され、その結果、制御回路およびデータパス回路中のマルチプレクサの遅延が、回路全体の性能向上を大きく阻害するという問題がある。

2. 研究の目的

本研究の目的は、数千行以上からなる大規模なCプログラムから、高性能なLSIを自動合成する動作合成手法を確立することである。具体的には、大規模な逐次プログラムを動作合成する際に、1つの巨大なモジュールを生成するのではなく、並行に動作する複数のモジュールに分割して合成する。モジュール分割の際は、粗粒度および細粒度の並列性を最大限に活用することにより性能を最大化しつつ、個々のモジュールの大きさに制約を加え、かつ、全体のデータパス面積を最小化する。

3. 研究の方法

本研究は、以下の3段階で行った。

(1) Cプログラムを2つのモジュールに分割する。2つのモジュールは逐次的に動作する。

(2) Cプログラムを任意の数のモジュールに分割する。モジュールの数も自動的に決定する。各モジュールは逐次的に動作する。

(3) Cプログラムを任意の数のモジュールに分割する。モジュールの数も自動的に決定する。各モジュールは可能な限り並列に動作する。

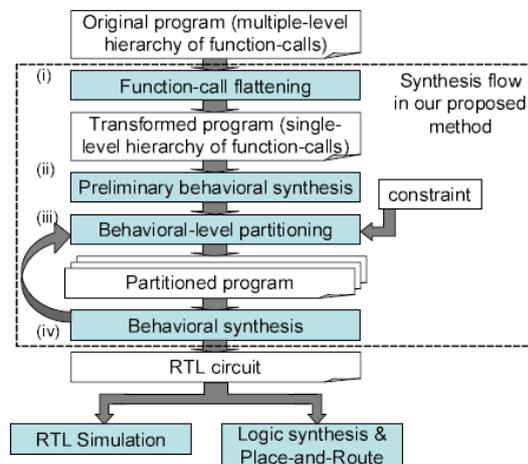
4. 研究成果

(1) Cプログラムを、逐次的に動作する2つのモジュール（メインモジュールとサブモジュール）に分割する手法を開発した。分割は関数単位で行う。メイン関数にインラインすべき関数と、サブモジュールに実装すべき関数を自動的に決定する。同じモジュールに実装される関数は、演算器などのハードウェア資源を共有することができる。個々のモジュールが大きくなりすぎないように制約を与え、その制約の範囲内で、極力ハードウェアを共有するようにモジュール分割を行う。このようなモジュール分割問題を整数線形計画問題として定式化した。設計者は、この整数線形計画問題の最適解を求めることにより、最適なモジュール分割を得ることができる。実験の結果、すべての関数をメインモジュールにインライン展開する方法では合成

できなかった大規模なCプログラムから、LSIを合成することが可能となった。また、関数毎にモジュールを生成する手法と比較して、面積を最大45%削減することができた。この成果は雑誌論文①で公表した。

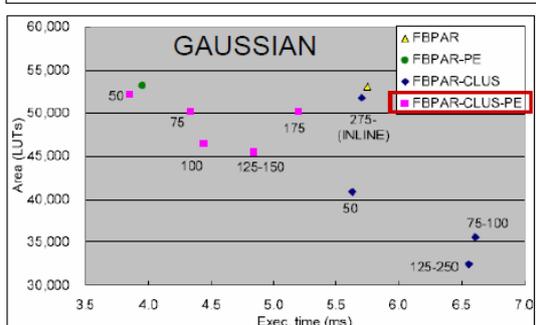
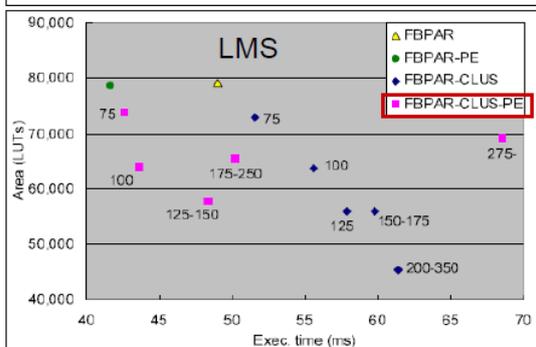
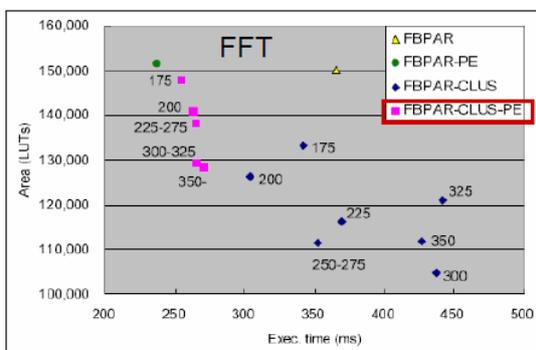
(2) 次に、(1)の2分割手法を拡張し、Cプログラムを逐次的に動作する任意の数のモジュールに分割する手法を開発した。モジュールを逐次的に動作させる場合、モジュールの数が少なすぎるとクロック周波数が低下し、モジュール数が多すぎると面積が大きくなる。提案手法は、両社のトレードオフを考慮し、最適なモジュールの数を自動的に決定する。2分割手法のときと同様、個々のモジュールの大きさに制約を与え、極力ハードウェア資源を共有するようにモジュール分割を行う。このモジュール分割問題を整数線形計画問題として定式化した。モジュール数に関する制約を緩和したことにより、2分割手法では探索できなかった解を探索することが可能となり、性能と面積のバランスが良い回路を生成することが可能となった。この成果は雑誌論文②で公表した。

(3) 本研究の最終段階として、(2)の手法を拡張し、Cプログラムを並列に動作する複数のモジュールに分割する手法を開発した。関数レベル（粗粒度）の並列性を活用することにより、生成されるLSIの性能を飛躍的に向上させることができる。具体的には、並列に実行可能な関数を異なるモジュールに実装することにより、複数のモジュールが並列に動作可能となる。関数レベルの並列性に関する制約に加え、(2)の手法と同様に個々のモジュールの大きさに制約を与える。その上で、極力ハードウェア資源を共有するようにモジュール分割を行う。これにより、小面積かつ高性能なLSIを生成する。このモジュール分割問題を整数線形計画問題として定式化した。提案手法の全体像を以下に図示する。



図中の(iv)が従来の動作合成であり、本研究で開発した手法は従来の動作合成の前処理として位置付けられる。つまり、本研究の成果は従来手法と競合するものではなく、従来手法の前に適用することで高性能化を実現することができる。

3つのCプログラムについて実験を行った結果を本ページの以下に示す。



FBPAR-CLUS-PE が本手法であり、FBPAR-CLUS が先述の(2)の手法である。関数レベルの並列実行により、FBPAR-CLUS-PE は FBPAR-CLUS と比較して、最大 48%の性能向上を達成している。この成果は雑誌論文⑥で公表した。

(4) 本研究の副次的な研究として、動作合成用のベンチマークプログラム群の開発を行った。これまで、実用的な規模の高位合成用ベンチマークプログラム群が現在存在せず、そのことが動作合成の研究の阻害要因となっていた。そこで、動作合成用のベンチマークプログラム群である CHStone を開発した。CHStone は様々なアプリケーション分野から選抜した、大規模で、使いやすい 12 個の C プログラムから成る。CHStone は本研究の

インフラストラクチャとして大いに役立つ。さらに、CHStone をインターネット上で無償公開し、世界中の研究機関および企業からダウンロードされている。CHStone に関する研究成果を雑誌論文⑤で公表した。

(5) 別の副次的な研究として、動作合成の実験環境の構築も行った。構築した環境では、動作合成で生成された回路を、スムーズに FPGA ボード上で実行することができる。テストパターンを生成するプログラムは、リアルタイム OS のシミュレーションモデルとともに、ホスト計算機上で実行され、一方、動作合成で生成された回路はホスト計算機と PCI バスで接続された FPGA ボード上で実行される。この両者がインタラクティブに動作することにより、より実際に近い条件で、かつ、簡単に回路の動作検証を行うことができる。本研究の成果を雑誌論文③で公表した。

以上説明したように、当初の研究目標を達成したのみならず、それに関連して、ベンチマークプログラム群や評価環境などの研究基盤に関しても成果を挙げることができた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

- ① Y. Hara, H. Tomiyama, S. Honda, and H. Takada, "Partitioning of Behavioral Descriptions Exploiting Function-Level Parallelism," IEICE Trans. Fundamentals, 査読有, vol. E93-A, no. 2, pp. 488-499, Feb. 2010.
- ② Y. Hara, H. Tomiyama, S. Honda, and H. Takada, "Proposal and Quantitative Analysis of the CHStone Benchmark Program Suite for Practical C-Based High-Level Synthesis," IPSJ Journal of Information Processing (JIP), 査読有, vol. 17, pp. 242-254, Oct. 2009.
- ③ M. Nishimura, N. Ishiura, Y. Ishimori, H. Kanbara, and H. Tomiyama, "High-Level Synthesis of Software Function Calls," IEICE Trans. Fundamentals, 査読有, vol. E91-A, no. 12, pp. 3556-3558, Dec. 2008.
- ④ S. Shibata, S. Honda, Y. Hara, H. Tomiyama, and H. Takada, "Embedded System Covalidation with RTOS Model and FPGA," IPSJ Trans. System LSI Design Methodology (TSLDM), 査読有, pp. 126-130, vol. 1, Aug. 2008.
- ⑤ Y. Hara, H. Tomiyama, S. Honda, H. Takada, and K. Ishii, "Function-Level

Partitioning of Sequential Programs for Efficient Behavioral Synthesis,” IEICE Trans. Fundamentals, 査読有, vol. E90-A, no. 12, pp. 2853-2862, Dec. 2007.

- ⑥ Y. Hara, H. Tomiyama, S. Honda, and H. Takada, “Function Call Optimization for Efficient Behavioral Synthesis,” IEICE Trans. Fundamentals, 査読有, vol. E90-A, no. 9, pp. 2032-2036, Sep. 2007.

[学会発表] (計 13 件)

- ① T. Matsuba, Y. Hara, H. Tomiyama, S. Honda, and H. Takada, “Aggressive Register Unsharing Based on SSA Transformation for Clock Enhancement in High-Level Synthesis,” In Proc. of International Symposium on Electronic Design, Test and Applications (DELTA), pp. 87-92, Ho Chi Minh, Vietnam, Jan. 13, 2010.
- ② 石守祥之, 石浦菜岐佐, 富山宏之, 神原弘之, “高位合成システム CCAP の AMP マルチコアシステム設計のための拡張,” 情報処理学会 SLDM/電子情報通信学会 VLD/CPSY/RECONF 研究会, 横浜, 2009 年 1 月 29 日.
- ③ Y. Hara, H. Tomiyama, S. Honda, and H. Takada, “The CHStone Benchmark Suite for Practical C-based High-Level Synthesis,” ECSI and USB Workshop on High Level Synthesis: Next Step to Efficient ESL Design in conjunction with Asia and South Pacific Design Automation Conference (ASP-DAC) and Electronic Design and Solution Fair (EDSFair), Yokohama, Japan, Jan. 22, 2009.
- ④ Y. Hara, H. Tomiyama, S. Honda, H. Takada, and K. Ishii, “Behavioral Partitioning with Exploiting Function-Level Parallelism,” In Proc. of International SoC Design Conference (ISOCC), pp. 121-124, Busan, Korea, Nov. 24, 2008
- ⑤ 富山宏之, “動作合成の動向～基礎研究から実用へ～,” 電子情報通信学会基礎・境界ソサイエティ大会, チュートリアル, 川崎, 2008 年 9 月 18 日.
- ⑥ 松葉俊信, 富山宏之, 本田晋也, 高田広章, “ハードウェア動作記述の SSA 変換によるクロック周波数の向上,” DA シンポジウム 2008 論文集, pp. 103-108, 浜松, 2008 年 8 月 26 日.
- ⑦ Y. Hara, H. Tomiyama, S. Honda, and H. Takada, “The CHStone Benchmark Suite for Practical C-based High-Level Synthesis,” Poster presentation at ECSI Workshop on High-Level Synthesis: Back to the Future in conjunction with Design Automation Conference (DAC), Anaheim, CA, USA, June 8, 2008.
- ⑧ Y. Hara, H. Tomiyama, S. Honda, H. Takada, and K. Ishii, “CHStone: A Benchmark Program Suite for Practical C-Based High-Level Synthesis,” In Proc. of International Symposium on Circuits and Systems (ISCAS), Poster, pp. 1192-1195, Seattle, WA, USA, May 19, 2008.
- ⑨ Y. Hara, H. Tomiyama, S. Honda, H. Takada, and K. Ishii, “Partitioning Behavioral Descriptions Exploiting Function-Level Parallelism, 組込技術とネットワークに関するワークショップ (ETNET), 屋久島, 2008 年 3 月 27 日.
- ⑩ S. Shibata, S. Honda, Y. Hara, H. Tomiyama, and H. Takada, “Hardware/Software Covalidation with FPGA and RTOS Model,” In Proc. of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), pp. 488-494, Sapporo, Japan, Oct. 16, 2007.
- ⑪ M. Nishimura, N. Ishiura, Y. Ishimori, H. Kanbara, and H. Tomiyama, “Calling Software Functions from Hardware Functions in High-Level Synthesizer CCAP,” In Proc. of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), pp. 357-360, Sapporo, Japan, Oct. 16, 2007.
- ⑫ H. Kanbara, T. Nakatani, N. Umehara, N. Ishiura, and H. Tomiyama, “Speed Improvement of AES Encryption using Hardware Accelerators Synthesized by C Compatible Architecture Prototyper (CCAP),” In Proc. of Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), pp. 130-134, Sapporo, Japan, Oct. 15, 2007.
- ⑬ 原祐子, 富山宏之, 本田晋也, 高田広章, 石井克哉, “CHStone: C ベース高位合成のためのベンチマークスイート,” DA シンポジウム 2007 論文集, pp. 157-162, 浜松, 2007 年 8 月 30 日.

[図書] (計 0 件)

〔産業財産権〕

○出願状況（計〇件）

○取得状況（計〇件）

〔その他〕

ホームページ等

<http://hiroyuki.tomiya-lab.org/publications>

6. 研究組織

(1) 研究代表者

富山 宏之 (TOMIYAMA HIROYUKI)

名古屋大学・大学院情報科学研究科・

准教授

研究者番号：80362292