

平成 21 年 3 月 27 日現在

研究種目：若手研究（B）

研究期間：2007～2008

課題番号：19700049

研究課題名（和文） ナノリソグラフィ時代における設計自動化に関する研究

研究課題名（英文） A study on EDA technology in the nanolithography era

研究代表者

杉原 真（SUGIHARA MAKOTO）

豊橋技術科学大学・工学部・講師

研究者番号：80373538

研究成果の概要：

本研究課題においては、集積回路製造において重要な電子線描画技術におけるコストを削減すべく、電子線描画時間を削減する集積回路設計自動化技術を確立した。単一カラムセル描画(SCC)装置装置、及び複数カラムセル(MCC)描画装置において、CP アパーチャ・マスク、及びキャラクタの大きさを最適にし、電子線描画時間を最小化する技術を確立した。また、SCC 描画装置及び MCC 描画装置に対する論理合成技術を確立し、集積回路の性能、及び製造コストの間のトレードオフを図ることを可能にした。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	2,100,000	0	2,100,000
2008年度	1,200,000	360,000	1,560,000
年度			
年度			
年度			
総計	3,300,000	360,000	3,660,000

研究分野：VLSI 設計自動化

科研費の分科・細目：計算機システム・ネットワーク

キーワード：設計自動化、電子ビーム直描、フォトマスク製造

1. 研究開始当初の背景

ナノデバイスの商業的成功のためには、安価なナノデバイス製造技術の確立が喫緊の課題である。ナノデバイス製造技術の候補である三つのリソグラフィ技術、フォトリソグラフィ技術、電子線直接描画技術、及びナノインプリント技術、のいずれにおいても、多かれ少なかれ電子線描画技術に頼らざるを得ない。原版あるいは集積回路といった描画

対象に図形パターンを加工する際に、電子線描画に要するコストは電子線描画装置の使用時間、すなわち電子線描画時間、によって決定される。数 10 億個のトランジスタが 1 チップ上に搭載可能な現在、電子線描画コストは甚大となっており、ナノデバイスの商業的実現のためには電子線描画時間の削減が最重要課題である。

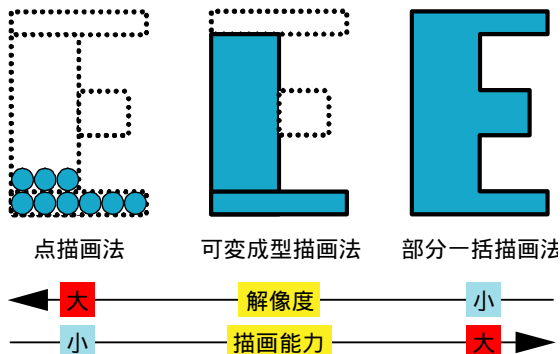
2. 研究の目的

電子線描画装置への投資は莫大であるために、電子線描画に要する費用は莫大なものとなる。これを如何に削減するかがナノデバイスを商業的に実現する上で重要である。本研究課題では、複数の電子線描画技術（主には、VSB法とCP法）を併せて用い、電子線描画コストを削減する、デジタル集積回路設計自動化技術に関する研究を行う。これまでに研究・開発が行われている論理合成から配置配線までの設計自動化技術はフォトリソグラフィのみを考慮したものであるために、電子線描画コストの削減に対応できない。本研究では、論理合成から配置配線までの設計工程において、電子線描画コストを如何に削減できるかを明らかにする。また、電子線描画コストの削減を可能にするセルライブラリ開発環境の構築手法についても確立する。設計自動化技術の総合的な取り組みによって、システムLSIの設計データ、CPアパーチャ・マスク、および、描画順序を最適化し、電子線描画時間、すなわち電子線描画コストを最小化する方法論を確立する。

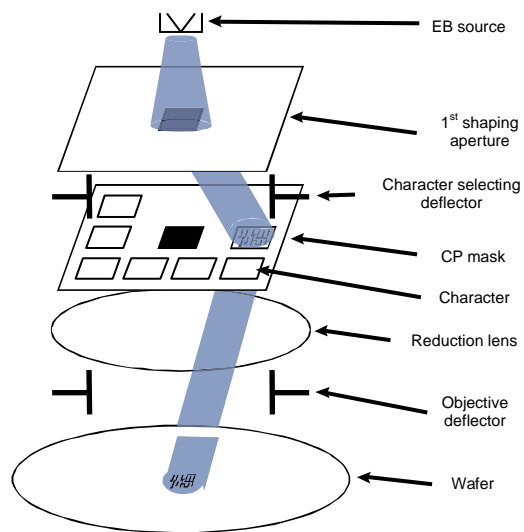
3. 研究の方法

本研究では、電子線描画コストを削減するためのデジタル集積回路設計方法論を展開する。

電子線描画技術として、点描画法(PB法、point beam)、可変成型描画法(VSB法、variable shaped beam)、及び部分一括描画法(CP法、character projection)がこれまでに提案されており、それぞれ点、矩形、及び、頻りに出現する図形を描画する。各描画法における図形分割及び描画を下図に示す。解像度に関しては、PB法、VSB法、CP法の順で優れている。一方、描画する図形の数だけ描画時間を要するために、描画速度に関しては、CP法、VSB法、PB法の順で優れている。電子線描画時間を削減し、電子線描画コストを削減する上では、CP法が最も適しているが、描画装置の制限から限られた数の図形パターンしか使用できず、用意されていない図形パターンを他の描画法で描画する必要がある。

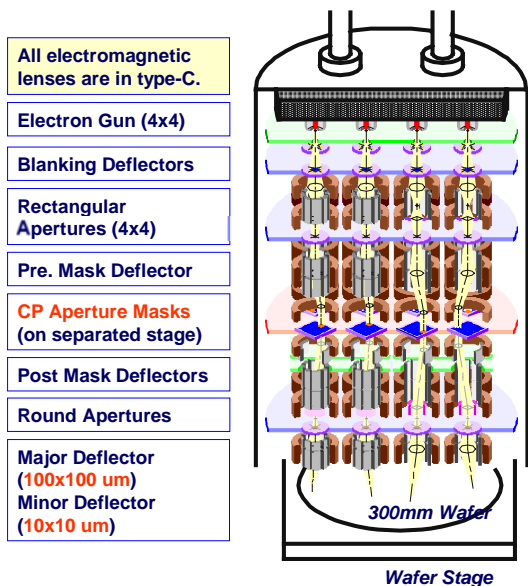


以下に示すCP法描画装置の外観図のように、装置内にはCPアパーチャ・マスク上にキャラクタと呼ばれる図形パターンが複数個用意されている。キャラクタをシリコンウェーハ上に投影することでシリコン上にトランジスタの図形パターンが作られる。CPアパーチャ・マスク上のキャラクタとして用意されていない図形に対しては、第一成型アパーチャとCPアパーチャ・マスクの中央に位置する開口を用いてVSB法で描画する。単純には、集積回路中で頻りに用いられる論理ゲートに対するキャラクタをCPアパーチャ・マスク上に用意しておけば電子線描画時間を削減できる。本研究においては、キャラクタの大きさ、及びキャラクタとして実現する論理ゲートを最適に決定し、描画時間を最小化する方法論を定性的かつ定量的に議論



する。

コラムセルと呼ばれる描画機構を複数個持ち合わせる描画装置、マルチコラムセル(MCC: multi-column cell)描画装置がAdvantestによって提案されている。次頁上図にMCC描画装置の概略図を示す。MCC描画装置は、単純には上図に示す描画装置における描画機構を複数個用意したものであり、描画機構の数に応じた描画スループットが期待できる。しかし、単一コラムセル(SCC: single column cell)描画装置において全ての論理ゲートの図形パターンとして用意できない問題はマルチコラムセル描画装置においても存在する。本研究においては、全てのコラムセルにおいて同一のCPアパーチャ・マスクを使用するのではなく、異なるCPアパーチャ・マスクを用いることによってキャラクタとして実現される論理ゲート数を増やすCPアパーチャ・マスク開発方法論を確立する。VSB法ではなくCP法によって描画される論理ゲート数を増やすことで、描画時間の削減を実現する。



4. 研究成果

(1) SCC 描画装置の CP アパーチャ・マスクに対する論理ゲート集合最適化技術を確立した。既存の CP アパーチャ・マスク開発手法においては、経験的に論理ゲート集合を決定していた。本研究課題においては、描画時間最小化問題を定義し、最適な論理ゲート集合を決定することで所望の CP アパーチャ・マスクを生成する技術を確立した。

(2) SCC 描画装置の CP アパーチャ・マスク上のキャラクタの大きさを最適化し、描画時間を最小化する技術を確立した。描画時間最小化問題を定義し、最適なキャラクタサイズを決定することで所望の CP アパーチャ・マスクを生成する技術を確立した。最大 71% 程度の電子線描画時間を削減した。

(3) SCC 描画装置のための論理合成技術を確立した。チップ面積、描画時間、及び回路性能を考慮できる論理合成技術を確立した。本技術によって回路性能とチップコストとの間のトレードオフを図ることが可能となった。例えば、ある回路の論理合成において 12% 程度の性能低下を許容できる場合、面積は 6% 程度削減し、描画時間は 30% 程度削減できることが実験的に確かめられた。

(4) MCC 描画装置の CP アパーチャ・マスクに対する論理ゲート集合最適化技術を確立した。SCC 描画装置向けに生成された CP アパーチャ・マスクを MCC 描画装置に用いた場合の描画時間と比較して、本技術は最大 33.4% の電子線描画時間を削減した。

(5) MCC 描画装置の CP アパーチャ・マスク上のキャラクタの大きさを最適化し、電子線描

画時間を最小化する技術を確立した。描画装置メーカーが規定するキャラクタの大きさを用いた場合の電子線描画時間と比較して、本技術は最大 70.6% の電子線描画時間を削減した。

(6) MCC 描画装置向け論理合成技術を確立した。MCC 描画装置を用いて集積回路を製造する場合に、チップ面積、描画時間、及び回路性能を考慮できる論理合成技術を確立した。既存の論理合成ツールと比較して、本技術は性能を低下させずに、19.8% 程度の電子線描画時間を削減した。性能制約を課さない場合には 33.4% 程度の電子線描画時間削減が可能であることが分かった。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計3件)

M. Sugihara, K. Nakamura, Y. Matsunaga, and K. Murakami, "Technology mapping technique for increasing throughput of character projection lithography," IEICE Transactions on Electronics, Vol. E90-C, No. 5, pp. 1012-1020, May 2007. (査読有)

杉原真, 松永裕介, 村上和彰, "部分一括描画装置の処理能力の向上のための描画面積最適化," 情報処理学会論文誌, 第 48 巻 5 号, pp. 1888-1897, 2007 年 5 月. (査読有)

M. Sugihara, Y. Matsunaga, and K. Murakami, "Character projection mask set optimization for enhancing throughput of MCC projection systems," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E91-A, No. 12, pp. 3451-3460, December 2008. (査読有)

[学会発表](計1件)

M. Sugihara, "Optimal character-size exploration for increasing throughput of MCC lithographic systems," P Proc. SPIE Vol. 7271: Alternative Lithographic Technologies, 72710L, February 2009. (査読有り)

6. 研究組織

(1) 研究代表者

杉原真 (SUGIHARA MAKOTO)

豊橋技術科学大学・工学部・講師

研究者番号: 80373538

(2)研究分担者
なし

(3)連携研究者
なし