

平成 21 年 6 月 1 日現在

研究種目：若手研究 (B)

研究期間：2007～2008

課題番号：19760027

研究課題名 (和文) 金属ゲート / High-k 絶縁膜スタック構造のナノスケール界面制御

研究課題名 (英文) Nano-scale control of metal/high-k dielectric gate stack structures

研究代表者

大毛利 健治 (OHMORI, Kenji)

早稲田大学・ナノ理工学研究機構・准教授

研究者番号：00421438

研究成果の概要：

Si MOSFET (metal-oxide-semiconductor field-effect-transistor)において、これまでのポリシリコン/シリコン酸化膜のゲート構造に代わり、金属/high-k 絶縁膜が用いられようとしている。トランジスタの動作指標である閾値等は、金属ゲート材料の実効仕事関数で決まるため、その制御が大きな課題となっている。また、金属の結晶性が近年問題の顕在化が懸念される特性ばらつきに対してどう影響するかは、まだ判っていなかった。

本研究では、Ru-Mo 合金の組成比を変える事により結晶性を制御し、それらを微細トランジスタの電極として用いて結晶粒径の特性ばらつきに対する影響を調べた。その結果、大きな (~25nm) 平均結晶粒径の金属薄膜をゲート電極として用いた場合は、微結晶 (平均粒径~4nm) の場合と比べて特性ばらつきが大きい事を見いだした。また、その解決法として、金属薄膜の電気的特性を変化させずに、結晶粒径を小さくする方法として、C 添加法を開発した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,300,000	0	1,300,000
2008 年度	1,700,000	510,000	2,210,000
年度			
年度			
年度			
総計	3,000,000	510,000	3,510,000

研究分野：工学

科研費の分科・細目：応用物理学・工学基礎、薄膜・表面界面物性 (4902)

キーワード：金属電極、high-k 絶縁膜、仕事関数、特性ばらつき

## 1. 研究開始当初の背景

トランジスタの微細化により、閾値電圧ばらつきの影響が無視できなくなって来ている。ばらつきは、ウェーハ間、ウェーハ内、チップ内と様々なレベルで存在する。中でも最近ではトランジスタ素子本体に起因するも

のとして、チャネルの不純物ばらつきやゲート加工時のラインエッジラフネス(LER)の影響が議論されている。しかしながら、金属/high-k 絶縁膜構造において金属の結晶性がばらつきに与える影響については、検討がなされていなかった。

## 2. 研究の目的

図1に金属電極材料の結晶性が金属 / high-k 絶縁膜界面での仕事関数揺らぎに与える影響を模式的に示した。上・中・下段はそれぞれ結晶粒径の大きさの変化、金属結晶構造等による仕事関数の面方位依存性、それらの要因によって決定される界面での仕事関数の揺らぎを示したものである。例えば、大きな結晶粒径を持ち、仕事関数の面方位依存性が高い金属を用いると界面でのフェルミ面の揺らぎは大きくなり、アモルファル性の金属を用いると、それを抑制できることが推測される。本研究の目的は、金属電極の結晶性が、特性ばらつきに影響を与えるか検証し、その抑制法を開発する事である。

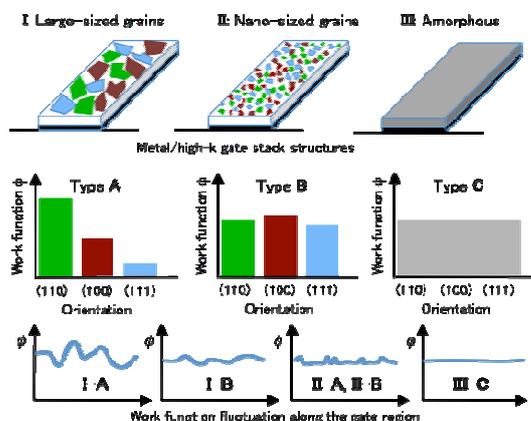


図1 電極の結晶性と仕事関数の面方位依存性によって予想される金属 / 絶縁膜界面での特性ばらつき。

## 3. 研究の方法

トランジスタの作製はゲートラストプロセスを用いた。ゲート電極の結晶粒径がデバイスの特性ばらつき与える影響を調べるためには、ゲート電極の材料等を変え、その影響を評価する必要があるが、ゲートファーストプロセスを用いると、電極材料を変えることにより、その後のゲートエッチング時のラフネス( LER )に影響を与える可能性がある。更に、続いてセルフアラインで行われる halo イオン注入のプロファイルに対しても、LER の差異による影響が無視できない。ゲートラストプロセスを用いることにより、同じ材料 ( poly-Si/SiO<sub>2</sub> ) のダミーゲートを用いて活性化までのプロセスを行うために、金属電極材料の影響をより直接的に評価することが出来る。

ダミーゲート除去後、膜厚 0.7nm の SiO<sub>2</sub> を形成し、PL-CVD 法により膜厚 2.5nm の HfSiO を 堆積した。その後、窒化及び約

1000 の稠密化熱処理を行った。金属電極の堆積は、マグネトロンスパッタ法により行った。金属材料は、Ru と Mo の合金、TiN 及びそれらに C を添加したものをを用いた。これら仕事関数制御金属の膜厚は約 10nm である。配線金属として約 50nm の W を用いた。電極エッチング等のプロセスの後、400 でフォーミングガス熱処理を行った。

特性ばらつきの評価はトランジスタ TEG ( test element group ) を測定することにより行った。今回、ゲート長の変化によるロールオフ特性及びソース / ドレイン両サイドでの halo イオン注入効果の変化を排除するために、トランジスタのゲート長は 150nm に固定し、ゲート幅を変えた TEG を主に用いた。トランジスタの幅は、10 $\mu$ m から 100nm まで変化させた。

また、金属の結晶性評価は、XRD 及び断面 TEM を用いて行った。その際、金属薄膜の膜厚は 20nm とした。

## 4. 研究成果

図2に Ru-Mo 合金の結晶構造の組成依存性を示す。XRD の測定は、Mo ( 下 ) から Ru ( 上 ) まで約 4% の組成刻みで行った。bcc 構造の Mo は、Mo<sub>60</sub>Ru<sub>40</sub> でアモルファル構造をとり、その後 fcc 構造へと相転移する。図中に示した(a)-(d)の組成での2次元 XRD 回折像を図3に示す。Ru-Mo 合金を用いることで結晶構造、結晶粒径を様々に変化させることが出来る。例えば、(a)及び(d)は、回折像が大きく弧を描くようになっており、共に配向性の低い多結晶であることを示している

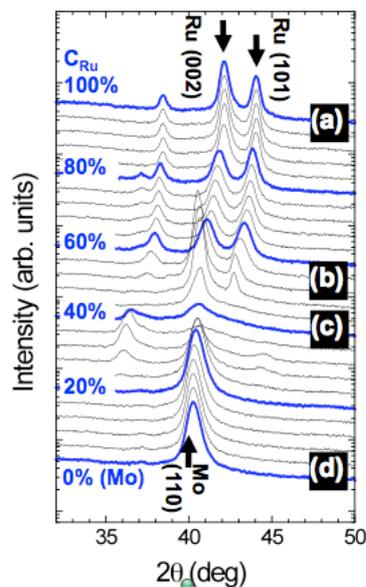


図2 Ru-Mo 合金の XRD スペクトル。

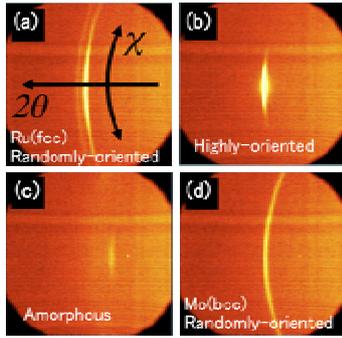


図3 XRD 2次元検出器イメージ。(a)-(d)は、図2中の(a)-(d)のRu-Mo組成比の薄膜に対応する。

が、結晶構造はそれぞれ fcc 及び bcc と異なる。また、(b)は、回折強度が強く、中心付近に集中している。このことは、Mo50Ru50の組成において結晶粒径が大きく、配向性が高いことを示している。また(c)ではピークが微かに見られるが、この組成では結晶性が低くアモルファス状であることを示している。

我々は、図3(b)及び(c)のRu-Mo合金を用いてトランジスタを作製し、粒径の大きさが特性ばらつきに与える影響について検討した。図4に平面TEM像を示す。図4(a)は、平均粒径4nmと非常に小さい微結晶構造である。図中に示した長方形は、100nm×150nmであり、今回作製した最小のトランジスタサイズに対応する。一方、(b)では、粒径が大きく中には曲線で囲んだ様に長さが100nmを超え、トランジスタのサイズと同程度のもも見られる。

図5に微結晶(左側)及び大きな結晶粒径(右側)の薄膜をゲート電極に用いた場合のトランジスタ特性を示す。上段はゲート幅1μmの大きなトランジスタ、下段は130nmのものであり、異なる不純物濃度からのIdVg特性をそれぞれ30本示している。トランジスタサイズが小さくなるとId-Vg特性の幅が太くなり、ばらつきが大きくなることを示している。さらに、左側の微結晶のもの、右

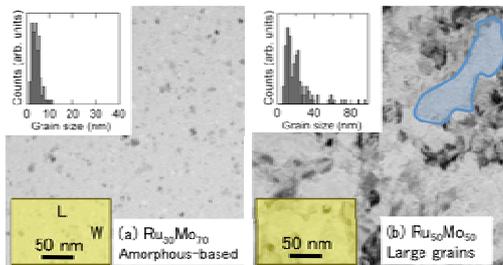


図4 (a)Ru30Mo70及び(b)Ru50Mo50の平面TEM像と結晶粒径分布。

側の大きな結晶粒径のものを比べると、右側の方がばらつきが大きい事が判る。

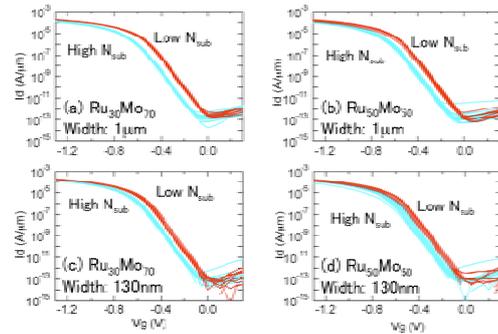


図5 ゲート電極材料とゲート電極サイズを変えたときのId-Vg特性のばらつきの変化。

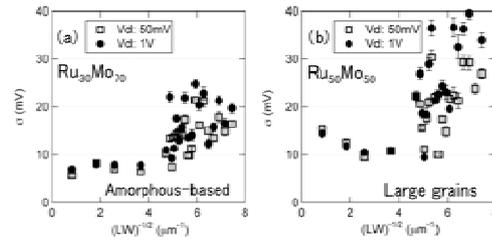


図6 特性ばらつきの大きさ。(a)Ru30Mo70及び(b)Ru50Mo50の金属膜を電極に用いた場合。

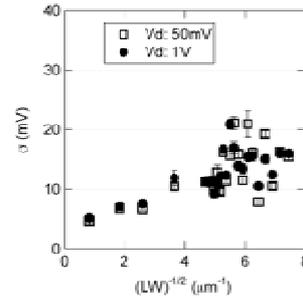


図7 C添加Ru50Mo50の薄膜を用いた場合の特性ばらつき。

ばらつきの大きさσは累積プロットを用いてその傾きから評価した。図6にその結果を示す。横軸は(LW)<sup>-1/2</sup>(μm<sup>-1</sup>)である。(a)の微結晶を用いたものは、トランジスタサイズが小さくなるにつれてσが約20mVまで増大する。一方、(b)の大きな結晶粒径を用いたものは、約40mVまでσが増大し、ばらつきがより大きいことを示している。

これまでに我々は、金属薄膜にCを添加することによって、結晶粒径を小さくする技術を開発した。今回、大きな結晶粒径を用いたことによる特性ばらつきの増大をC添加によって低減することを試みた。C添加により微結晶化した薄膜を用いてトランジスタを作製し、ばらつきの評価を行ったものが図7である。ばらつきの増大は20mV程度に収まっており、図6(b)と比較するとその低減が達成されていることを示している。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計3件)

1. K. Ohmori, T. Chikyow, T. Hosoi, H. Watanabe, K. Nakajima, T. Adachi, A. Ishikawa, Y. Sugita, Y. Nara, Y. Ohji, K. Shiraishi, K. Yamabe, K. Yamada

"Control of Crystalline Microstructures in Metal Gate Electrodes for Nano CMOS Devices"

ECS Transactions **13** (2008) 201. (査読有)

2. Dmitry Kukuruznyak, Harald Reichert, Kenji Ohmori, Parhat Ahmet, Toyohiro Chikyow  
"Pliant epitaxial ionic oxides on silicon"

Advanced Materials **20** (2008) 3827. (査読有)

3. K. Ohmori, T. Matsuki, D. Ishikawa, T. Morooka, T. Aminaka, Y. Sugita, T. Chikyow, K. Shiraishi, Y. Nara, K. Yamada

"Impact of Additional Factors in Threshold Voltage Variability of Metal/High-k Gate Stacks and Its Reduction by Controlling Crystalline Structures and Grains in the Metal Gates"

Technical Digest of International Electron Devices Meeting 2008 p. 409. (査読無)

[学会発表](計14件)

1. 菊地裕樹、田村知大、林倫弘、大毛利健治、蓮沼隆、山部紀久夫

「熱処理による電界印加 HfSiON 膜のダメージ回復における窒素添加効果」

第56回応用物理学関係連合講演会(2009年3月、筑波大学)

2. (招待講演)大毛利健治、松木武雄、石川大、諸岡哲、網中敏夫、杉田義博、知京豊裕、白石賢二、奈良安雄、山田啓作

「金属/high-k絶縁膜構造トランジスタにおいて金属結晶が閾値電圧ばらつきに及ぼす影響とその抑制」

SDM研究会「IEDM特集(先端CMOSデバイス・プロセス)技術」(2009年1月、東京)

3. 大毛利健治、松木武雄、石川大、諸岡哲、網中敏夫、杉田義博、知京豊裕、白石賢二、奈良安雄、山田啓作

「金属/high-k絶縁膜構造MOSFETの閾値電圧ばらつきと金属の結晶性制御によるその低減」

ゲートスタック研究会(2009年1月、三島市)

4. 田村知大、林倫弘、菊地裕樹、大毛利健

治、蓮沼隆、山部紀久夫

「HfSiOxにおけるしきい値電圧経時劣化の成分分離」

ゲートスタック研究会(2009年1月、三島市)

5. K. Ohmori, T. Matsuki, D. Ishikawa, T. Morooka, T. Aminaka, Y. Sugita, T. Chikyow, K. Shiraishi, Y. Nara, K. Yamada

"Impact of Additional Factors in Threshold Voltage Variability of Metal/High-k Gate Stacks and Its Reduction by Controlling Crystalline Structures and Grains in the Metal Gates"

International Electron Devices Meeting, San Francisco, USA, December 15-17, 2008.

6. Chihiro Tamura, Tomohiro Hayashi, Kenji Ohmori, Ryu Hasunuma, and Kikuo Yamabe

"Influence of Hole Trapping on Threshold Voltage Shift in HfSiOx Films"

International workshop on Dielectric Thin Films for Future ULSI Devices (IWDTF) Nov. 2008, Tokyo.

7. 田村知大、林倫弘、大毛利健治、蓮沼隆、山部紀久夫

「PDA温度がHfSiOxの電気的特性経時劣化へ与える影響」

第69回応用物理学学会学術講演会(2008年9月、中部大学)

8. (Invited) Kao-Shuo Chang, Martin Green, John Suehle, Jason Hattrick-Simpers, Ichiro Takeuchi, Kenji Ohmori, T. Chikyow, Stefan De Gendt, Prashant Majhi

"Combinatorial Methodology for the Exploration of Metal Gate Electrodes on HfO2 for the Advanced Gate Stack"

213th Meeting of The Electrochemical Society, 2008/5/20 Phoenix, AZ, USA

9. (Invited) N. Umezawa, K. Shiraishi, K. Kakushima, H. Iwai, K. Ohmori, K. Yamada, T. Chikyow

"Relation between solubility of silicon in high-k oxides and the effect of Fermi level pinning"

213th Meeting of the Electrochemical Society, Phoenix, AZ, USA, May 18-22, 2008

10. (Invited) K. Ohmori, T. Chikyow, T. Hosoi, H. Watanabe, K. Nakajima, T. Adachi, A. Ishikawa, Y. Sugita, Y. Nara, Y. Ohji, K. Shiraishi, K. Yamabe, K. Yamada

"Control of Crystalline Microstructures in Metal Gate Electrodes for Nano CMOS Devices"

213th Meeting of The Electrochemical Society, 2008/5/20 Phoenix, AZ, USA

11. K. Ohmori, T. Chikyow, T. Hosoi, H. Watanabe, K. Nakajima, T. Adachi, A. Ishikawa,

Y. Sugita, Y. Nara, Y. Ohji, K. Shiraishi, K. Yamabe, K. Yamada

"Wide Controllability of Flatband Voltage by Tuning Crystalline Microstructures in Metal Gate Electrodes"

International Electron Devices Meeting, 2007/12/11 Washington DC, USA

12. Chikyow Toyohiro, T. Nagata, N. Umezawa, M. Yoshitake, K. Ohmori, T. Yamada, M. Lippma and H. Koinuma

"Landscape of Combinatorial Materials Exploration and Materials Informatics"

2007 MRS Fall Meeting, 2007/11/26 Boston, MA, USA

### 13. 大毛利健治

「ハイスループット材料合成と電子デバイスへの応用」

日本学術振興会 第151委員会公開シンポジウム「ナノ・ハイスループット材料開発への挑戦」2007/9/29 化学会館ホール

14. 大毛利健治、細井卓治、渡部平司、山田啓作、知京豊裕

「C添加による金属ゲート材料の結晶構造制御とアモルファス化」

秋季 第68回応用物理学会学術講演会 2007/9/6 北海道工業大学

〔産業財産権〕

○出願状況(計1件)

名称：金属電極及びこれを用いた半導体素子

発明者：大毛利健治、知京豊裕

権利者：早稲田大学、物質・材料研究機構

種類：PCT出願

番号：PCT/JP/2008/072164

出願年月日：2008年12月8日

国内外の別：

〔その他〕

新聞記事掲載(2007年12月11日)電波新聞、日経産業新聞、化学工業日報、日刊工業新聞

## 6. 研究組織

### (1)研究代表者

大毛利健治(OHMORI KENJI)

早稲田大学・ナノ理工学研究機構・准教授

研究者番号：00421438