

研究種目：若手研究（B）  
 研究期間：2007～2009  
 課題番号：19760229  
 研究課題名（和文） 不揮発性メモリ内蔵型超低消費電力動的再構成可能マイクロプロセッサの開発  
 研究課題名（英文） Development of very low-power dynamically reconfigurable microprocessors with nonvolatile memories  
 研究代表者  
 山本 修一郎（YAMAMOTO SHUU' ICHIROU）  
 東京工業大学・大学院総合理工学研究科・助教  
 研究者番号：50313375

研究成果の概要（和文）：高性能かつ超低消費電力のマイクロプロセッサの開発を目的として、新規不揮発性メモリ回路の提案、詳細な回路設計と回路シミュレータによる評価を行った。また、限られた面積で複数の演算処理が高速に達成できる動的再構成可能プロセッサの設計を行い、不揮発性メモリ回路を動的再構成可能プロセッサ内で使用する方法について検討を行った。以上により、不揮発性メモリ内蔵型超低消費電力動的再構成可能マイクロプロセッサの礎を築くことができた。

研究成果の概要（英文）：In order to develop microprocessors with very low-power consumption and high performance, novel nonvolatile memory circuits have been proposed, designed and analyzed. Evaluation of the circuits was done by a circuit simulator. Dynamically reconfigurable microprocessors that can execute information processing with very high speed using limited circuit layout area were designed. Utilization method of the nonvolatile memory circuits in the dynamically reconfigurable microprocessors was proposed. Consequently, basis of developing very low-power dynamically reconfigurable microprocessors with nonvolatile memories have been established.

## 交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2007年度	1,700,000	0	1,700,000
2008年度	500,000	150,000	650,000
2009年度	1,100,000	330,000	1,430,000
年度			
年度			
総計	3,300,000	480,000	3,780,000

研究分野：電子回路、半導体工学、電子デバイス

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：マイクロプロセッサ、動的再構成論理回路、不揮発性メモリ、電源遮断、低消費電力

## 1. 研究開始当初の背景

アプリケーションを少ない電力で高速に処理するというマイクロプロセッサへの要

求は、近年ますます顕著になってきており、映像・音声を中心とする様々な大容量データ処理を瞬時に行うことのできる新世代の超

低消費電力高速マイクロプロセッサが求められていた。

大容量のデータを扱うアプリケーションをマイクロプロセッサで高速に実行するためには、二つの両極的な方法がある。1つは動作周波数を向上することにより演算能力を高める方式であり、もう1つはASIC (Application Specific Integrated Circuit)のように専用回路を付加するものである。前者の場合には消費電力が増大するためモバイル・組み込み機器用途には適さない、後者では処理内容が固定化されてしまい、将来の計算アルゴリズムの変更に適応できずに陳腐化してしまうという欠点がある。柔軟性をあげるには論理を可変できるFPGA (Field Programmable Gate Array)の活用が考えられるが、各論理ブロックは演算に多用される乗算などの回路機能よりも、ゲート・レベルでの細粒度の論理機能を重視した「ランダム・ロジック」に適するような設計をすることが多い。したがって、柔軟性は非常に高いが、各論理ブロックに必要な構成情報が莫大で、回路機能書き換え時間が増大し、リアルタイム性能が損なわれる致命的な欠点がある。したがって、これらを包括的に克服する方法が求められていた。

## 2. 研究の目的

上記背景を受け、本研究では、新世代の超低消費電力高速マイクロプロセッサとなり得る動的な可変論理プロセッサを開発することを目指した。記憶部に高速不揮発性素子を使用し、動的電源遮断を行えるようにすることで、超低消費電力化を達成する方法を開発することとした。

動的な可変論理プロセッサには、ソフトウェアから動的機能変更可能な可変論理の演算器が組み込まれ、SIMD (Single Instruction Multiple Data) 演算を行うと共に、ALUでも並列演算を行うことで、これまでのプロセッサにない優れた並列性をもつ高性能アーキテクチャの実現が期待される。また、動的電力制御を取り入れ、低消費電力化も目指した。近年は、1チップ上で複数のプロセッサを並列に動作させて性能を上げる手法もとられるようになってきており、その1要素として提案プロセッサを使用することもできると考えられる。

具体的には以下のようなプロセッサを考えた。RLU (Reconfigurable Logic Unit) は RLB (Reconfigurable Logic Block) と呼ばれる演算ブロックをマトリックス状に並べたものであり、RLU外部のALUとの並列処理が可能である。隣接したRLB間では情報のやり取りが可能でパイプラインレジスタを備えており、RLU全体としてパイプライン処理を行うことができる。RLBの演算内容は

動的に(最小1クロックサイクルで)書き換えることにより様々な処理に対応できる。例えば、64個のRLBを有するRLUでは、各RLBに加算+シフト機能を持たせると、4並列の乗算機能が実現できる。また、RLUにプログラムされた演算機能によっては演算に使用しないRLBが生じる場合がある。その場合には、一時的にクロックを停止したり(クロックゲーティング)、電源遮断したり(パワーゲーティング)することでRLUでの消費電力を削減することができると考えられる。なお、電源復帰時間は最速で、数ns以下と高速であり、動的な制御が可能である。

一方、演算機能と演算経路の構成内容を不揮発性の素子で記憶すると電源を切っても、データを再ロードせずに処理を再開でき、再起動時の高速化、使用時のみに使用することによる低消費電力化が達成できる。先に挙げた動的電源遮断の方法と組み合わせることで構成内容を保持する記憶素子での消費電力を更に効果的に削減できる。このような用途の不揮発性高速記憶素子としては、低消費電力、高速書き込みが可能な強誘電体メモリ(強誘電体を利用したフリップフロップのような小規模メモリを含む)が適している。開発競争ではやや出遅れ感のある磁性メモリや抵抗メモリも技術の進展によっては本研究の目的に合致する不揮発性高速記憶素子となる可能性があり、その実現可能性について詳細に検討することとした。

本研究では可変論理演算器の設計とアプリケーション実行時の性能評価も行うこととした。設計に当たっては、上記で挙げた不揮発性記憶素子使用を意識した高速・低消費電力の論理再構成アーキテクチャ、回路構成を検討することとした。また、不揮発性記憶素子の回路設計を行うこととした。

## 3. 研究の方法

(1) 可変論理回路ブロック(RLB)内に組み込む不揮発性メモリについて、動向を調査し、本研究の目的にかなう記憶素子の提案を行い、モデルの開発を行う。これを、主にアナログ回路シミュレータHSPICEによって動作検証を行う。

(2) 可変論理回路ブロック(RLB)内部の配線および論理演算ユニット(ALU)の検討を行う。乗算や動画処理で使用される動き予測などのアプリケーションを想定して必要な機能を組み込む。また将来演算アルゴリズムが変わっても対応できるようにするため、回路規模が肥大化しない範囲で冗長性を持たせることとする。

(3) 電源遮断機構のRLBへの組み込み方法を検討する。具体的には制御レジスタの増設

の検討、電源遮断・復帰制御回路の設計を行う。

(4) 電源遮断に必要なカスタムスイッチセルを設計(レイアウト)する。

(5) 可変論理回路ユニット(RLU)を構成し、必要な機能が実行可能であることを Verilog シミュレーションにより実証する。

#### 4. 研究成果

(1) 可変論理回路ブロック(RLB)内に組み込む不揮発性メモリの提案を行い、不揮発メモリ素子の SPICE モデルの開発を行い、提案する不揮発性メモリの動作を確認した。不揮発性メモリ素子には電流誘起磁化反転機構を有した磁気抵抗トンネル素子(MTJ)を使用した擬似スピン MOSFET のほかに、抵抗変化素子を使用した。不揮発性メモリは具体的には、プロセッサ動作に必須の SRAM、ラッチ、フリップフロップ回路を不揮発化したものを提案した。主にアナログ回路シミュレータ HSPICE によって動作検証を行い、本研究に合致する高速記憶、高速情報復帰が可能であることを確かめた。プロセッサ応用のためには、演算速度を落とさないことが重要であり、不揮発性メモリ素子をどのように使用するべきかを検討した。また、電源遮断による低消費電力化では電源遮断動作に要する電力が、電源遮断によって節約できる電力よりも小さい必要があり、電源遮断時間の関数となっている。そこで、これらを評価して、プロセッサ中での使用に耐えるかどうかを検証した。その結果、数 $\mu$ 秒の電源遮断期間があれば、低消費電力化に寄与することがわかった。近年の電源遮断機構を備えた LSI での電源遮断期間はそれよりも大きいと、容易に適用可能であり、かつ効果が見込めることがわかった。本研究のように、不揮発性メモリについて、電源遮断における消費電力化の効果を電源遮断期間の観点から論じたものはほとんどなく、先駆的な成果であるといえる。

(2) 可変論理回路ブロック(RLB)内部の配線および論理演算ユニット(ALU)の検討を行った。上部からのデータ入力を行う方式で RLU を構成するとき RLB を 8 行 8 列に配置した場合、基本的な RLB の入出力線は縦横 4 方向にそれぞれ 3 本ずつ、斜め上から入出力線を 2 本、斜め下へ出力線を 2 本持つことが必要かつ効率が良いことがわかった。RLB 内部の入出力方向の切り替えは、フルクロスカップルでなく、オメガツリー状に構成すると、内部配線を減らせることがわかった。ALU は 3 入力 2 出力とし、加算、減算、比較、絶対値、AND、OR、1bit の右/左シフト、平均、乗算・除算構成用の加算・減算がそれぞれ 4

種類用意すると、マルチメディア処理に都合が良いことがわかった。

(3) また、電源遮断の方法について、設計した RLB に適合する方式について検討を行い、RLB を構成した。RLB の状態を規定するコンフィギュレーションレジスタに不揮発性メモリを使用し、構成情報を 2 パターン RLB 内に保持する場合において、RLB 自身も 6 つの電源ドメインを持つ構成を提案した。この方式では、その 2 パターンを瞬時に切り替えられるほか、使用していない構成情報のレジスタを低電力状態へと遷移させることができる。さらに低電力状態から通常状態への復帰を高速に行うことができる。このような不揮発性メモリの使い方については、ほとんど報告されておらず、先駆的な成果といえる。

(4) 電源遮断に必要なカスタムスイッチセルを設計(レイアウト)した。設計したカスタムスイッチセルはスタンダードセルと同様のピッチで設計され、スタンダードセル同様にレイアウト可能である。

(5) 可変論理回路ユニット(RLU)を構成し、必要な機能(乗算、除算、絶対値など)が実行可能であることを Verilog シミュレーションにより実証した。動きベクトル探索に適用すると、RISC プロセッサの 100 倍の速度で演算できることがわかった。

以上、不揮発性メモリ内蔵型超低消費電力動的再構成可能マイクロプロセッサの礎を築くことができた。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

① Shuu' ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara, "Nonvolatile Static Random Access Memory Using Resistive Switching Devices: Variable-Transconductance Metal-Oxide-Semiconductor Field-Effect-Transistor Approach", Jpn. J. Appl. Phys. 49 (2010) 040209/1-3、査読有

② Shuu' ichirou Yamamoto and Satoshi Sugahara, "Nonvolatile SRAM and flip-flop architectures using magnetic tunnel junctions with current-induced magnetization switching technology", Jpn. J. Appl. Phys. 48 (2009) 043001/1-7、査読有

[学会発表] (計16件)

① Shuu' ichirou Yamamoto and Satoshi Sugahara; "Nonvolatile delay flip-flop using pseudo-spin-MOSFETs and its power-gating applications", 11th Joint MMM-Intermag Conference, Washington DC, 20 Jan. 2010.

② Shuu' ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara; "Nonvolatile power-gating microprocessor concepts using nonvolatile SRAM and flip-flop", International Symposium on Silicon Nano Devices in 2030, Tokyo, 13 Oct. 2009.

③ Shuu' ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara; "Nonvolatile SRAM(NV-SRAM) Using Functional MOSFET Merged with Resistive Switching Devices", IEEE 2009 Custom Integrated Circuits Conference (CICC), San Jose, 15 Sep. 2009.

④ 山本修一郎、菅原聡; 擬似スピンの MOSFET を用いた不揮発性 DFF: バルーン DFF との比較; 第 70 回応用物理学学会学術講演会、2009 年 9 月 10 日、富山

⑤ 山本修一郎、菅原聡、前島英雄; マイクロプロセッサにおけるエマージングメモリデバイスへの期待; 第 70 回応用物理学学会学術講演会、2009 年 9 月 9 日、富山

⑥ Shuu' ichirou Yamamoto and Satoshi Sugahara; "Nonvolatile delay flip-flop using magnetic tunnel junctions with current-induced magnetization switching architecture", IEEE International Magnetism Conference, Sacramento, 7 May 2009.

⑦ 山本修一郎、菅原聡; ノンポーラ型抵抗変化素子の SPICE モデル; 第 56 回応用物理学関係連合講演会、2009 年 4 月 2 日、つくば

⑧ 山本修一郎、周藤悠介、菅原聡; ノンポーラ型抵抗変化素子を用いた不揮発性 SRAM; 第 56 回応用物理学関係連合講演会、2009 年 4 月 2 日、つくば

⑨ 山本修一郎、菅原聡; スピン注入磁化反転 MTJ を用いた不揮発性 D フリップフロップ; 第 56 回応用物理学関係連合講演会、2009 年 4 月 1 日、つくば

⑩ Shuu' ichirou Yamamoto and Satoshi

Sugahara; "Analysis and design of nonvolatile SRAM using magnetic tunnel junctions with current-induced magnetization switching technology", 53rd Annual Conf. Magnetism and Magnetic Materials, Austin, 12 Nov. 2008.

⑪ 山本修一郎、菅原聡; スピン注入磁化反転 MTJ を用いた不揮発性 SRAM: 通常動作時消費電力の削減; 第 69 回応用物理学学会学術講演会、2008 年 9 月 5 日、春日井

⑫ 山本修一郎、菅原聡; スピン注入磁化反転 MTJ を用いた不揮発性 SRAM: 仮想接地セルアーキテクチャ; 第 55 回応用物理学関係連合講演会、2008 年 3 月 30 日、船橋

⑬ 山本修一郎、菅原聡; スピン注入磁化反転 MTJ を用いた不揮発性 SRAM: V<sub>half</sub> の影響; 第 55 回応用物理学関係連合講演会、2008 年 3 月 30 日、船橋

⑭ Shuu' ichirou Yamamoto and Satoshi Sugahara; "Nonvolatile SRAM and flip-flop architectures using magnetic tunnel junctions with current-induced magnetization switching technology", 52nd Annual Conf. Magnetism and Magnetic Materials, Tampa, 9 Nov. 2007.

⑮ 山本修一郎、菅原聡; pseudo spin-MOSFET/spin-MOSFET の不揮発性 SRAM/ラッチ回路への応用; 第 68 回応用物理学学会学術講演会、2007 年 9 月 7 日、札幌

⑯ 山本修一郎、菅原聡; スピン注入磁化反転 MTJ を用いた不揮発性 SRAM/ラッチ回路; 第 68 回応用物理学学会学術講演会、2007 年 9 月 7 日、札幌

[図書] (計1件)

① 山本修一郎、周藤悠介、菅原聡、"スピン機能 CMOS による不揮発性高機能・高性能ロジック"、スピントロニクスの基礎と材料・応用技術の最前線、CMC 出版(2009) 27 章、421P、pp.319-330.

6. 研究組織

(1) 研究代表者

山本 修一郎 (YAMAMOTO SHUU' ICHIROU)  
東京工業大学・大学院総合理工学研究科・助教

研究者番号: 50313375

(2) 研究分担者  
なし

(3) 連携研究者  
なし