

平成 21 年 6 月 18 日現在

研究種目：若手研究（スタートアップ）  
 研究期間：2007～2008  
 課題番号：19800035  
 研究課題名（和文） 上流からの許容故障判定に基づくテストコストの削減に関する研究  
 研究課題名（英文） Test cost reduction based on acceptable fault identification using high-level circuit information  
 研究代表者  
 吉川 祐樹（YOSHIKAWA YUKI）  
 広島市立大学・大学院情報科学研究科・助教  
 研究者番号：50453212

## 研究成果の概要：

回路の機能仕様に着目した許容故障判定法を提案し、数値計算など出力がある値(解)に収束する回路、画像処理で用いられる MPEG 回路について許容故障を確認することができた。また、許容故障を高速に判定するアルゴリズムを提案し、ベンチマーク回路に対して最大で約 2 倍の高速化を確認した。さらに、汎用のテスト生成アルゴリズムを利用した許容故障判定法の提案を行い、商用ツールを用いた許容故障の判定を可能にした。

## 交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,220,000	0	1,220,000
2008 年度	1,220,000	366,000	1,586,000
年度			
年度			
年度			
総計	2,440,000	366,000	2,806,000

## 研究分野：LSI 設計

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：設計工学，耐故障設計，LSI のテスト，許容故障判定

## 1. 研究開始当初の背景

半導体技術の進歩により、プロセッサ、メモリに代表される集積回路（LSI）は大規模化、高性能化しており、2010 年には、トランジスタサイズは 45nm を切り、数億ゲート規模のプロセッサが 10GHz を超える速度で動作するなど、今後さらに大規模化、高性能化することが予想される。その一方で、製造された回路に対して正常動作や所望の性能を保障するための LSI のテストはますます複雑化し、全製造コストに対するテストコストの占める割合は増加している。さらに、歩留まり（全製造チップ数に対する良品チップ数の割合）の低下も深刻な問題となっている。半

導体産業界ではテスト技術の向上、新たなテスト手法の開発が重要な課題となっている。本研究では近年注目されている故障の許容性に着目し、製造された LSI に対して低コストのテストを実現するとともに、歩留まりの向上にも貢献する。

## 2. 研究の目的

これまでに許容故障に関する研究が発表されている [1, 2, 3]。しかしこれらの文献では、回路の用途（アプリケーション）を考慮しておらず、故障回路の出力と期待値との差が、設定した閾値を超えない故障を許容故障

としている。これに対し申請者は、信頼性の要求度は回路の用途によって異なるものだと考える。例えば、デジタル画像であれば、高周波成分は人間にとって知覚されにくいことから、圧縮、伸長回路の高周波成分の演算部の故障は許容されやすいと考える。本研究課題では、このような回路の用途ごとに異なる信頼性の要求度に着目し、許容故障を定義する。その上で許容故障を高速に判定する手法、判定した許容故障の情報を利用した効果的なテスト生成手法を提案し、テスト生成時間、テスト実行時間、歩留まりへの効果を考察する。

[1] 張, 安浦, “算術演算回路における許容故障とチップコスト削減への応用,” 第 50 回 FTC 研究会資料, 2004.

[2] Z. Jiang and S. K. Gupta, “An ATPG for threshold testing: obtaining acceptable yield in future process,” IEEE Proc. International Test Conference, pp. 824-833, 2002.

[3] M. A. Breuer, S. K. Gupta and T. M. Mak, “Defect and error tolerance in the presence of massive numbers of defects,” IEEE Design and Test of Computers, Vol21, No. 3, pp. 216-227, 2004.

### 3. 研究の方法

(1) 回路用途, 回路構造に依存する故障の許容性解析, および許容故障の定義.

はじめに, アーキテクチャや実現する機能, アルゴリズムに基づく故障の許容性に関する考察を行った. 回路の機能がレジスタ転送レベルで記述され, テストの分野では評価実験によく用いられる ITC' 99 ベンチマーク回路や様々な設計事例を利用し, 実現する回路機能や構造の違いによる故障の許容性を実験的に調査した.

(2) (1) の情報を利用した許容故障判定手法の提案.

許容故障の判定は, ゲートレベルだけでなく, (1) の解析から得られた情報を利用し, 上位レベルからの許容故障判定に着手した. H19 年度は数値計算など出力がある値(解)に収束する回路の故障の許容性について重点的に研究を行い, H20 年度は, MPEG における故障の許容性について研究を行った.

(3) 許容故障判定に関する研究を進める中で新たに派生した研究テーマとして, ゲートレベルでの許容故障判定の高速化にも着手した. 従来法として, テスト生成アルゴリズムを利用した許容故障判定アルゴリズムが提案されている [2]. 我々は, 故障による誤

りの伝搬経路に着目し, さらに高速なアルゴリズムの提案に取り組んだ. また文献の [2] で提案されている許容故障判定アルゴリズムや, 我々が提案するアルゴリズムは, 許容故障を判定する独自のアルゴリズムである. そこで, 汎用的なテスト生成アルゴリズムを利用した許容故障判定手法の提案についても取り組んだ.

### 4. 研究成果

本研究では, 故障の許容性を考慮した低コストテスト手法について研究を進めてきた.

H19 年度は, 数値計算など出力がある値(解)に収束する回路の故障の許容性について研究を進め, ソフトエラーの発生箇所とそのエラーが回路の出力に与える影響を解析し, ニュートン法を実装した回路において, 許容可能なソフトエラーを確認した.

20 年度は, MPEG 回路について故障と圧縮率の関係から許容故障の解析を行った. この解析では, MPEG 回路の一部である動き予測回路の故障に着目した. 動き予測回路に故障が存在する場合, 近似ブロックの推測計算を誤るため, 色情報の差分絶対値が最も小さいブロックでないものを選択する可能性がある. しかしその場合でも, 差分情報は多くなるために圧縮率は悪化するが, 画像の劣化はない. 動き予測回路の故障箇所と動画の圧縮率について考察を行い, データパスにおける下位ビットでは, 計算の重みが小さいために圧縮率への影響は小さく, 上位ビットでは圧縮率の悪化に大きく影響することを確認した. 上記 2 つの研究はまだ学会発表には至っておらず, 今後これらの研究成果をまとめることが残された課題となる.

さらに H20 年度は, 許容故障を高速に判定するアルゴリズムの提案, および, 汎用のテスト生成アルゴリズムを用いた許容故障判定のための回路モデルの提案にも取り組んだ. アルゴリズムの高速化では, 故障の許容性に着目したヒューリスティックを提案し, 従来手法より高速に許容故障を判定できることを実験的に評価した. 評価実験では, いくつかの回路において, 最大で約 2 倍の高速化に成功した. また, 汎用のテスト生成アルゴリズムを用いた許容故障判定モデルでは, 既存の商用テストツールを利用できるため, 新たに許容故障判定に特化したツールを開発するコストを削減することができる.

### 5. 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)

〔学会発表〕(計 2件)

1. 周藤健太, 吉川祐樹, 市原英行, 井上智生, “故障の許容性に基づく閾値テスト生成のための回路モデル,” 信学技報, Vol. 108, No. 352, pp. 5-10, 2008年12月

2. 中島佑介, 吉川祐樹, 市原英行, 井上智生, “故障の許容性に基づく閾値テスト生成アルゴリズムの高速化,” 信学技報, Vol. 108, No. 431, pp. 1-6, 2009年2月

3. 出水伸和, 吉川祐樹, 市原英行, 井上智生, “閾値テストのための5値論理に基づくテスト生成アルゴリズムに関する考察,” 信学技報 2009年6月(発表予定).

1. に関して, 現在, 国際学会 Asian test symposium 2009へ投稿中.

## 6. 研究組織

### (1) 研究代表者

吉川 祐樹 (YOSHIKAWA YUKI)  
広島市立大学大学院・情報科学研究科・  
助教  
研究者番号: 50453212

### (2) 研究分担者

なし

### (3) 連携研究者

なし