

平成 21年 6月 5日現在

研究種目：若手研究(スタートアップ)

研究期間：2007-2008

課題番号：19860078

研究課題名(和文) ストラクチャード ASIC の短 TAT 設計に関する研究

研究課題名(英文) A study on Short TAT Design using Structured ASIC

研究代表者

松原 裕之 (MATSUBARA HIROYUKI)

福岡工業大学・情報工学部・講師

研究者番号：10435117

研究成果の概要：

最先端の LSI では設計費用の高騰化や設計時間の長期化が深刻となっている。本研究ではこれらの問題を解決するために、設計費用の中のレチクル費用、設計時間、製造 TAT の短縮、の 3 点を改善するマスタースライス方式のストラクチャード ASIC (Gate Array/embedded array) に着目した。初年度にストラクチャード ASIC 用の設計フローを構築し、二年目に本設計フローを用いて東大 VDEC 提供の 0.18um テクノジノードを利用して LSI を試作した。試作 LSI は一発動作し、本研究で構築した設計フローの有益さを確認した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,310,000	0	1,310,000
2008 年度	590,000	177,000	767,000
年度			
年度			
年度			
総計	1,900,000	177,000	2,077,000

研究分野：システム LSI

科研費の分科・細目：工学 電子デバイス・電子機器

キーワード：システム LSI、ストラクチャード ASIC、短 TAT 設計、ゲートアレイ、SSO ノイズ

1. 研究開始当初の背景

90nm や 65nm などの LSI の微細化に伴い、設計費用の高騰化や設計時間の長期化が深刻な問題となっている。例えば 90nm テクノジノードでは、1つの LSI を ASIC/COT の手法で設計するために、レチクル(マスク)費用が 1-2 億円、設計期間が最低半年間、製造 TAT は最低 2 ヶ月必要である。これらの問題を解決するために、レチクル費用を 1/3 以下に削

減し設計時間と製造 TAT を短縮する、マスタースライス方式(図 1)のストラクチャード ASIC (Gate Array/embedded array) に着目する。マスタースライスは「品種毎に配線層の一部のみ可変層とし、複数品種共通で残りの配線層とバルク層を共通化」する工夫で製造 TAT と製造コスト(レチクル費用)を削減する方式である。図 1 はマスタースライス方式を説明したチップの断面図である。複数の品種

にかかわらず、バルクと配線の一部は固定層として全て同じものである。品種 A と品種 B は可変層 (Metal2, Metal3, Metal4) のみが異なり、それぞれ別の機能の ASIC を実現する。技術的にはマスタースライス方式を採用し、可変層 (Metal2, Metal3, Metal4) のみの配線とビアのカスタマイズを行うだけで品種設計を行う。そのためにチップ全体に図 2 で示すようにマスタースライス方式の Unit Cell (2 入力 NAND 回路を実現するトランジスタパターン)、RAM マクロ、I/O マクロ、PLL マクロ等を敷き詰める。品種毎のレイアウトごとに可変層のパターンだけが異なるようにレイアウト CAD で自動配置配線を行い、テープアウトした GDS パターンを元に、可変層 (Metal2, Metal3, Metal4) のマスクパターンだけ生成し、実際に製造する。

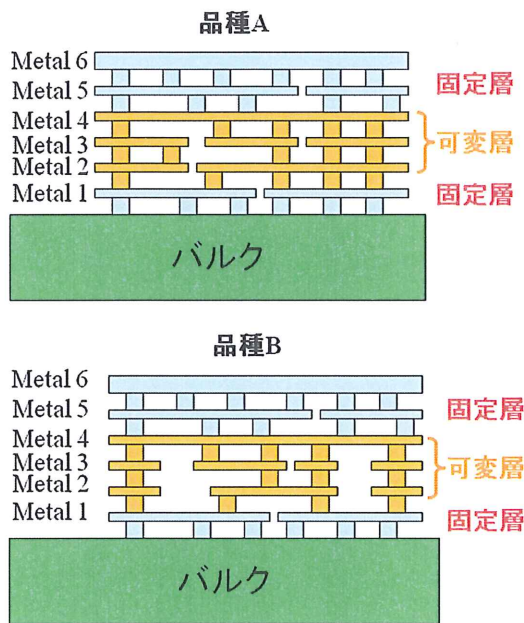


図1 マスタースライス方式 (チップ断面図)

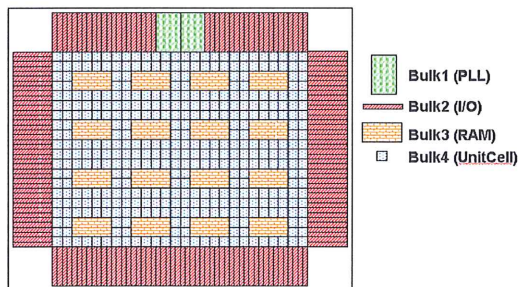


図2 バルクを敷き詰めたチップ全体

2. 研究の目的

本研究では、まず、ストラクチャード ASIC が設計可能な CAD フローを構築し、実設計に

耐えうる品質とする。次に構築した CAD フローを用いて LSI を試作し、短 TAT で実設計が可能かどうか、また所望した機能が一発で動作可能かどうかを確認する。最後に構築した CAD フローを用いて、(1) 配線層数 (レチクル) 削減の最適化、(2) タイミングクロージャ容易な配置・配線手法、(3) IP マクロの最適な配置方法、(4) シグナルインテグリティ (電圧降下対策、クロストーク対策) の容易化、の確立を目的とするマスタースライス方式の新しいアーキテクチャを明らかにし、定量的に評価を行う。

配線総数削減の最適化では、総ての配線層のうち、可変層と固定層の割合決めを定量的に明らかにできればよい。図 1 では Metal 2, 3, 4 の 3 層を可変層、Metal 1, 5, 6 の 3 層を固定層としている。可変層を少なくすればレチクル費用が削減できるが、品種の配線チャンネルが減少するためレイアウト収束性が悪くなり、レイアウト TAT が長くなる。逆に可変層を増やすとレイアウト TAT は改善されるが、レチクル費用が増大する。また可変層数が同一でも、何層目に可変層が占めるかによって製造 TAT も変化する。本研究では品種の様々な制約下で最適な配線層数を決定する方法を明らかにする。

タイミングクロージャが容易な配置・配線手法についての知見を得る。90nm、65nm のテクノロジードではチップの配線層数が 10 層近くに達し、配線の製造ばらつきが大きな問題となっている。クロック同期方式であれば、チップ内の特性バラツキを考慮したクロックバッファやリピータの配置方法が必須である。バルク共通の制約下で適したクロック供給手法を明らかにする。またもう一つの解としてクロック非同期式 (二線式) がある。マスタースライス方式に適したクロック非同期式回路・アーキテクチャについての知見を得る。

バルク共通制約で、RAM マクロや CPU マクロなどの IP マクロの最適配置する手法を明らかにする。従来の ASIC 手法では、品種毎に IP マクロの配置を自由に行うことができた。しかしながら、マスタースライス方式では IP マクロ (バルク) を共通の配置にしなければならない。複数の品種で共通に使える IP マクロの配置方法を明らかにする。また、固定層に作りこむ、電源供給手法、クロック供給手法に関して、マスタースライス方式に適した電圧降下対策、クロストーク対策について、シグナルインテグリティを考慮した知見を得る。

3. 研究の方法

1 年目である 2007 年度は、研究室の立ち上げのために計算機の整備と LSI の設計環境の

2点を重点的に行った。

計算機の整備が必要な理由として、LSIの1回のレイアウトTATが短ければ短いほど、効率よく複数の手法を定量的に評価可能となる。赴任当時はSun Ultra 60のワークステーション(450MHz CPU, メモリ1Gbyte)に東大VDEC配布のEDAツールを導入済みであった(2007.4末時点)。しかしながら大規模なLSIのレイアウトを行う場合、既存のUltra60では計算機資源が大きく不足することが分かっていたので、科研費の補助でSun Ultra 45ワークステーションを導入し、計算機環境を整備した。

2007年度当時に既に枯れて安定した0.18 μ mクラスのASIC設計であっても、物理レイアウトを行うために、計算機の要求スペックはメモリが4G bytes程度、CPUも64bitで、SPARCであれば1GHz以上、x86であれば3GHzの高い動作速度、ハードディスクも1回のレイアウトで数Gbytesは少なくとも必要であった。また東京大学VDEC提供のケデンス社、シノプシス社、メンター社等の主要なLSIレイアウトプログラムは、プログラム毎に動作環境(OS種別)が異なるため、物理レイアウトフローの構築にはSolaris10(Sparcアーキテクチャ)、Linux(x86アーキテクチャ)の2種類のCAD環境を整備した。業界標準ツールである、(1)論理合成ツール(デザインコンパイラ等)、(2)STA(静的タイミング解析)(Prime Time等)、(3)自動配置配線ツール(SoC Encounter等)、(4)回路シミュレーター(HSPICE等)、(5)ライブラリキャラクターライザー(Signal Storm等)、などの各種設計ツールの立ち上げ、LSIの実設計環境を整備した。

2年目である2008年度は、Cadence社First EncounterベースにストラクチャードASIC用に設計フローを構築しなおした。物理検証がパスできる品質を目指し、スタンダードセル、I/Oセル、RAMマクロ等の配置制御を工夫し、マクロ配置や信号配線、電源配線の自動配線をクリアした。その後、構築したCADフローを用いてLSIを試作し、短TATで実設計が可能かどうか、また所望した機能が一発で動作可能かどうかを確認した。

4. 研究成果

研究成果は大きく2点あり、1点目はCadence社First EncounterベースにストラクチャードASIC用に設計フローを構築したこと、2点目は、本設計フローを東大VDEC提供のローム社CMOS 0.18 μ mの実設計に適用し、SSOノイズ測定用の2.5mm角のLSIを試作したことである。

研究代表者は2008年からLSIのSignal Integrity対策を研究テーマとしている。特に、Signal Integrity対策の一つとしてSSO

ノイズ(同時I/O出力ノイズ)が近年のLSIの入出力I/O数の増加やDDR1以降のメモリアンタフェースの高速化により深刻な問題となっている。SSOノイズの発生メカニズムは、複数の出力I/Oが同時に状態を変えると電源システム(LSI内部コア+I/Oリング+パッケージ+PCB基板)内の変動電流が一定の電圧を誘導し、電源電圧が大きくバウンドする。そのため出力I/O、入力I/O、内部ロジックに対してジッタや信号の反転などの好ましくない過渡的現象を引き起こす。特にDDR1以降の高速メモリアンタフェースが普及した現在、メモリアクセスのタイミングで32/64本単位でスイッチング動作する。例えば図3の東辺のように、電源I/Oが貧弱で出力I/Oが多数ある中、入力I/O(例えばクロック入力)がある場合を考える。メモリアクセス等で発生する大きなSSOノイズは、東辺中央の入力I/Oからの信号に対して、ジッタや信号の反転といったタイミングマージンの減少や誤動作という形になってあらわれる。これらの影響を防ぐために、現時点では商用のASICやFPGAのベンダはSSOノイズ削減のためのガイドラインを簡易的に提供している。例えば1600本の入出力I/Oが16分割できる場合、16分割ごとに利用できる信号I/Oの数は100-n本以下に、SSOノイズ対策のために必要な電源I/O(VDE(例として1.8V/2.5V), VSS(0V))はn本以上、にしなければ品種設計を保証できないというルールである。

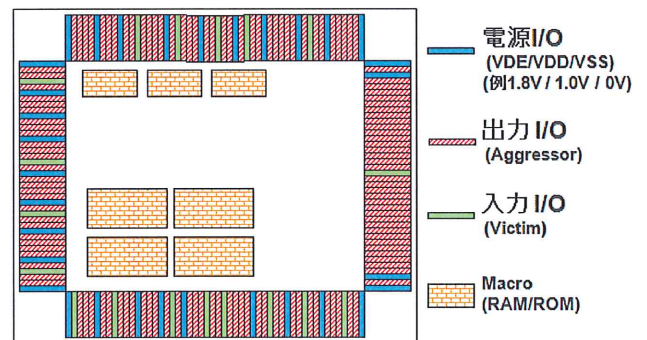


図3 SSOノイズの影響を受けるI/Oの配置の例(影響小:西南北, 影響大:東)

SSOノイズ評価LSIとして、SSOノイズプログラムに発生かつ測定できなければならない。SSOノイズ評価LSIは4辺のI/Oに対して電源I/O(VDE, VSS)の駆動能力、配置、本数等のパラメータを振り、出力I/Oの同時スイッチング割合を調整可能構成とする。試作したSSOノイズ評価LSIは、2008年8-10月の期間から約2人月(約400時間)の工数を投じて、2008年10月13日に無事に設計完了(Tape Out)した。納品は2009年2月末であった。SSOノイズ評価LSIのスペックの概要は図4に示す。本プロトタイプは、チップ4辺にパッケージ外部とつながった各32本の

I/O を配置しており、チップの東西の各辺に Aggressor として max20 本の出力 I/O による SSO ノイズ発生機構を備えている。

テクノロジー： 0.18um Rohm (東大 VDEC 08 年度第 6 回)
チップサイズ： 2.52mm x 2.52mm
動作周波数： 200MHz (typ. corner 条件)
電源電圧： 内部コア 1.8V、I/O 電源 3.3V
Aggressor： 東辺に x4 出力を max20 本(本数変更可能)

西辺に x16 出力を max20 本
(本数変更可能)

Victim： 東西辺の中央に各 1 本
SSO ノイズパターン： a) 自動(O1 繰り返し)、
b) 外部入力(北辺)、c) 1RW-RAM 読み込み、の
3 パターンを選択可能。

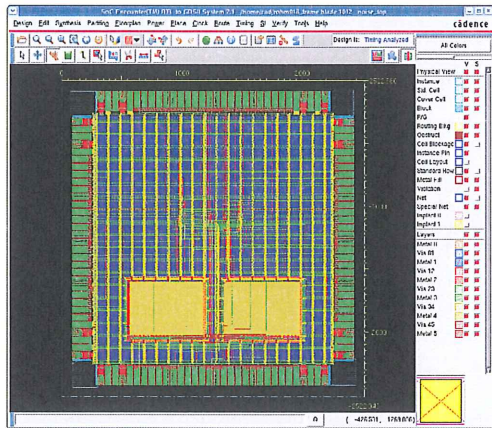


図 4 SSO ノイズ評価 LSI (バージョン 2008)

SSO ノイズ評価 LSI は SSO ノイズを測定するため、出力 I/O の同時スイッチング割合を調整可能な構成とした。LSI の 1 辺から取り出せる最大 32 本 I/O に対して、電源 I/O (VDD, VDE, VSS) の配置、出力 I/O の駆動能力や本数等のパラメータを振り分け、SSO ノイズに強い・弱い構成にした。東西の各辺に駆動能力が異なる最大 20 本の Aggressor (出力 I/O) を配置し、東西の中央に 1 本の Victim (入力 I/O) を設け、Victim の遅延量を測定できる構成をとった。2009 年 2 月末の SSO ノイズ評価 LSI の納品後、3 月に測定用治具、電源回路を製作し、基本的な SSO ノイズの発生と Victim の影響波形(3MHz の方形波)の 2 点を確認でき、構築した設計フローの有益さを確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

- ① 松原裕之、SSO ノイズ測定 TEG、VDEC 年報、13、電子媒体、2009、査読無し

6. 研究組織

(1) 研究代表者

松原 裕之 (MATSUBARA HIROYUKI)
福岡工業大学・情報工学部・講師
研究者番号：10435117

(2) 研究分担者

なし

(3) 連携研究者

なし