

平成 21 年 6 月 10 日現在

研究種目：若手研究（スタートアップ）

研究期間：2007～2008

課題番号：19860084

研究課題名（和文） デジタル・オーディオにおける振幅／時間軸歪の改善

研究課題名（英文） Improvement of Amplitude and Time Axis Distortion on Digital Audio

研究代表者

井上 学（INOUE MANABU）

米子工業高等専門学校・電子制御工学科・助教

研究者番号：30455159

研究成果の概要：

本研究は、デジタル・データの間隔を変える処理で発生する信号の歪（振幅軸歪）と、その間隔を定義するクロックの不均一さを起因とする信号の歪（時間軸歪）の改善を目指す。前者については、変換方式特有の欠点を改善し特性向上を図る回路を提案した。ソフトウェアでの検討段階だが、小さな回路での実現が予想され、携帯機器への応用が期待できる。後者には、補助回路を導入し、信号歪の原因となるクロックの不均一さを改善した。

交付額

（金額単位：円）

	直接経費	間接経費	合計
2007 年度	1,070,000	0	1,070,000
2008 年度	890,000	267,000	1,157,000
年度			
年度			
年度			
総計	1,960,000	267,000	2,227,000

研究分野：回路システム

科研費の分科・細目：電気電子工学・制御工学（細目番号：5107）

キーワード：PLL，ジッタ，サンプリング・レート変換，CORDIC

## 1. 研究開始当初の背景

デジタル・オーディオはアナログ・オーディオに比べ、様々な点で優れている。しかし、高品質のオーディオを求める場合、アナログにはない歪として（1）サンプリング・レート変換の際に生じる振幅軸歪と（2）DA(Digital to Analog)変換の際に生じる時間軸歪が問題である。本研究では、この2つの問題を解決し、品質の高いオーディオ・デバイスの開発に取り組んでいる。

## (1) サンプリング・レート変換の際に生じる振幅軸歪

現在、様々なオーディオ・データが、用途に応じたサンプリング・レートで作成され、混在している。再生機器には、こうしたオーディオ・データのレートに幅広く対応することが求められ、その実現のために、レート変換デバイス SRC (Sampling Rate Converter) を用い、データ（例えば 16, 44.1, 48kHz）

を1つのサンプリング・レート（例えば32kHz）に統一することが必要となる。このレート変換は、入力された離散データを何らかの方式で補間して連続時間信号を生成し、再サンプリングすることで実現される。しかし、入力データの元となる連続時間信号を忠実に再現することは難しく、少なからず出力信号に誤差が生じる。これが前述の振幅軸歪であり、如何に抑えるかが課題となる。

現在主流の補間方式は、フィルタを使った周波数領域型である。しかし、これらの周波数領域型の方式は、高い変換精度を有す反面、回路規模・消費電力が大きくなる。このことは、携帯機器において、機体の大きさ・連続再生時間といった重要なスペックに直結する問題である。

## (2)DA(Digital to Analog)変換の際に問題となる時間軸歪

ディジタル・オーディオ再生機器は、あるクロックに従って様々な処理を行い、最終的にそれをDA変換してアナログ信号を出力する。このクロックは一般にPLL(Phase Locked Loop)によって生成される。PLLは、入力信号に同期した信号を出力する発振回路で、クロックの生成の他にも通信を始めとして様々な分野で利用されており、世界的にも盛んに研究されている回路である。

PLLには、ジッタと呼ばれる、発振周波数が時々刻々と微小な変動をする問題がある。このクロックにジッタが含まれていると、DA変換器に入力されるデータは、時間間隔に狂いが生じ、アナログ出力される信号に振幅歪が発生する。つまり、時間軸歪が振幅軸歪として現れる。

したがって、上述のSRCのようなディジタル領域におけるデータ変換をどれだけ高精度に行ったとしても、ディジタル領域からアナログ領域へのデータ変換の際に、予期しない歪が現れることになる。この時間軸歪に起因する振幅歪は、SRCやDA変換器の性能に表すことのできない外的要因によるものであり、盲点となりやすい。

## 2. 研究の目的

### (1)サンプリング・レート変換の際に生じる振幅軸歪

2007年度までに、時間領域型フーリエ補間方式を提案・LSI実現した。

この提案方式は、時間領域型のなかでも曲線補間方式に分類されるが、単純な加減算処理しか行わないため、他の高次ラグランジュ補間やスプライン曲線などの曲線関数を利用

する方式がかかえる、複雑な計算処理に伴う回路の大規模化、低速化といった問題がない。そして、実現の結果、同程度の性能を有する周波数領域型に比べ、極めて小さい回路規模で実現することができた。

ただし、このフーリエ補間方式の回路実現において、入/出力レートに同期して動作する回路間の非同期データの取り扱いに問題をかかえる。現在の実現法では、入力信号の分析から補間信号再生までを入力レートに同期して行い、補間信号からの出力データのサンプリングを出力レートに同期して行っているが、非同期で信号の再生とそのサンプリングを行うと、信号の更新タイミングのずれから、どうしても誤差が生じてしまう。

この問題は、入力レートに同期して行う工程を入力信号の分析までとし、補間信号の再生と出力データのサンプリングを出力レートに同期して行うようにすることで、解決できると考える。

そこで、本研究では、この出力レートに同期して入力信号の分析結果に応じた補間信号を再生する回路を検討し、実現することを目指す。

### (2)DA(Digital to Analog)変換の際に問題となる時間軸歪

PLLは一般に入力信号の1周期に1回、出力信号との位相偏差をサンプリングし補正するが、サンプリング・タイミング間で出力信号周波数が変動しても、検出されない。そこで、2007年度までに、サンプリング間隔を従来のPLLよりも細かくし、出力信号周波数の変動を正確に把握することのできる位相補間法を新たに提案・実現した。この手法は、高速クロックとカウンタを用いて参照信号の位相を補間し、それを元に出力信号との位相を比較する方法である。この提案法をPLLに適用した結果、ジッタを低減することができた。さらに、制御応答速度も改善された。

この位相補間法によるPLLジッタの低減効果は、位相補間法の時間分解能に大きく依存する。位相補間法のさらなる時間分解能向上のために、近年注目の集まっている時間表現をディジタル値表現に変換する技術とその逆変換を行う技術の導入を検討している。本研究では、この提案法を回路実現し、位相補間法の時間分解能を向上させ、これをPLLに適用し、さらなるジッタ低減を目指す。

## 3. 研究の方法

### (1)サンプリング・レート変換の際に生じる振幅軸歪

研究の目的で述べたように、フーリエ補間方式によるレート変換の際に行われる「入力信号の分析」、「補間信号の生成」、「出力データのサンプリング」の工程のうち、「補間信号の生成」を行う回路を入力レート同期方式から出力レート同期方式への変更を試みる。

フーリエ補間方式において、補間信号は、正弦波を生成・合成したものである。現在、この部分には、SIN 関数と COS 関数の伝達関数を利用して正弦波を生成する回路を用いており、出力レート同期方式への変更を行う場合、入力レートと出力レートの比によって適切なパラメータを算出・更新する機能が必要になる。ただし、このパラメータ計算をハードウェア実現する際に、回路が複雑かつ膨大になる可能性もある。そこで、電卓等の三角関数演算に使われているCORDIC (Coordinate Rotation Digital Computer) アルゴリズムを使った、別の正弦波生成方式についても検討する。

#### (2)DA(Digital to Analog)変換の際に問題となる時間軸歪

ジッタ低減のための位相補間法の時間分解能は、この回路がデジタル・カウンタを基にした回路であるため、回路を駆動するクロックの1周期長、つまり1カウントが補間できる位相の最小単位であった。そこで、さらなる位相の時間分解能向上のため、クロックの1周期長未満の値、つまりは小数値まで位相の補間を行うことのできる回路について検討する。

このデジタル値 - 時間値変換技術として2つの方式を考えており、1つは間に振幅軸変換を介す手法で、もう1つは直接変換する手法である。この2つの方式をそれぞれPLLに適用し、ジッタ特性を比較する。

ただし、LSIの低電源電圧化に伴い、振幅軸による数値表現は今後ますます難しくなることが予想されるため、大きく精度が劣る場合を除き、直接変換を行う手法を利用したいと考えている。

### 4. 研究成果

#### (1)サンプリング・レート変換の際に生じる振幅軸歪

伝達関数による正弦波生成回路のソフトウェア実現

図1は、SIN関数とCOS関数の2つの系を合成したブロック線図で、図中に示すように、2つのインパルス入力の大きさに応じて、SIN波とCOS波の合成波を出力する。

図1の系の積分器を積算レジスタに変えて系全体を離散化することで、目的の正弦波を生成するデジタル回路を実現できる。

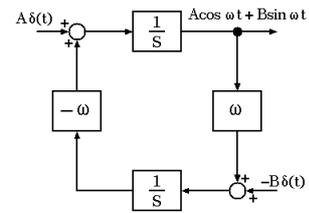


図1. 正弦波

ただし、前述したように、入出力レート比に応じてパラメータを動的に求める必要がある。現段階では、ある初期値を与えて発振させ、要求される1周期時間と逐次比較して値を調整するようにした。これをソフトウェアで記述し、生成した正弦波が図2である。この図が示すように、時間とともに安定した正弦波出力が得られることがわかる。

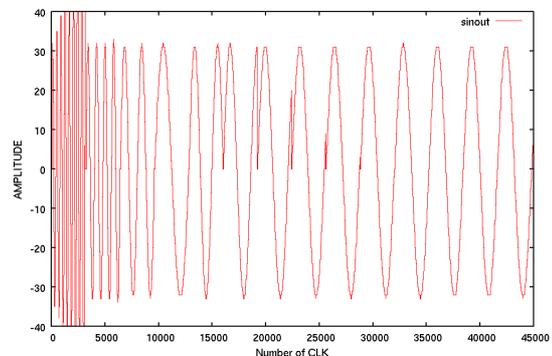


図2. 図1の系で出力した正弦波

しかし、値を調整する際に用いた演算は乗算を含むため、これをそのまま回路実現すると提案しているフーリエ補間方式の小規模・低消費電力のメリットが損なわれる可能性がある。そのため、現在ではできるだけ単純な値の計算方法を検討している。

#### CORDIC アルゴリズムの最適化

CORDIC アルゴリズムは、関数を2次元平面上のベクトルと捉え、ベクトルの回転を繰り返して計算することで結果として収束した解を得ることができる反復解法である。

例えば、図3左のように、求めるSIN値、もしくはCOS値の振幅(A)と位相( )の情報が与えられたとすると、まずベクトルとして考える。そして、右図に示すように、 $x = A$ ,  $y = A$ のベクトルを定義し、このベクトルの位相  $\tan(y/x)$ が と一致するまで、 $x$ ,  $y$ の値を何かしらの法則で変更していく ( $n = 1, 2, 3, \dots$ ). ベクトルの回転回数  $n$ が大きく(無限大)なると、回転ベクトルの大きさは目標とする値に関係なく、Aに対して一定の倍率となる。その結果、この

倍率を回転ベクトルの x 値もしくは y 値から除することで、 $A \cos \theta$  値もしくは  $A \sin \theta$  値を得ることができる。

このアルゴリズムは、ベクトルの回転 (x 値, y 値の更新) は単純な計算で実現できるが、回転後のベクトルの位相  $\tan(y/x)$  についてはあらかじめ記憶しておかなければならない。例えば、回転回数  $n = 1 \sim 4$  においては、4 1 4 の角度情報が必要となり、さらに回転回数を増やす場合は指数関数的に増えていく。

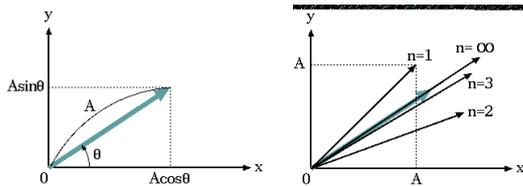


図 3 . CORDIC アルゴリズム (左: 目標のベクトル、右: ベクトル回転)

しかし、回転ベクトルの位相がとり得る値を列挙してみたところ、回転回数  $n = 4$  回以降は、前の位相に、ある値を 2 の  $n$  乗で割ったものを足し引きすることで、原理通りの位相値とほぼ等しい値が得られることがわかった。したがって、記憶する回転ベクトルの位相値は回転回数  $n = 3$  までの 7 パターンだけでよく、大幅な回路規模の削減につながる。さらに、記憶量を考慮する必要がないため、回転回数を増やすことができ、生成する正弦波の精度向上も期待できる。

#### 最適化した CORDIC アルゴリズムのソフトウェア実現

図 4 に、で提案した最適化アルゴリズムをソフトウェアで作成し、正弦波を生成、FFT スペクトル解析を行った結果を示す。なお、ベクトル回転数は 13 回で、また、この図は、正弦波の主成分を 0dB で正規化している。

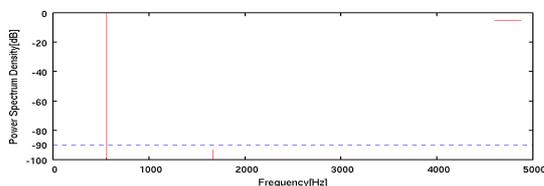


図 4 . 正弦波の FFT スペクトル解析結果

この結果から、最適化のための近似処理を用いているのにも関わらず、不要な成分が 90 dB 以下と低く、歪の小さい正弦波が生成できていることがわかる。

#### 最適化した CORDIC アルゴリズムのハードウェア実現

現段階では、導出したい SIN 値, COS 値の振幅と位相を入力とし、それをもとに計算を行う CORDIC 回路のハードウェア言語での実現を行っており、簡単なモデルまでは作成することができた。しかし、SRC に実装する場合、目標とする位相情報を求めなければならない。したがって、今後はその手法の確立と回路実現を目指す。なお、この手法として、次の(2)の項で述べるデジタル値 - 時間値変換技術が応用できると考えている。

#### (2)DA(Digital to Analog)変換の際に問題となる時間軸歪

デジタルで指示された値に比例した時間 (この場合、遅延) を発生させる方法として、図 5 に示す方法が考えられる。この方法は、時間に対して線形に電圧が変化するランプ出力をする回路を用い、この出力とデジタル指示値をアナログ変換した値とを比較して、両者が一致したタイミングを時間値とする。デジタルの指示値が大きいほど ( $analog2 > analog1$ )、ランプ出力との一致は遅れる ( $t2 > t1$ )。

本研究では、オペアンプによる積分回路をランプ回路とし、AD コンバータで指示値のアナログ化 (振幅軸変換) を行う。

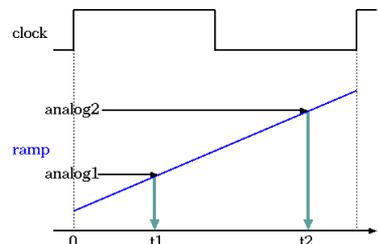


図 5 . 振幅軸を介した デジタル値 - 時間値変換

対して、振幅軸を介することなく、直接指示値に比例した時間を発生させるデバイスも存在する。これら 2 つの手法をそれぞれ用いて、回路駆動クロック間の時間を指示する位相補間回路の高分解能化を図った。

図 6 は、位相補間回路の高分解能化前 (Original) と後 (Type1: 振幅軸を介すデジタル値 - 時間値変換, Type2: デジタル値 - 時間値の直接変換) の PLL ジッタ特性で、横軸が PLL への入力信号周波数、縦軸が PLL 出力に含まれるジッタの割合である。この図から、位相補間回路の高分解能化がジッタ低減に効果があることがわかる。

また、図 7 は、図 6 に比べてデジタル値 - 時間値変換の線形特性の影響が多分に現れる条件でジッタ特性を測定した結果である。直接変換を行う Type2 の方が、振幅軸を

介する変換方式 (Type1) よりもジッタ特性がよく、正確に時間値を指示できていることが考えられる。これは、デジタル値 - 時間値変換の線形特性を実際に測ってみても明らかで、それを反映した結果となった。

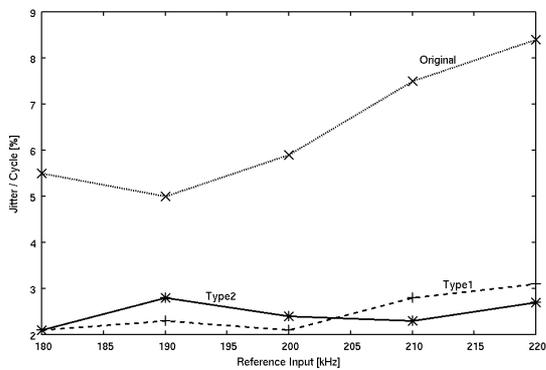


図6 . P L L のジッタ特性 1

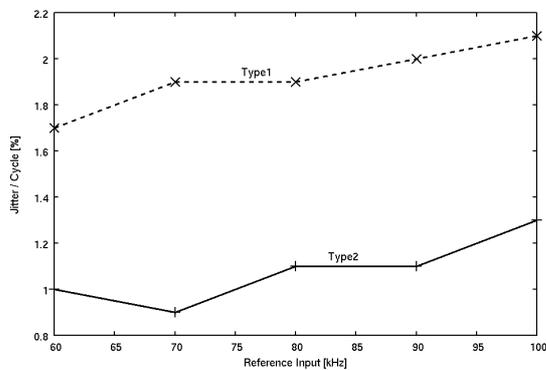


図7 . P L L のジッタ特性 2

## 5 . 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 1 件)

発表者名: 木村 宗 (所属学生)

発表表題: PLL の制御特性評価

発表学会: 第 17 回計測自動制御学会中国支部学術講演会

発表年月日: 2008 年 11 月 15 日

発表場所: 広島大学

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

## 6 . 研究組織

(1) 研究代表者

井上 学

米子工業高等専門学校・電子制御工学科・助教

研究者番号: 30455159

(2) 研究分担者

なし

(3) 連携研究者

なし