

令和 6 年 6 月 20 日現在

機関番号：12601

研究種目：基盤研究(A)（一般）

研究期間：2019～2022

課題番号：19H00754

研究課題名（和文）三次元集積化に向けたスケーラブルな積層構造シリコン量子ビットに関する研究

研究課題名（英文）Scalable Silicon Quantum Dots with Stacked Layered Structures for 3D Integration

研究代表者

平本 俊郎（Hiramoto, Toshiro）

東京大学・生産技術研究所・教授

研究者番号：20192718

交付決定額（研究期間全体）：（直接経費） 34,700,000円

研究成果の概要（和文）：本研究の目的は、シリコン量子ビットのスケーラブルな三次元集積化を目指して積層構造の集積量子ビット構造アーキテクチャを提案し、その概念を実証することである。2層のシリコンチャンネルをSi/SiGeエピタキシャル成長膜を用いて形成するプロセスと電子ビーム露光・ドライエッチプロセスを組み合わせ、上下2層にそれぞれ4個の量子ドットを有する微細ゲート量子ドットデバイスを形成した。試作デバイスを低温において測定し、単電子トランジスタとして動作する隣接量子ドットが容量カップリングで相互作用をもつことを確認した。以上により、3次元積層シリコン量子ビットの概念の有用性を示した。

研究成果の学術的意義や社会的意義

実用的な量子コンピュータではエラー訂正等のため極めて多数の量子ビットが必要となり、量子ビットの集積化は今後の大きな課題であった。本研究は、大多数の量子ビット集積化のために量子ビットと3次元集積化に道筋をつけたものであり、学術的意義および社会的意義は大きい。

研究成果の概要（英文）：This study aims at the demonstration of the idea of scalable silicon quantum bits with stacked layers for 3D integration. Combining stacked silicon channel formation process by Si/SiGe epitaxial layers and nanofabrication process by electron beam lithography, the eight-dot structure with four quantum dots in the upper layers and four quantum dots in the lower layers were successfully formed. The fabricated devices were measured at low temperature and the adjacent single electron transistors showed the capacitance coupling effects, suggesting that the proposed stacked structure will be suitable for the 3D integration.

研究分野：集積デバイス工学

キーワード：シリコン量子ビット 量子コンピュータ シリコン量子ドット 大規模集積回路 単電子トランジスタ
シリコンナノワイヤトランジスタ 三次元集積化

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

様式 C - 19、F - 19 - 1 (共通)

1. 研究開始当初の背景

(1) 研究の背景

現在の高度情報化社会を根底で支える大規模集積回路(VLSI)は、バイナリーデジタル演算で動作しており、その構成要素はシリコン CMOS トランジスタである。トランジスタサイズは性能向上のため年々急速に微細化されてきたが、従来の微細化ではデジタル回路の性能向上が困難であることがしだいに明らかになりつつある。この状況を打ち破るため、ナノ構造中や新材料中で現れる新規物理現象を積極的に利用した全く新しい計算方法が模索されている。その代表例は、量子計算であろう。量子計算には、量子アニーリング方式と量子ゲート方式があるが、より汎用性が高いのは量子状態の重ね合わせを利用する量子ゲート方式である。

ここで重要なポイントは、仮にこれらの量子計算が実現したとしても、量子計算が従来の VLSI をすべて置き換えることはないということである。量子ゲートの周りには量子ゲートで読み出された微細な信号を増幅するアナログ回路や複数の量子ビットを制御する大規模デジタル回路が必須である。また、量子計算はすべてのアプリケーションに応用できるわけではなく、多くの分野はシリコン VLSI に依然として頼ることになる。したがって、量子計算は一部の応用分野の計算能力を加速する Accelerator であると捉えるべきであり、シリコン VLSI との融合は重要な技術課題となる。

量子ゲート方式にはさまざまな方法があるが、本研究では上記の背景から、VLSI との整合性を重視してシリコン量子ビットを用いる。シリコン量子ビットは、シリコン VLSI とのプロセス互換性に加えて、量子状態のコヒーレンス時間が長いことから、特に注目を集めている。

(2) 半導体量子ビットの課題

ところが、半導体量子ビットは、量子ビット数を増やすのが難しいという問題がある。量子計算で扱える論理値を増やすためには量子ビット数を増やすことが必要である。また、万能な量子計算を実現するには量子誤り訂正を行う必要があり、そのためにも量子ビット数を増やすことは必須の課題である。半導体で量子ビット数が増えない理由は、量子ビットの制御や読み出しの難しさから配列が 1 次元に限られていたからである。1 次元配列では数に限りがある。2 次元的な量子ビット配列は模式的には図示されることはあったが、概念の提案のみであった。一方、量子ビット数の増大は必須の課題であり、実用的な量子計算を目指すには将来的には数百から数千、数万の量子ビット集積化が必要となる。しかも VLSI との集積化も視野に製造プロセス互換性、並列量子ビット制御や並列読み出しによる高速化、隣接する量子ビット間の相互作用による量子ビットの高機能化等も考慮すべきである。最適なシリコン量子ビット集積化は何か？ その答えは、3 次元集積化であると我々は考えた。

2. 研究の目的

そこで本研究では、スケーラブルなシリコン量子ビットの 3 次元集積化の実現を目指し、「積層」構造の量子ビットという新しい概念を提案し、プロトタイプ積層構造の試作・実測を通して本概念のフィージビリティを実証することを目的とした。

3. 研究の方法

図 1 に、本研究で提案した積層シリコン量子ビットの模式図を示す。図 1(a) は鳥瞰図であり、この例では縦に 4 層の Si 層が積層している。チャネル幅の異なる各シリコン層に 2 つの量子ドットが形成される(図 1(b))。同じ層の一方が量子ビット、他方が読み出し用のセンサドット(単電子トランジスタ)であり、この 2 つの量子ドットで 1 つの量子ビットを形成する。シリコン層を隔てる絶縁膜が薄いので、縦の量子ドット間でもスピン-スピン相互作用が起こる。各 Si 層はナノワイヤ構造となっており、ソース・ドレインは共通である。ソース・ドレイン方向(Y 方向)には 4 つのゲートが、X 方向には対向して 2 つのゲートが配置されている。読み出し用センサドット(単電子トランジスタ)は Y 方向に 4 つが直列接続、縦方向に 4 つが並列接続されており、

16 の量子ビットの量子状態を一度に読み出すことができる．この構造をユニットセルとして 2 次元に配列すれば，スケラブルな 3 次元集積化が可能となる．

これは，1 次元配列しか報告のなかった複数量子ビットを，一足飛びにスケラブルな 3 次元集積化にまで拡張した新概念の提唱であり，独創性は極めて高い．しかも積層プロセスは後述のとおり VLSI 最先端プロセスと互換性があり，実現可能性も高い．また，積層した複数量子ビットは並列に接続されており，制御・読み出しは並列操作となるので，量子ビット動作の高速性に寄与することも期待できる．1 ビットや少数ビットの単純なケースとは異なり，大規模集積化にはさまざまなプロセス面，回路面，システム面の工夫が必須であり，本研究は量子ビットの大規模 3 次元集積化の先駆けとなる研究提案であったと言える．

動作原理の詳細は本報告では省略する．イオン注入によるソース・ドレイン領域を量子ビットから遠ざけるため，試作デバイスでは図 1 の構造の上にトップゲートを設けた．また，試作では複雑な工程を避けるため，図 1 のような 4 層ではなく，2 層のシリコン層を用いた．

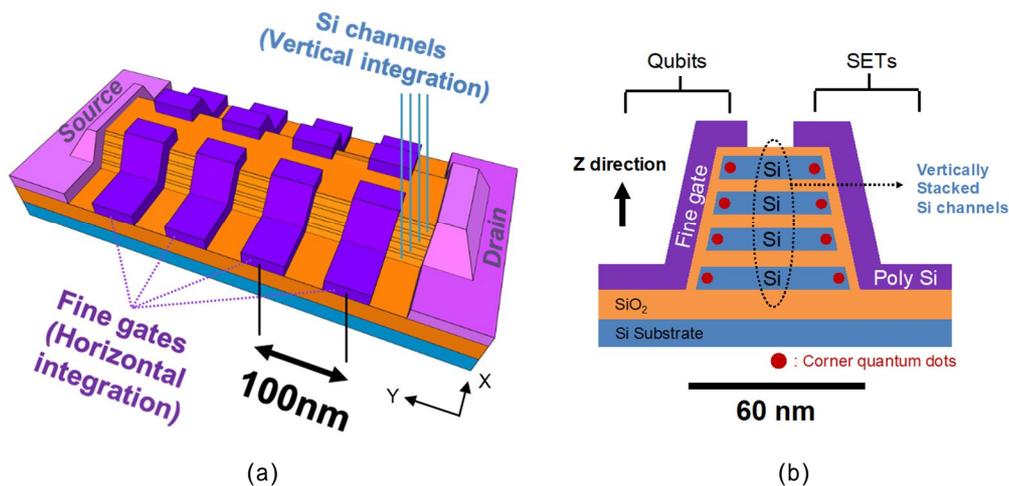


図 1. 提案する積層量子ビットの模式図．(a) 鳥瞰図．この例では Si 層は 4 層で 4 対の対向ゲート電極がソース・ドレイン間に配置されている．計 64 の量子ビットで構成された 32 量子ビットである．(b) 断面図．2 つの微細ゲート電極が対向している．各 Si 層のエッジに量子ドットが電界誘起で形成される．

4．研究成果

(1) 試作プロセスフローの検討

最初に，積層シリコン量子ビットの作製プロセスの検討を行った．基板には素子間の分離を容易におこなうため，SOI 基板を用いる．Si 積層膜の形成には Si/SiGe の積層エピタキシャル成長を用いる．このプロセスは最先端シリコン VLSI 向けに開発が進んでいるスタックトナノワイヤプロセスを応用したものである．SiGe 層はダミー層であり，後の工程で選択的にエッチングして中空チャネル構造の形成に役立つ．Si/SiGe/Si 層をドライエッチングによりパターンニングする．その際，エッチング形状に傾斜をつけて，上層と下層の Si の幅が異なるように調整する．ゲート酸化膜を形成したあと，ゲートポリ Si を堆積し，EB 露光でパターンニングする．ここで SiGe のみを選択的にウェットエッチングで取り除き，中空の 2 層の Si 層を形成する．さらに中空部に化学気相成長法(CVD)で酸化膜を埋込む．トップゲートを形成しリンイオンを注入してソース・ドレインを形成し，最後に配線電極を形成してデバイスは完成する．

(2) デバイス構造の試作

特に困難が予想された試作プロセスは，EB 露光とドライエッチングによる微細ゲート電極の作製と Si/SiGe 層における SiGe 層の選択エッチングである．EB 露光とドライエッチングの条件出しを繰り返して，シリコンナノワイヤ上にゲートピッチ 100nm 程度のダブルゲート構造を形成するプロセスを確立した．その一例を図 2(a)(b)に示す．このデバイス構造は，直列ダブルゲートトランジスタとして低温で動作することが確認されている．一方，SiGe の選択エッチングには，HNO₃ と HF の混合液を用いた．HNO₃ による酸化と HF による酸化物の除去で選択的エッチングを達成する．選択エッチング後の断面の一例を図 2(c)に示す．この例は，Si 基板に SiGe 層

が2層成長されていたものであり、SiGeがエッチングされSi層が中空構造になっていることがわかる。SiとSiGeの選択比は室温において60程度であった。

これらのプロセスを駆使して、提案する積層シリコン量子ビットのデバイス構造の試作を大分なした。試作途中のデバイスの電子顕微鏡写真を図3に示す。2層のシリコン層に4つの微細ゲートをもち、計8個の量子ドットを有している。この構造上にトップゲートを形成することでデバイスは完成する。

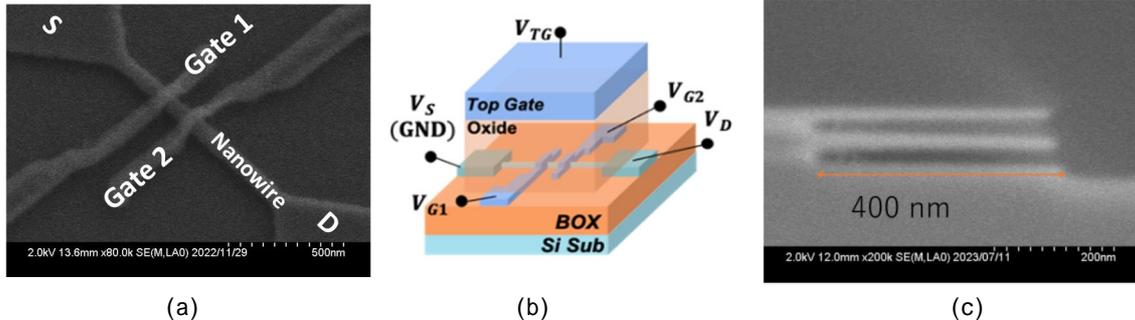


図2. (a) EB露光およびエッチングにより作製した微細ゲート構造の電子顕微鏡写真の例。トップゲートを形成する前に撮影したものである。なお、この例は積層構造ではない。(b) 上記(a)の鳥瞰図の模式図。トップゲートがチャンネル全体に形成されている。(c) Si/SiGe層におけるSiGe選択エッチングを行った試料における断面の電子顕微鏡写真の例。エッチングされた2層のSiGe層の厚さは15nm、中空となったSi層の厚さも15nmである。

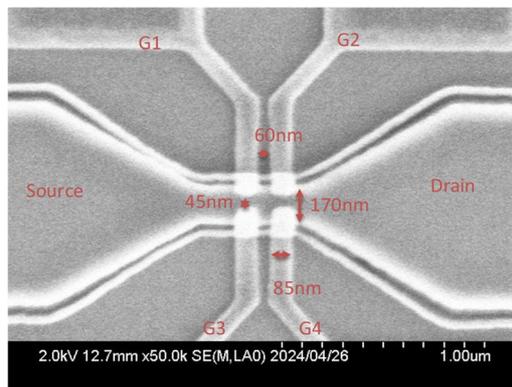


図3. 試作した積層シリコン量子ビット構造の電子顕微鏡写真。デバイス構造は図1の構造に近いが、シリコン層は上下に2層であり、4つの微細ゲートを有する。計8個の量子ドットからなる。この後、トップゲートを形成してデバイスが完成する。

(3) 試作デバイスの特性

積層シリコン量子ビットを目指して作製したデバイスの低温($T=3.8\text{K}$)における電気特性の結果を示す。以下の測定データは、図3の構造とは異なるが複数の量子ドットとトップゲートを有するデバイスの測定結果である。図4に、試作デバイスにおける電流の2つゲート電圧(V_{G1} および V_{G2})依存性を示す。ハニカム構造のような特徴的な形が現れており、それらがトップゲート電圧の変化とともにシフトしていく様子が観測された。このようなハニカム構造は、容量カップリングしたダブルドットに見られる構造であり、本デバイスでも2つの近接する量子ドットが容量カップリングしていることを示している。また、 V_{TG} に特性が依存することから、各量子ドットの特性をトップゲートにより適切に制御できていることも明らかとなった。

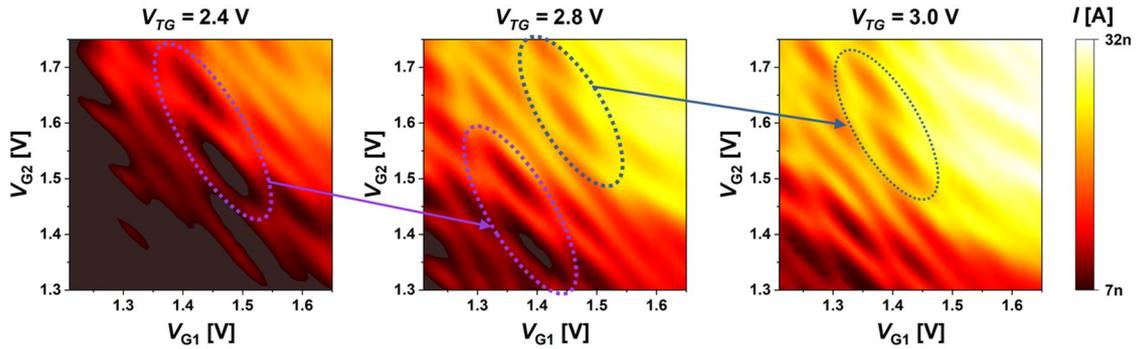


図4. 試作デバイスの $T=3.8\text{K}$ における電流の V_{G1} および V_{G2} 依存性． V_{TG} を変化させている．容量カップリングしたダブルドット特有のハニカム構造が観測されている．

(4) スケーラビリティ向上に向けた新構造の提案

これまで検討・試作してきた積層シリコン量子ビット構造では、Si層のエッジは傾斜をもっていた．これは左右の量子ビットの距離を変えることにより、量子ビットの読み出しを容易にするためであった．ところがこの傾斜により、積層されるSi層の層数が制限されるため、このままでは必ずしもスケラブルな3次元構造とはいえない．

以上のことから、デバイス構造の新提案を行った．図5に新たに提案する3次元積層量子ビット構造を示す．図5(a)は断面図である．Si層のエッジは垂直とし、さらに多くの層を積み上げられる構造とした．また、隣接するSi層に対して共通のゲートを設けた．量子ビットの読み出しや各量子ドットは、上部に設けたグローバルトップゲートによって独立に制御できることを3Dシミュレーションで確認している．図5(b)には鳥瞰図を示した．ユニットセルとなる基本構造を2次元に配列することで集積度を上げることができる．

以上のように、シリコン量子ビットの3次元集積化に向けて、Si/SiGeヘテロエピタキシャル成長層を用いて作製する積層シリコン量子ビット構造の提案を行い、その試作プロセスを検討するとともに実際に試作を行って本提案デバイスの有用性の一部を実証した．今後は、新たに提案したよりスケラブルな積層シリコン量子ビットの研究を続けていく予定である．

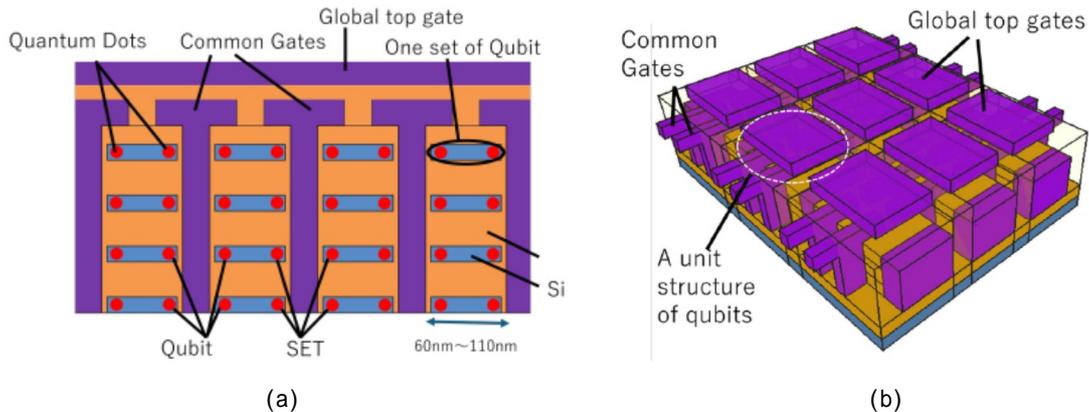


図5. 新たに提案した積層シリコン量子ビットの模式図．(a) 断面図．Si層のエッジは垂直とし、共通ゲートが設けられている．また上部にはグローバルトップゲートを設けられている．(b) 鳥瞰図．ユニットセルを2次元に配列することにより集積度を上げることができる．

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 1件）

1. 著者名 Sekiguchi Shohei, Ahn Min-Ju, Mizutani Tomoko, Saraya Takuya, Kobayashi Masaharu, Hiramoto Toshiro	4. 巻 9
2. 論文標題 Subthreshold Swing in Silicon Gate-All-Around Nanowire and Fully Depleted SOI MOSFETs at Cryogenic Temperature	5. 発行年 2021年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 1151 ~ 1154
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/JEDS.2021.3108854	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計7件（うち招待講演 0件 / うち国際学会 3件）

1. 発表者名 Junoh Kim
2. 発表標題 Individual Control of Characteristics of Vertically Stacked Silicon Quantum Dots
3. 学会等名 Silicon Electronics Workshop (SNW) (国際学会)
4. 発表年 2023年

1. 発表者名 Daiki Futagi
2. 発表標題 3D architecture for high-density silicon qubits by vertically stacked layers and common electrodes
3. 学会等名 Silicon Quantum Electronics Workshop (SiQEW) (国際学会)
4. 発表年 2023年

1. 発表者名 金 駿午
2. 発表標題 三次元積層型シリコン量子ドットの特性の個別制御
3. 学会等名 第84回応用物理学会秋季学術講演会
4. 発表年 2023年

1. 発表者名 二木大輝
2. 発表標題 高集積 3次元積層シリコン量子ビットにおける量子ドットの個別制御
3. 学会等名 第71回応用物理学会春季学術講演会
4. 発表年 2024年

1. 発表者名 金 駿午
2. 発表標題 シリコンダブル量子ドットの作製と低温特性評価
3. 学会等名 第70回応用物理学会春季学術講演会
4. 発表年 2023年

1. 発表者名 Shohei Sekiguchi
2. 発表標題 Subthreshold Swing in Silicon Gate-All-Around Nanowire MOSFET at Cryogenic Temperature
3. 学会等名 Electron Devices Technology and Manufacturing Conference (EDTM) (国際学会)
4. 発表年 2021年

1. 発表者名 関口翔平
2. 発表標題 シリコンGAAナノワイヤMOSFETの低温サブスレッショルド特性
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	小林 正治 (Kobayashi Masaharu)		
研究協力者	更屋 拓哉 (Saraya Takuya)		

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------